

TPS794 250mA 低压降线性稳压器

1 特性

- 具有使能功能的 250mA 低压降稳压器
- 提供固定和可调节版本
- 高 PSRR：10kHz 时为 60dB
- 快速启动
- 出色的负载、线路瞬态响应
- 超低压降电压：满载时为 155mV (典型值)
- 采用 HVSSOP-8 和 SOT223-6 封装

2 应用

- 电视应用
- 楼宇自动化
- 智能手机和平板电脑
- 联网外设和打印机
- 家庭影院和娱乐应用

3 说明

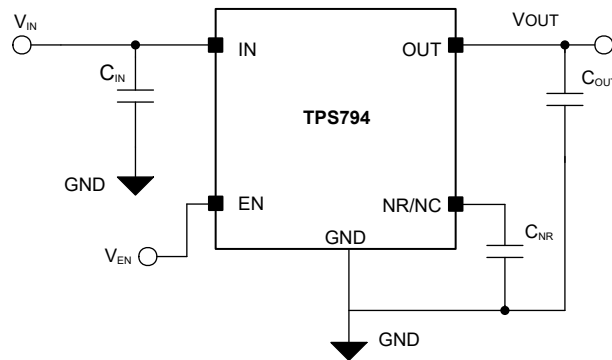
TPS794 低压降 (LDO) 线性稳压器具有高电源抑制比 (PSRR)、低噪声、快速启动能力以及出色的线性和负载瞬态响应。此系列中的每款器件在输出端使用小型 2.2 μ F 陶瓷电容器时，都能实现稳定运行。TPS794 提供低压降电压，在 250mA 电流下典型值为 155mV。对于诸如便携式射频电子器件等使用噪声敏感模拟组件的应用，它们将从高 PSRR、低噪声和快速响应时间等特性中受益。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS794	DGN (HVSSOP, 8)	3mm × 4.9mm
	DCQ (SOT-223, 6)	6.5mm × 7.06mm

(1) 如需更多信息，请参阅 [节 11](#) 附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用电路



内容

1 特性	1	7.4 器件功能模式.....	18
2 应用	1	8 应用和实施	20
3 说明	1	8.1 应用信息.....	20
4 引脚配置和功能	3	8.2 典型应用.....	23
5 规格	4	8.3 布局.....	24
5.1 绝对最大额定值.....	4	9 器件和文档支持	29
5.2 ESD 等级.....	4	9.1 器件支持.....	29
5.3 建议运行条件.....	5	9.2 接收文档更新通知.....	29
5.4 热性能信息.....	5	9.3 支持资源.....	29
5.5 电气特性.....	5	9.4 商标.....	29
6 典型特性	8	9.5 静电放电警告.....	29
7 详细说明	14	9.6 术语表.....	29
7.1 概述.....	14	10 修订历史记录	30
7.2 功能方框图.....	14	11 机械、封装和可订购信息	31
7.3 特性说明.....	15		

4 引脚配置和功能

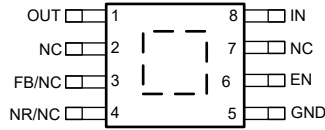


图 4-1. DGN 封装、MSOP-8 PowerPAD™
(顶视图)

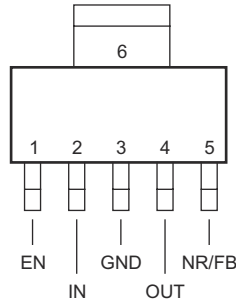


图 4-2. DCQ 封装、6 引脚 SOT-223
(顶视图, 仅限旧芯片)

表 4-1. 引脚功能

名称	引脚			说明
	DGN (HVSSOP)	DCQ (SOT-223)	类型	
NR/NC	4	5	输入 (旧) / 无连接 (新)	降噪引脚 (仅限旧芯片)。将一个外部电容器连接到这个引脚来过滤由内部带隙生成的噪声。此配置仅针对旧芯片改进了电源抑制并降低了输出噪声。无连接引脚 (仅限新芯片)。这个引脚不是内部连接。连接至 GND 以提高热性能或保持悬空。要降低固定器件的噪声性能, 不妨查看 TPS7A20。
EN	6	1	输入	EN 引脚是可启用或关断器件的输入。当 EN 引脚为逻辑高电平时, 器件将启用。当器件为逻辑低电平时, 器件进入关断模式。
FB	3	5	输入	可调器件的反馈输入电压。
GND	5, PAD	3、6	接地	稳压器接地
IN	8	2	输入	器件的非稳压输入。
NC	2、7		无连接	这个引脚不是内部连接。连接至 GND 以提高热性能或保持悬空。
OUT	1	4	输出	稳压器的输出。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	V_{IN} 、 V_{EN} 、 V_{OUT} (旧芯片)	-0.3	6	V
	V_{IN} 、 V_{EN} (新芯片)	-0.3	6.5	V
	V_{OUT} (新芯片)	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
电流	输出, I_{OUT}	受内部限制		
温度	工作结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 绝对最大额定值为 $V_{IN} + 0.3V$ 或 $6.5V$ (以较小者为准)。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, V 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _{IN}	输入电压	2.7		5.5	V
V _{EN}	启用电压	0		5.5	V
V _{OUT}	输出电压	V _{FB}		5	V
I _{OUT}	输出电流	0		250	mA
C _{IN}	输入电容器	1			μF
C _{OUT}	输出电容器	1.0 ⁽¹⁾ (2)	2.2		μF
C _{NR}	降噪电容器 ⁽³⁾	0	10	100	nF
C _{FF}	前馈电容器（旧芯片）		15		pF
	前馈电容器（新芯片） ⁽⁴⁾		10	100	nF
R ₂	下部反馈电阻器（旧芯片）		30.1		kΩ
F _{EN}	启用切换频率（新芯片）			10	kHz
T _J	工作结温	-40		125	°C

- 如果未使用 C_{FF}，则建议的 C_{OUT} = 2.2μF。
- 新芯片的最小有效电容为 0.47μF。
- 仅旧芯片。新芯片没有降噪引脚。有关更多信息，请参阅引脚功能表。
- 前馈电容器是可选的，不是确保稳定性所必需的。

5.4 热性能信息

热指标 ⁽¹⁾		TPS794		单位
		DGN (MSOP-8)	DGN (MSOP-8) ⁽²⁾	
		8 引脚	8 引脚	
R _{θJA}	结至环境热阻	63.6	51.9	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	87.1	82.8	°C/W
R _{θJB}	结至电路板热阻	35.2	25.3	°C/W
ψ _{JT}	结至顶部特征参数	6.8	6.0	°C/W
ψ _{JB}	结至电路板特征参数	35.2	25.3	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	21.2	7.6	°C/W

- 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装](#) 应用手册。
- 新芯片。

5.5 电气特性

在建议的工作温度范围内测得，T_J = -40°C 至 +125°C，V_{EN} = V_{IN}，V_{IN} = V_{O(typ)} + 1V，I_{OUT} = 1mA，C_{OUT} = 10μF，C_{NR} = 0.01μF（旧芯片）（除非另有说明）。所有典型值均在 T_J = 25°C 下测得。

参数		测试条件		最小值	典型值	最大值	单位
V _{IN}	输入电压范围 ⁽¹⁾			2.7		5.5	V
I _{OUT}	持续输出电流			0		250	mA
V _{OUT}	输出电压范围	TPS79401	0μA < I _{OUT} < 250mA	1.225		5.5 - V _{DROPOUT}	V
	精度	TPS79401	0μA < I _{OUT} < 250mA， V _{OUT} +1V ≤ V _{IN} < 5.5V	0.97(V _{OUT})	V _{OUT}	1.03(V _{OUT})	V
		固定 V _{OUT}		0μA < I _{OUT} < 250mA， V _{OUT} +1V ≤ V _{IN} < 5.5V	-3		3

5.5 电气特性 (续)

在建议的工作温度范围内测得, $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{\text{EN}} = V_{\text{IN}}$, $V_{\text{IN}} = V_{\text{O(typ)}} + 1\text{V}$, $I_{\text{OUT}} = 1\text{mA}$, $C_{\text{OUT}} = 10\mu\text{F}$, $C_{\text{NR}} = 0.01\mu\text{F}$ (旧芯片) (除非另有说明)。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

参数		测试条件		最小值	典型值	最大值	单位
I_{GND}	静态电流 (GND 电流)	$0\mu\text{A} \leq I_{\text{O}} \leq 250\text{mA}$ (旧芯片)			170	220	μA
		$0\mu\text{A} \leq I_{\text{O}} \leq 250\text{mA}$ (新芯片)			250	1000	
$\Delta V_{\text{OUT}}/\Delta I_{\text{OUT}}$	负载调整率	$0\mu\text{A} \leq I_{\text{OUT}} \leq 250\text{mA}$			10		mV
$\Delta V_{\text{OUT}}/\Delta V_{\text{IN}}$	线路调整率	$V_{\text{OUT}} + 1\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$			0.05	0.12	%/V
$V_{\text{n}}^{(2)}$	输出噪声电压 (TPS79428)	BW = 100Hz 至 100kHz, $I_{\text{OUT}} = 250\text{mA}$	$C_{\text{NR}} = 0.001\mu\text{F}$		55		μV_{RMS}
	输出噪声电压 (TPS79428)	BW = 100Hz 至 100kHz, $I_{\text{OUT}} = 250\text{mA}$	$C_{\text{NR}} = 0.0047\mu\text{F}$		36		μV_{RMS}
	输出噪声电压 (TPS79428)	BW = 100Hz 至 100kHz, $I_{\text{OUT}} = 250\text{mA}$	$C_{\text{NR}} = 0.01\mu\text{F}$		33		μV_{RMS}
	输出噪声电压 (TPS79428)	BW = 100Hz 至 100kHz, $I_{\text{OUT}} = 250\text{mA}$	$C_{\text{NR}} = 0.1\mu\text{F}$		32		μV_{RMS}
	输出噪声电压 (TPS79418)	BW = 100Hz 至 100kHz, $I_{\text{OUT}} = 250\text{mA}$	(新芯片)		71		μV_{RMS}
t_{STR}	启动时间 (TPS79428)	$R_{\text{L}} = 14\Omega$, $C_{\text{OUT}} = 1\mu\text{F}$	$C_{\text{NR}} = 0.001\mu\text{F}$		50		μs
	启动时间 (TPS79428)		$C_{\text{NR}} = 0.0047\mu\text{F}$		50		
	启动时间 (TPS79428)		$C_{\text{NR}} = 0.01\mu\text{F}$		50		
	启动时间 (TPS79428)		(新芯片)		500		
I_{CL}	输出电流限制	$V_{\text{OUT}} = 0\text{V}$ (旧芯片)			925		mA
I_{CL}	输出电流限制	$V_{\text{IN}} = V_{\text{OUT(NOM)}} + 1\text{V}$, $V_{\text{OUT}} = 0.9 \times V_{\text{OUT(NOM)}}$ (仅限新芯片)		320		460	mA
I_{SC}	短路电流限制	$V_{\text{OUT}} = 0\text{V}$ (新芯片)			175		mA
I_{SHDN}	关断电流	$V_{\text{EN}} = 0\text{V}$, $2.7\text{V} < V_{\text{I}} < 5.5\text{V}$ (旧芯片) ⁽³⁾			0.07	1	μA
		$V_{\text{EN}} = 0\text{V}$, $2.7\text{V} < V_{\text{I}} < 5.5\text{V}$ (新芯片) ⁽³⁾			0.01	1	
$V_{\text{EN(HI)}}$	高电平使能输入电压	$2.7\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$		1.7		V_{IN}	V
$V_{\text{EN(HI)}}$	高电平使能输入电压	$2.7\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$ (新芯片)		0.85		V_{IN}	V
$V_{\text{EN(LOW)}}$	低电平使能输入电压	$2.7\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$		0		0.7	V
$V_{\text{EN(LOW)}}$	低电平使能输入电压	$2.7\text{V} \leq V_{\text{IN}} \leq 5.5\text{V}$ (新芯片)		0		0.425	V
I_{EN}	使能引脚电流	$V_{\text{EN}} = 0\text{V}$		-1		1	μA
I_{FB}	反馈引脚电流 (TPS79401)	$V_{\text{FB}} = 1.225\text{V}$ (旧芯片)				1	μA
		$V_{\text{FB}} = 1.225\text{V}$ (新芯片)				0.05	
V_{REF}	内部基准 (TPS79401)			1.201	1.225	1.25	V

5.5 电气特性 (续)

在建议的工作温度范围内测得, $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{EN} = V_{IN}$, $V_{IN} = V_{O(typ)} + 1\text{V}$, $I_{OUT} = 1\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{NR} = 0.01\mu\text{F}$ (旧芯片) (除非另有说明)。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

参数		测试条件		最小值	典型值	最大值	单位
PSRR	电源抑制比 (TPS79428)	f = 100Hz	$I_{OUT} = 250\text{mA}$ (旧芯片)	65		dB	
			$I_{OUT} = 250\text{mA}$ (新芯片)	64			
		f = 10kHz	$I_{OUT} = 250\text{mA}$ (旧芯片)	60			
			$I_{OUT} = 250\text{mA}$ (新芯片)	49			
		f = 100kHz	$I_{OUT} = 250\text{mA}$ (旧芯片)	40			
			$I_{OUT} = 250\text{mA}$ (新芯片)	39			
V_{DO} (4)	压降电压 (TPS79428)	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 250\text{mA}$		155	210	mV	
	压降电压 (TPS79430)	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 250\text{mA}$		155	210		
	压降电压 (TPS79433)	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 250\text{mA}$		145	200		
V_{UVLO}	UVLO 阈值	V_{IN} 上升 (旧芯片)		2.25	2.65	V	
		V_{IN} 上升 (新芯片)		1.32	1.6		
$V_{UVLO(HYST)}$	UVLO 迟滞	$T_J = 25^{\circ}\text{C}$, V_{CC} 上升 (旧芯片)		100	mV		
		$T_J = 25^{\circ}\text{C}$, V_{CC} 上升 (新芯片)		130			

- (1) 最小 V_{IN} 为 2.7V 或 $V_{OUT} + V_{DO}$, 以较大者为准。
- (2) 新芯片没有降噪引脚。
- (3) 对于可调节版本, 此参数仅在施加 V_{IN} 之后适用; 然后 V_{EN} 转换为高电平至低电平。
- (4) 由于最小 $V_{IN} = 2.7\text{V}$, 因此未测量 TPS79418 和 TPS79425 的压降。

6 典型特性

在建议的工作温度范围内测得， $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ， $V_{EN} = V_{IN}$ ， $V_{IN} = V_{OUT(\text{typ})} + 1\text{V}$ ， $I_{OUT} = 1\text{mA}$ ， $C_{OUT} = 10\mu\text{F}$ ， $C_{NR} = 0.01\mu\text{F}$ (旧芯片) (除非另有说明)； $T_J = 25^{\circ}\text{C}$ 下的所有典型值

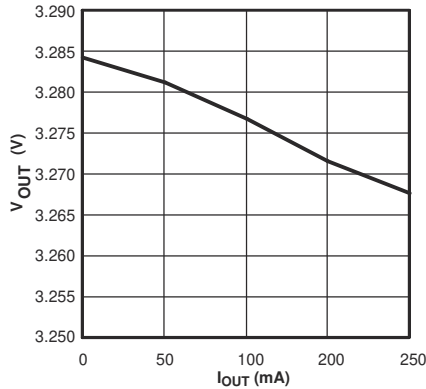


图 6-1. TPS794 输出电压与输出电流间的关系

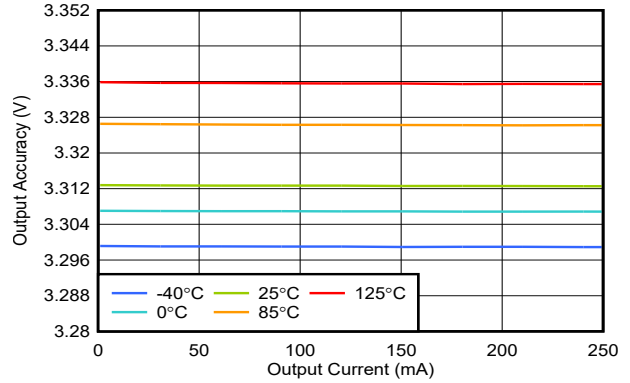


图 6-2. TPS794 输出电压与输出电流间的关系

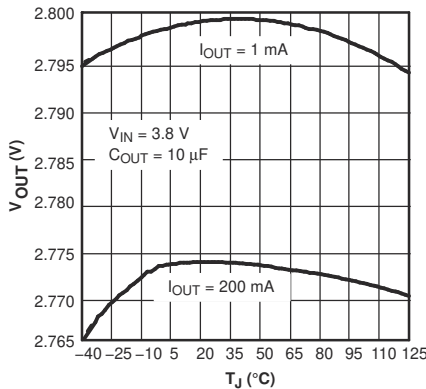


图 6-3. TPS794 输出电压与结温间的关系

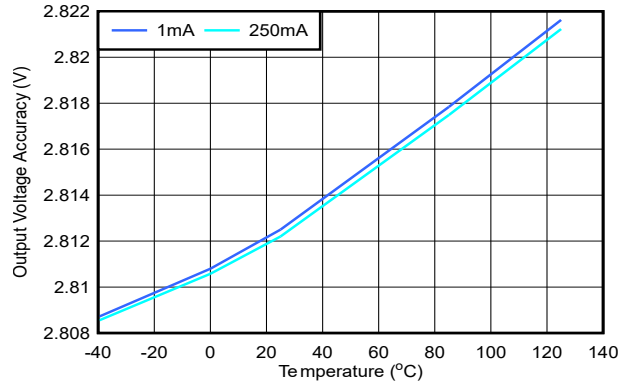


图 6-4. TPS794 输出电压与结温间的关系

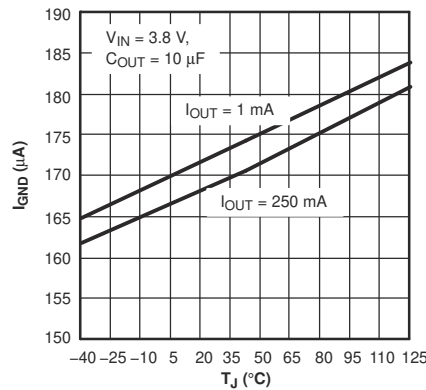


图 6-5. TPS794 接地电流与结温间的关系

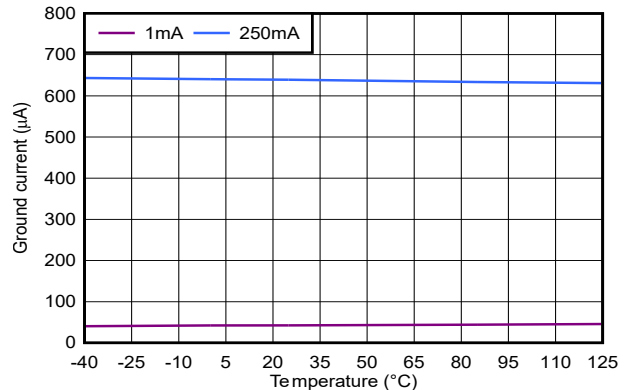


图 6-6. TPS794 接地电流与结温间的关系

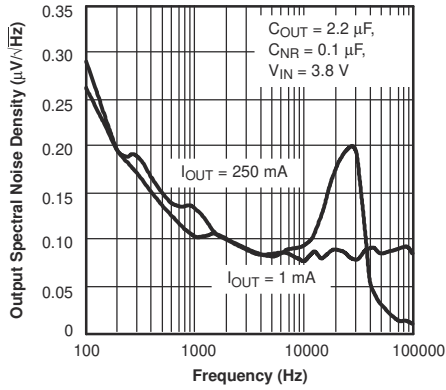


图 6-7. TPS794 输出频谱噪声密度与频率间的关系

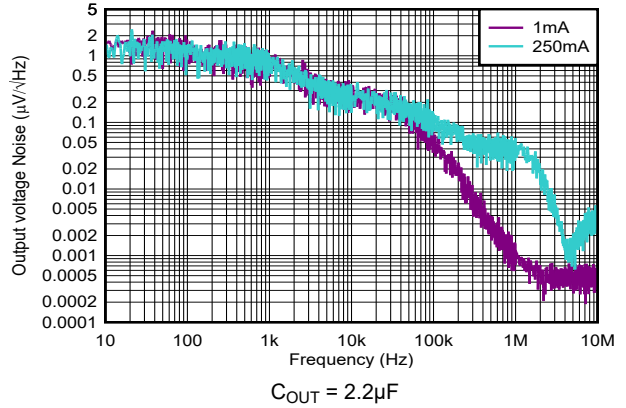


图 6-8. TPS794 输出频谱噪声密度与频率间的关系

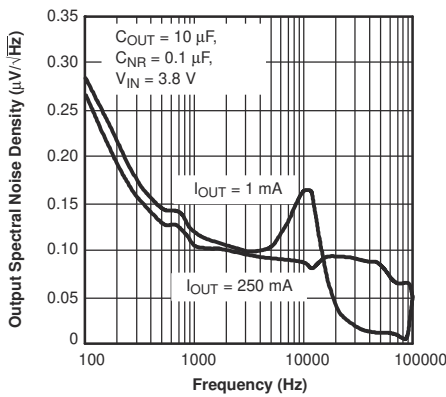


图 6-9. TPS794 输出频谱噪声密度与频率间的关系

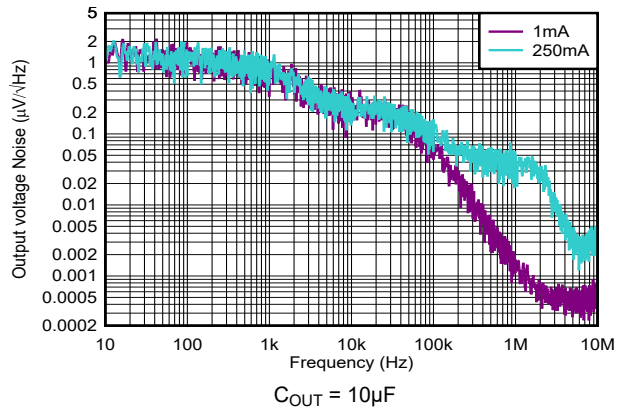


图 6-10. TPS794 输出频谱噪声密度与频率间的关系

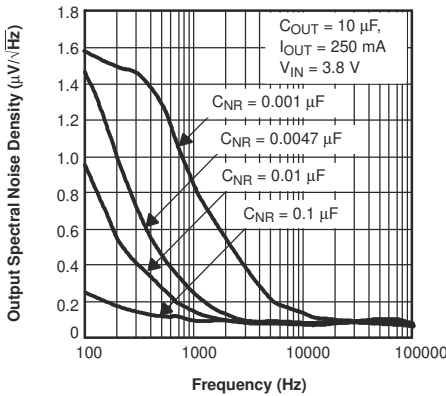


图 6-11. TPS79428 输出频谱噪声密度与频率间的关系

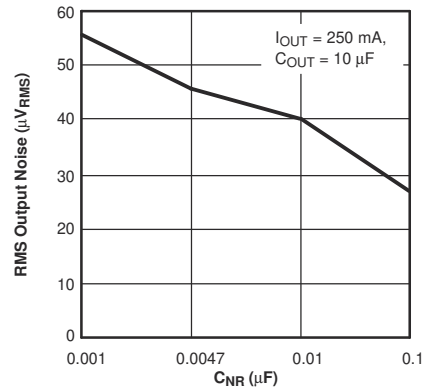


图 6-12. TPS79428 均方根输出噪声与 CNR 间的关系

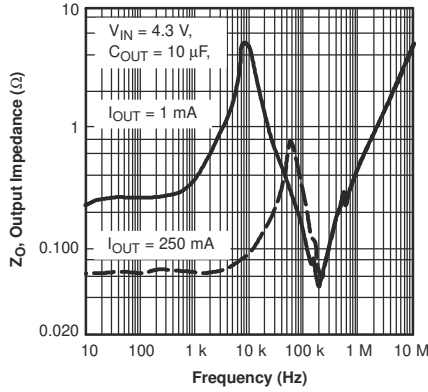


图 6-13. TPS794 输出阻抗与频率间的关系

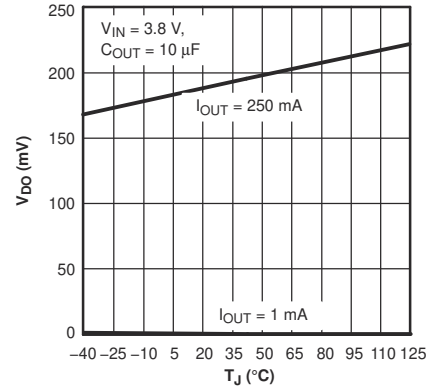


图 6-14. TPS794 压降电压与结温间的关系

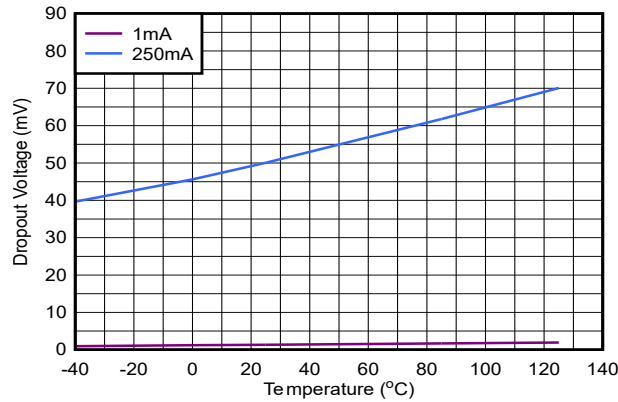


图 6-15. TPS794 压降电压与结温间的关系

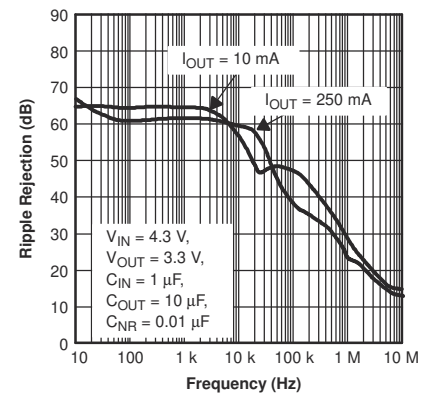


图 6-16. TPS794 波纹抑制与频率

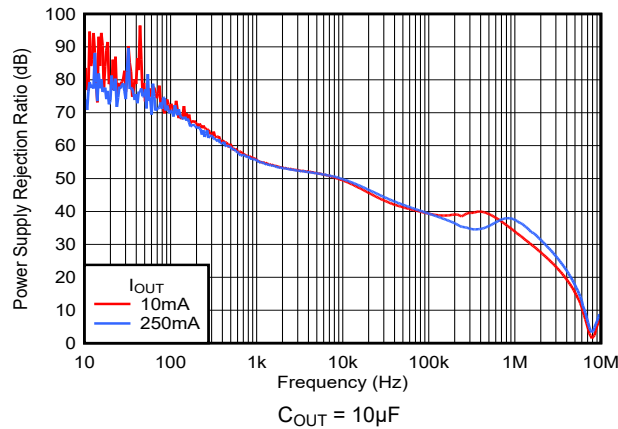


图 6-17. TPS794 波纹抑制与频率

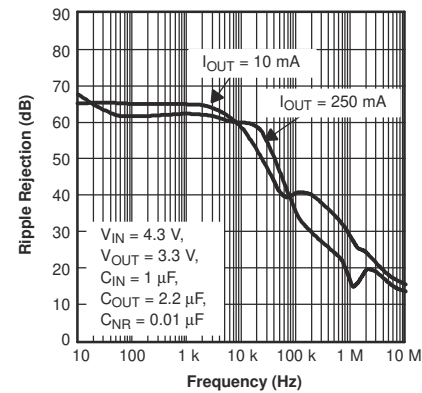


图 6-18. TPS794 波纹抑制与频率

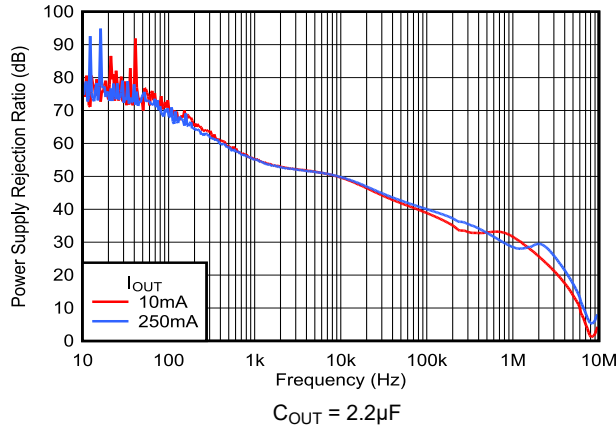


图 6-19. TPS794 波纹抑制与频率

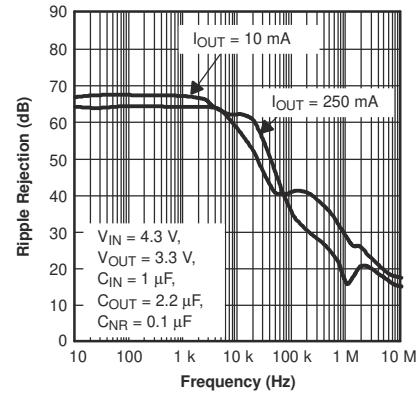


图 6-20. TPS794 波纹抑制与频率

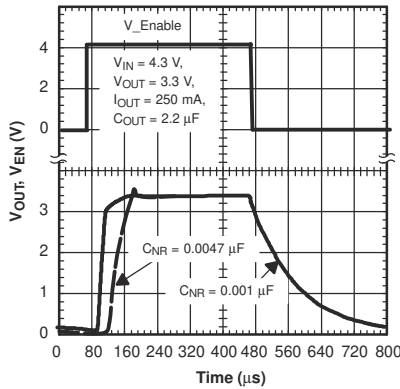


图 6-21. TPS794 输出电压、使能电压与时间间的关系 (启动)

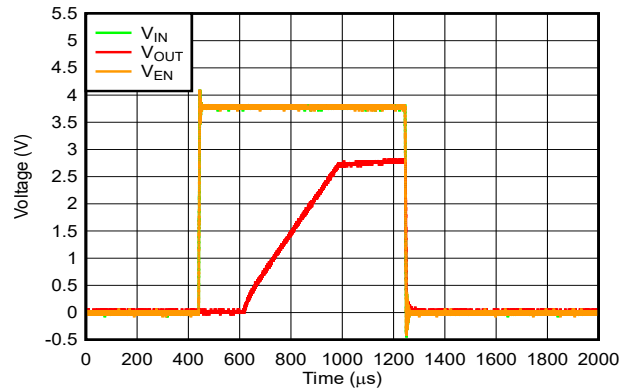


图 6-22. TPS794 输出电压、使能电压与时间间的关系 (启动)

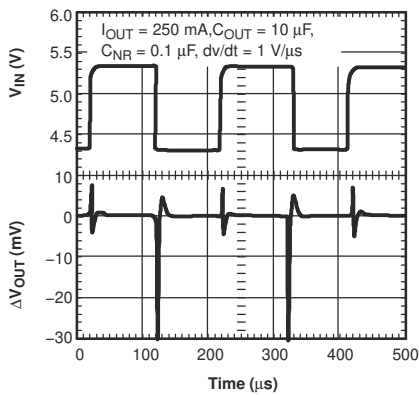


图 6-23. TPS794 线路瞬态响应

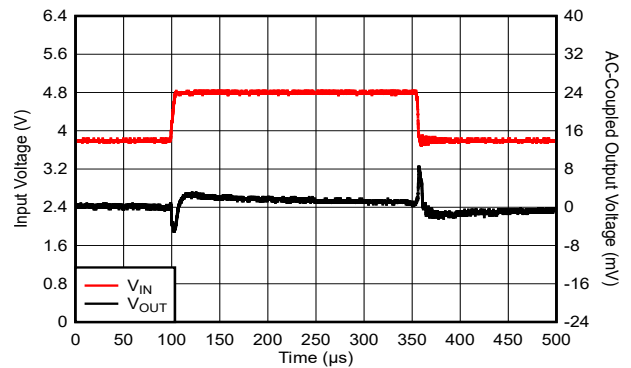


图 6-24. TPS794 线路瞬态响应

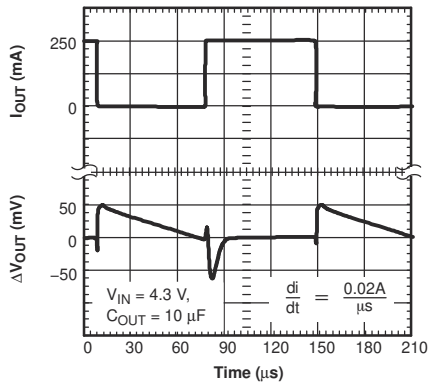


图 6-25. TPS794 负载瞬态响应

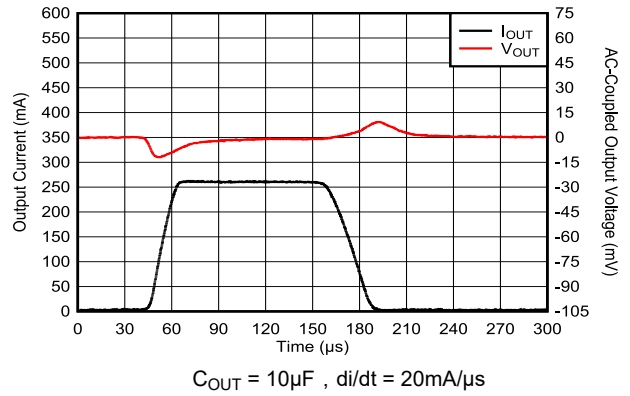


图 6-26. TPS794 负载瞬态响应

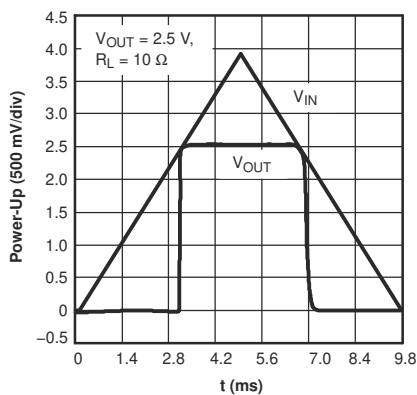


图 6-27. TPS794 上电和断电

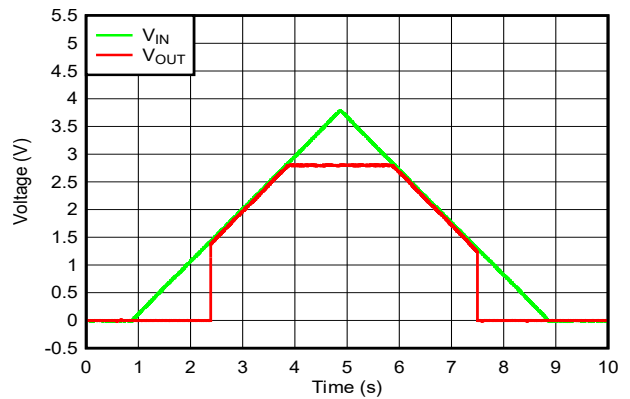


图 6-28. TPS794 上电和断电

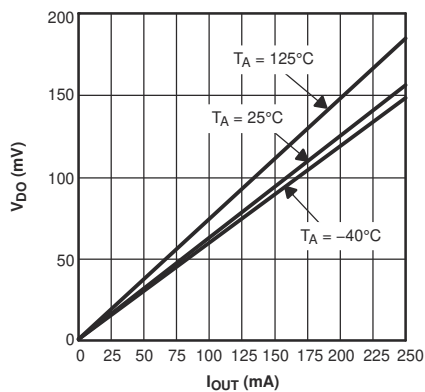


图 6-29. TPS794 压降电压与输出电流间的关系

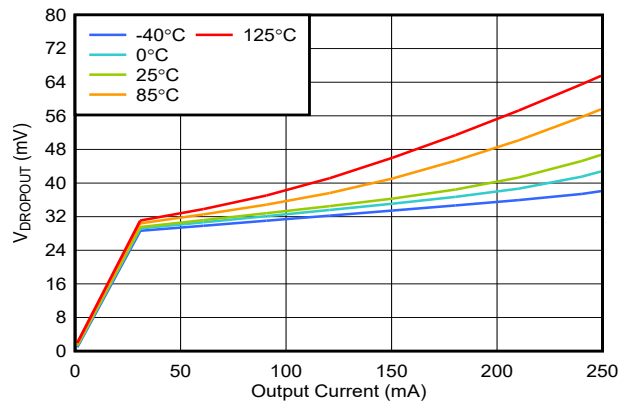


图 6-30. TPS794 压降电压与输出电流间的关系

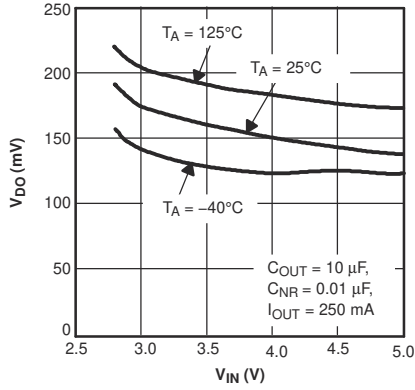


图 6-31. TPS794 压降电压与输入电压间的关系

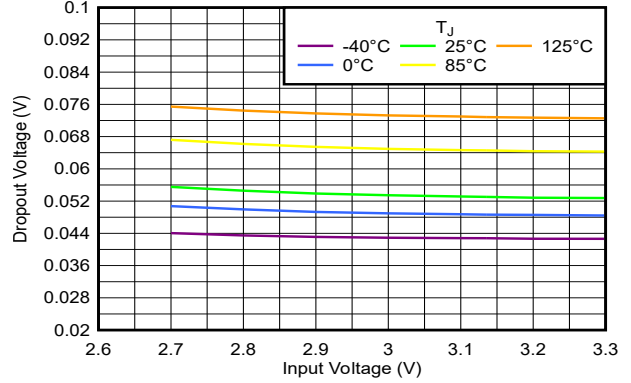


图 6-32. TPS794 压降电压与输入电压间的关系

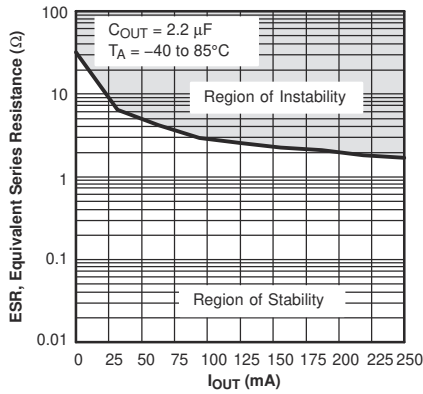


图 6-33. TPS794 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

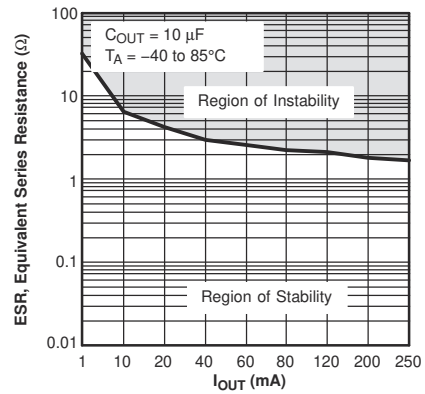


图 6-34. TPS794 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

7 详细说明

7.1 概述

TPS794 系列 LDO 稳压器经过优化，适用于噪声敏感型设备。该器件具有极低压降电压、高 PSRR、超低输出噪声、低静态电流和使能输入，可在稳压器关闭时将电源电流降至 $1\ \mu\text{A}$ 以下。

7.2 功能方框图

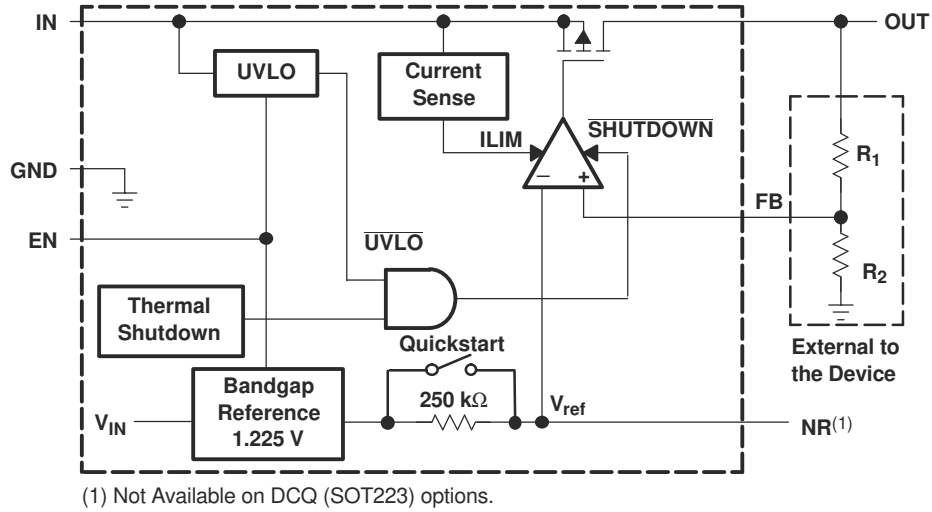


图 7-1. TPS794 方框图 (可调节版本, 旧芯片)

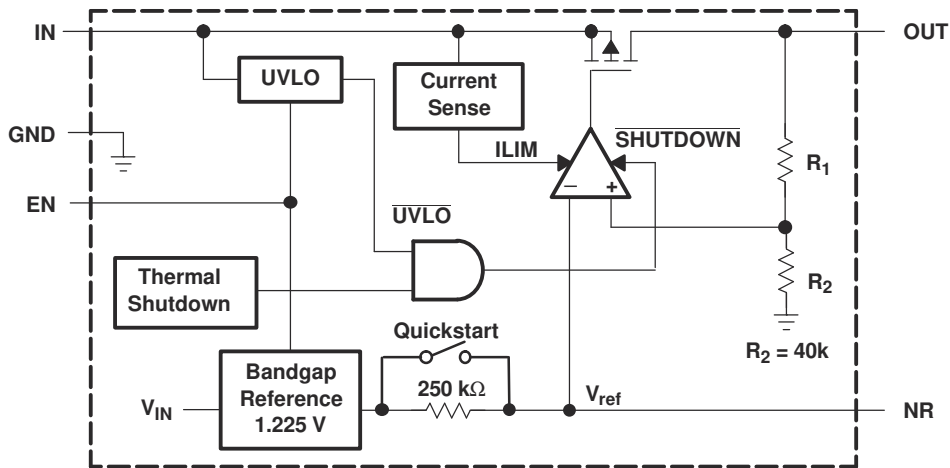


图 7-2. TPS794 方框图 (固定版本, 旧芯片)

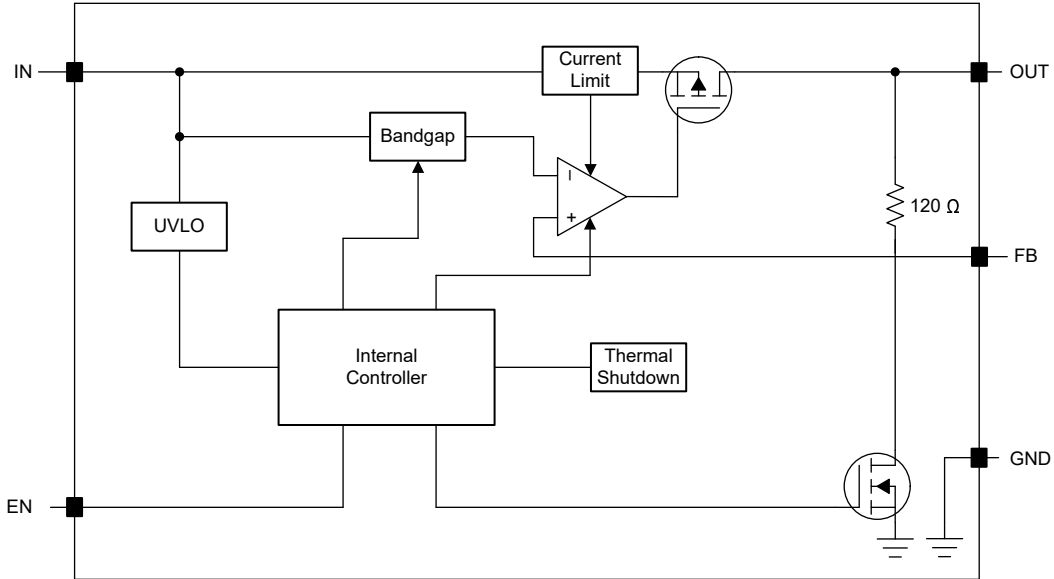


图 7-3. TPS794 方框图 (可调版本, 新芯片)

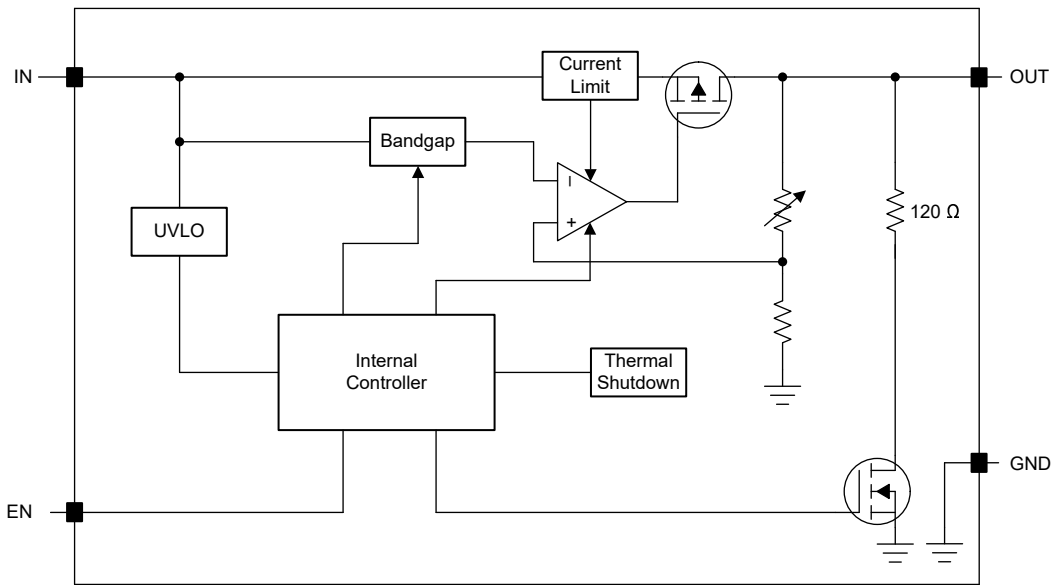


图 7-4. TPS794 方框图 (固定版本, 新芯片)

7.3 特性说明

7.3.1 欠压锁定 (UVLO)

TPS794 使用欠压锁定 (UVLO) 电路, 该电路会禁用输出, 直到输入电压大于上升的 UVLO 电压。该电路可确保当电源电压低于内部电路工作电压 $V_{IN(min)}$ 时, 器件不会出现任何不可预测的行为。

7.3.2 关断

使能引脚 (EN) 为高电平有效。通过强制 EN 引脚超过 $V_{EN(high)}$ 来启用器件。通过强制 EN 引脚降至最大 EN 引脚低电平输入电压以下来关闭器件 (请参阅电气特性表)。如果不需要关断功能, 请将 EN 连接到 IN。

7.3.3 有源放电 (新芯片)

该器件具有一个内部下拉 MOSFET，当器件被禁用以主动释放输出电压时，该内部下拉 MOSFET 会将电阻 $R_{PULLDOWN}$ 接地。有源放电电路由使能引脚激活。

请勿依赖有源放电电路在输入电源崩溃后对输出电压进行放电，因为反向电流可能会从输出端流向输入端。这种反向电流会导致器件损坏，尤其是在使用大输出电容器时。在短时间内将反向电流限制为不超过器件额定电流的 5%。

7.3.4 折返电流限制

TPS794 的旧芯片具有内部电流限制和热保护功能。在正常运行期间，TPS794 将输出电流限制在大约 925mA (典型值)。当启用限流功能时，输出电压会线性缩减，直到过流情况结束。虽然电流限制旨在防止器件发生严重故障，但必须注意不得超过封装的功率耗散额定值或器件的绝对最大额定电压。

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。电气特性表中列出了 I_{CL} 和 I_{SC} 。

对于此器件， $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ 。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ 。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ 。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 [了解限制应用报告](#)。

图 7-5 显示了折返电流限制图。

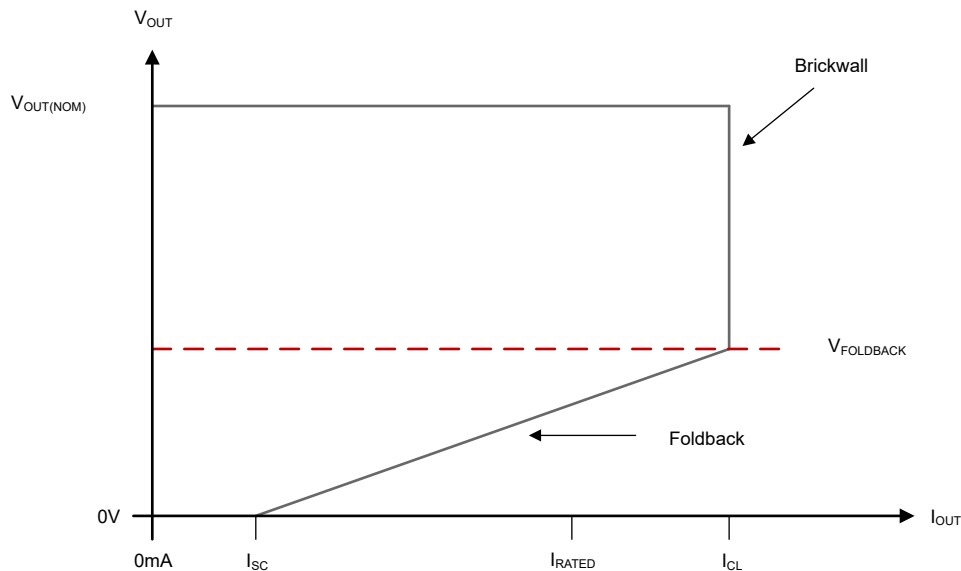


图 7-5. 折返电流限制

7.3.5 过热保护

当结温上升至大约 165°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时，输出电路将被重新使能。根据功率耗散、热阻和环境温度的变化，过热保护电路可能会循环开启和关断。这一循环操作会限制稳压器耗散，防止器件因过热而损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，请将结温限制为最高 125°C。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。

TPS794 内部保护电路旨在防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS794 持续不断地运行至热关断状态会降低器件的可靠性。

7.3.6 反向电流

TPS794 的 PMOS 导通晶体管具有内置反向二极管，能够在输入电压降至输出电压以下时（例如断电期间）导通反向电流。电流是从输出传导到输入，不受内部限制。如果要在较高的反向电压下工作，建议将该电流限制在额定输出电流的 5% 范围内。

与大多数现代 LDO 一样，反向电流过大会损坏该器件。

反向电流流经导通元件上的体二极管，而不是正常的传导通道。如果幅度较大，该电流会因出现以下情况之一，从而降低器件的长期可靠性：

- 由电迁移引起的退化
- 过度散热
- 可能导致闩锁

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} > V_{IN} + 0.3V$ 的绝对最大额定值：

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则必须使用外部保护来保护器件。使用肖特基二极管的反向电流保护示例电路展示了保护器件的一种方法。

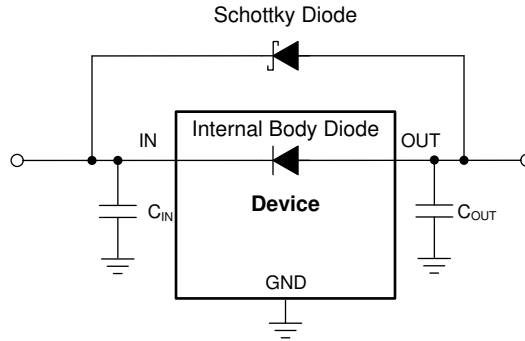


图 7-6. 使用肖特基二极管的反向电流保护示例电路

7.4 器件功能模式

7.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压至少可高达 $V_{IN(min)}$ 。
- 输入电压高于标称输出电压与压降电压之和。
- 使能电压大于 $V_{EN(min)}$ 。
- 输出电流低于电流限值。
- 器件结温低于最大指定结温。

7.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此运行模式下，输出电压等于输入电压与压降电压之差。器件的瞬态性能会显著下降，因为导通器件处于线性区域，不再控制流过 LDO 的电流。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

7.4.3 禁用

在下列情况下，该器件被禁用：

- 使能电压小于使能下降阈值电压或尚未超过使能上升阈值。
- 器件结温大于热关断温度。
- 输入电压低于 $UVLO_{falling}$ 。

表 7-1 给出了不同工作模式的参数条件。

表 7-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(high)}$	$I_{OUT} < I_{LIM}$	$T_J < 125^{\circ}C$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125^{\circ}C$

表 7-1. 器件功能模式比较 (续)

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
禁用模式 (任何真条件都会禁用该器件)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165^{\circ}C^{(1)}$

(1) 热关断的近似值。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPS794 经过优化，适用于噪声敏感型设备。该器件具有极低压降电压、高 PSRR、超低输出噪声、低静态电流和使能输入，可降低电源电流。

8.1.1 可调节运行

如 [TPS794 可调节 LDO 稳压器编程](#) 所示，使用外部电阻分压器对 TPS794 可调节稳压器的输出电压进行编程。输出电压可根据 [方程式 1](#) 计算得出：

$$V_{\text{OUT}} = V_{\text{REF}} \times \left(1 + \frac{R_1}{R_2} \right) \quad (1)$$

其中：

- $V_{\text{REF}} = 1.2246\text{V}$ 典型值（内部基准电压）

必须选择电阻 R_1 和 R_2 ，以获得大约 $40\ \mu\text{A}$ 分压器电流。较低值的电阻器可用于提高噪声性能，但该器件会耗费更多功率。必须避免使用较高的值，因为 FB 上的漏电流会增加输出电压误差。

推荐的设计过程是选择

$R_2 = 30.1\text{k}\Omega$ 来将分压器电流设置为 $40\ \mu\text{A}$ 、

$C_1 = 15\text{pF}$ 以确保稳定性，然后使用 [方程式 2](#) 来计算 R_1 。

$$R_1 = \left(\frac{V_{\text{OUT}}}{V_{\text{REF}}} - 1 \right) \times R_2 \quad (2)$$

为了提高可调节版本的稳定性，请在 OUT 和 FB 之间放置一个小型补偿电容器。

可以按 [方程式 3](#) 计算该电容器的近似值：

$$C_1 = \frac{(3 \times 10^{-7}) \times (R_1 + R_2)}{(R_1 \times R_2)} \quad (3)$$

[TPS794 可调节 LDO 稳压器编程](#) 中的表显示了该电容器在多个电阻比下的建议值。如果不使用此电容器（例如在单位增益配置中），则建议使用的最小输出电容器是 $2.2\ \mu\text{F}$ 而非 $1\ \mu\text{F}$ 。

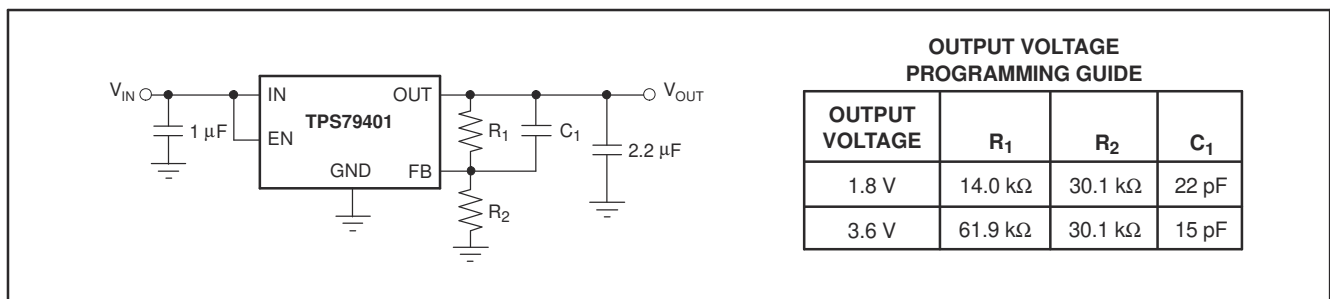


图 8-1. TPS794 可调节 LDO 稳压器编程

8.1.2 退出压降

某些应用具有会使 LDO 进入压降状态的瞬态，例如启动期间 V_{IN} 上的斜坡较慢。与其他 LDO 一样，从这些条件中恢复时，输出可能会过冲。当压摆率和电压电平处于正确范围内时，斜升输入电源会导致 LDO 在启动时过冲，如启动至压降所示。使用使能信号来避免这种情况。

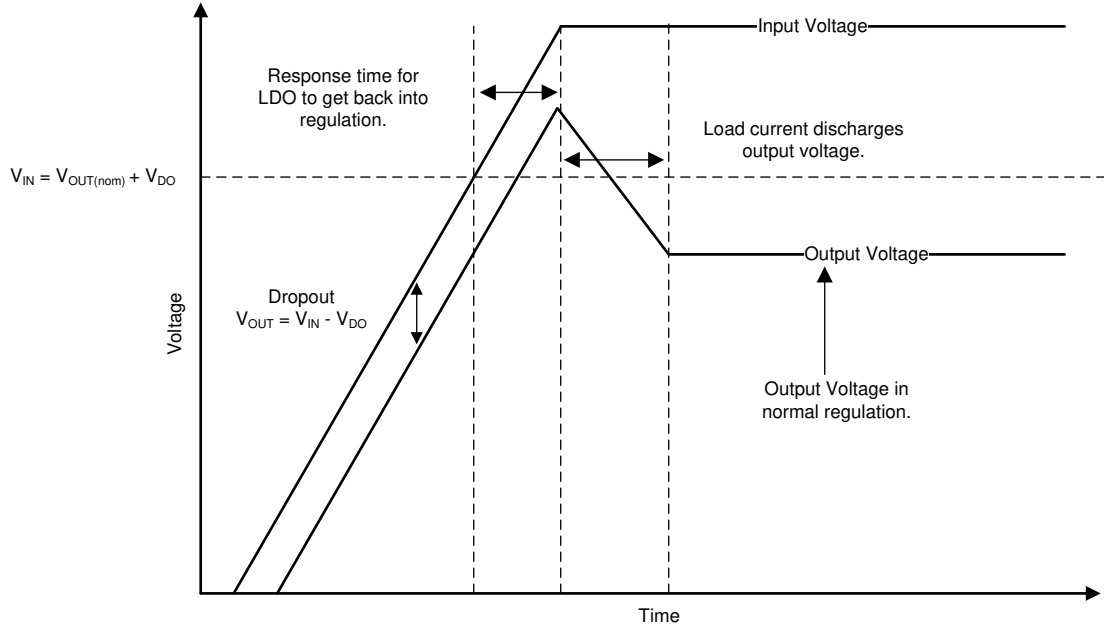


图 8-2. 启动至压降

超出压降的线路瞬变也会导致稳压器输出过冲。这些过冲是由于误差放大器驱动导通元件的栅极电容并将栅极恢复到正确电压以进行适当调节。[压降产生的线路瞬变](#) 说明了栅极电压在内部发生的情况，以及如何在运行期间引起过冲。当 LDO 处于压降状态时，栅极电压 (V_{GS}) 会一直下拉至接地，以便为通流器件提供尽可能低的导通电阻。但是，如果器件处于压降状态时发生线路瞬态，则环路未处于稳压状态，并可能导致输出过冲，直到环路响应、输出电流将输出电压拉回到稳压状态。如果这些瞬变不可接受，则继续在系统中添加输入电容，直到瞬态足够慢，可以减少过冲。

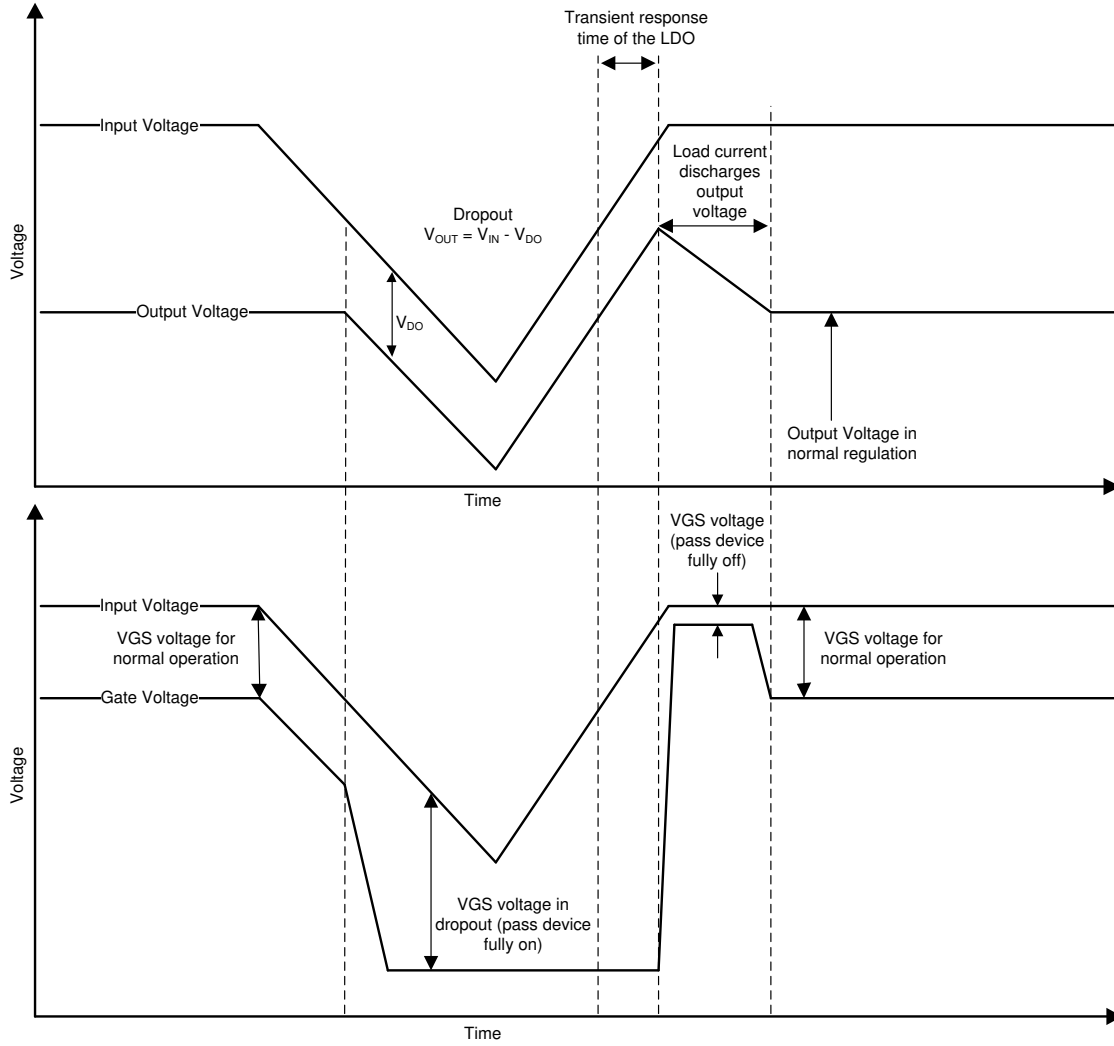


图 8-3. 压降产生的线路瞬变

8.2 典型应用

图 8-4 中显示了一个典型应用电路。

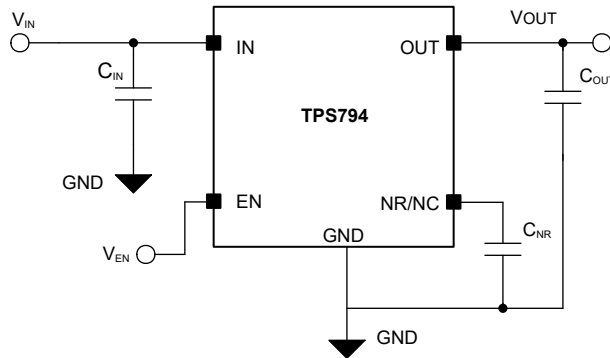


图 8-4. 典型应用电路

8.2.1 详细设计过程

选择所需的输出电压选项。使用了 $1\mu\text{F}$ 的输入电容器，因为电池通过孔和一条短的 10mil (0.01 英寸) 布线连接到输入端。使用 $10\mu\text{F}$ 的输出电容器来提供负载瞬态的理想响应时间。参考“[最高环境温度与功率耗散之间的关系](#)”，验证未超过最大结温。

8.2.1.1 电容器推荐

必须为输入、输出、降噪和旁路电容器使用低等效串联电阻 (ESR) 电容器。首选采用 X7R 和 X5R 电介质的陶瓷电容器。这些电介质的特性更加稳定。陶瓷 X7R 电容器提供了改进的过热性能，而陶瓷 X5R 电容器更具成本效益，可提供更高的电容值。

8.2.1.2 输入和输出电容器要求

需要一个 $1\mu\text{F}$ 或更大的陶瓷输入旁路电容器，连接在 IN 和 GND 之间，并靠近 TPS794，该电容器能够确保稳定性，并改善瞬态响应、噪声抑制和纹波抑制。如果有可能出现较大、快速上升时间的负载瞬态且器件距离电源几英寸远的话，有可能需要一个更大电容值的输入电容器。

与大多数低压降稳压器一样，TPS794 需要在 OUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。建议的最小电容为 $1\mu\text{F}$ 。任何 $1\mu\text{F}$ 或更大的陶瓷电容器均适用。

8.2.1.3 降噪和前馈电容器要求

内部电压基准是 LDO 稳压器中的主要噪声源。TPS794 旧芯片具有 NR 引脚，通过 $250\text{k}\Omega$ 内部电阻器连接到电压基准。 $250\text{k}\Omega$ 内部电阻器与连接到 NR 引脚的外部旁路电容器相结合，形成了一个低通滤波器，可降低电压基准噪声，从而降低稳压器输出的噪声。为了使稳压器正常运行，从 NR 引脚流出的电流必须最小，因为任何漏电流都会在内部电阻器上产生 IR 压降，从而产生输出误差。因此，旁路电容器必须具有最小的漏电流。旁路电容器不得超过 $0.1\mu\text{F}$ ，以验证电容是否在 [功能方框图](#) 中的内部开关提供的快速启动时间内充满电。

使用可调节版本时，建议使用前馈电容器来提高器件的稳定性。请参阅建议工作条件表，了解 C_{FF} 值。

8.2.2 应用曲线

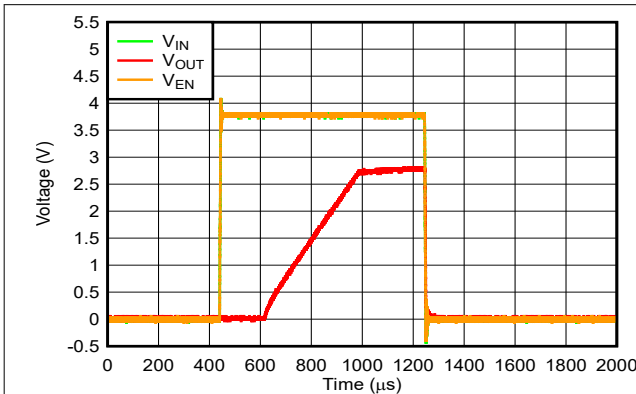


图 8-5. TPS794 输出电压、使能电压与时间的关系 (启动)

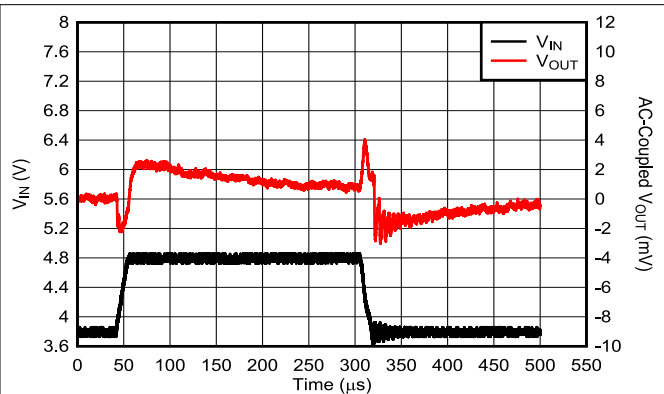


图 8-6. TPS794 线路瞬态响应

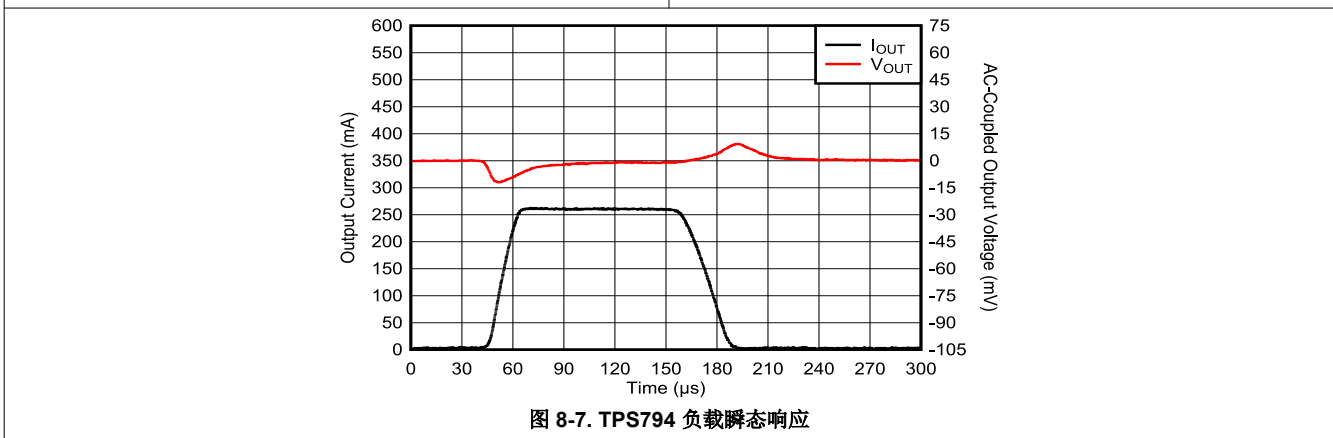


图 8-7. TPS794 负载瞬态响应

8.3 布局

8.3.1 对于改进 PSRR 和噪声性能的电路板布局布线建议

为改善 PSRR、输出噪声和瞬态响应等交性能流，在设计电路时应分别为 V_{IN} 和 V_{OUT} 提供独立的接地层，并且仅在器件的接地引脚上连接接地层。此外，针对旁路电容器的接地连接必须直接接至器件的接地引脚。

8.3.2 功率耗散

不同封装类型的芯片散热能力是不同的，在印刷电路板 (PCB) 布局过程中应区别对待。器件周围没有其他组件的 PCB 区域会将器件的热量散发到周围空气中。热性能信息表中列出了 JEDEC 低 K 电路板和高 K 电路板的性能数据。使用较重的覆铜可提高器件的散热效率。此外，在散热层添加镀层穿孔也可以提高散热效率。

功耗取决于输入电压和负载情况。功率耗散 (P_D) 等于输出电流乘以输出导通元件 (V_{IN} 至 V_{OUT}) 上的压降所得到的乘积。

其中：

- T_{Jmax} 是允许的最大结温。
- $R_{\theta JA}$ 是封装的结至环境热阻。
- T_A 为环境温度。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

静态电流导致的功率耗散可以忽略不计。过多功率耗散会触发过热保护电路。

可以通过使用 *热性能信息* 表中所示的热指标 Ψ_{JT} 和 Ψ_{JB} 来估算结温。与 $R_{\theta JA}$ 相比，这些指标是芯片和封装热传递特性的更准确表示。可以使用 [方程式 5](#) 来估算结温。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \cdot P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \cdot P_D \end{aligned} \tag{5}$$

其中

- P_D 是耗散功率，如 [方程式 4](#) 所示。
- T_T 是 IC 封装顶部中间位置的温度。
- T_B 是在 PCB 表面距 IC 封装 1mm 测得的 PCB 温度。

备注

T_T 和 T_B 都可以使用实际测温仪（红外温度计）在实际应用板上进行测得。

有关测量 T_T 和 T_B 的详细信息，请参阅 *使用新的热指标* 应用手册 ([SBVA025](#))，该应用手册可从 www.ti.com 下载。

8.3.3 热性能信息

LDO 线性稳压器产生的热量与稳压器在运行期间耗散的功率成正比。所有集成电路都有一个允许的最大结温 (T_{Jmax})，高于该温度时，无法保证正常运行。系统设计人员必须设计工作环境，使工作结温 (T_J) 不会超过最高结温 (T_{Jmax})。设计人员用来提高散热性能的两个主要环境变量是气流和外部散热器。此信息旨在帮助设计人员为在特定功率级别下运行的线性稳压器确定合适的工作环境。

通常，线性稳压器消耗的最大预期功率 (P_{Dmax}) 的计算方法 [方程式 6](#) 如所示：

$$P_{Dmax} = (V_{IN(avg)} - V_{OUT(avg)}) \times I_{OUT(avg)} + V_{I(avg)} \times I_Q \tag{6}$$

其中：

- $V_{IN(avg)}$ 是平均输入电压
- $V_{OUT(avg)}$ 是所需的平均输出电压
- $I_{OUT(avg)}$ 是平均输出电流
- I_Q 是静态电流

对于大多数 TI LDO 稳压器，与平均输出电流相比，静态电流微不足道；因此， $V_{IN(avg)} \times I_Q$ 项可以忽略不计。工作结温的计算方法是将环境温度 (T_A) 与稳压器功率耗散引起的温升相加。温升是通过将最大预期功率耗散乘以结点和外壳之间的热阻 ($R_{\theta JC}$)、外壳到散热器之间的热阻 ($R_{\theta CS}$) 和散热器到环境之间的热阻 ($R_{\theta SA}$) 来计算的。热阻用于衡量物体散热的效率。通常，器件越大，可用于耗散功率的表面积就越大，物体的热阻就越低。

[图 8-8](#) 展示了安装在 JEDEC low-K 板上的 SOT223 封装的这些热阻。

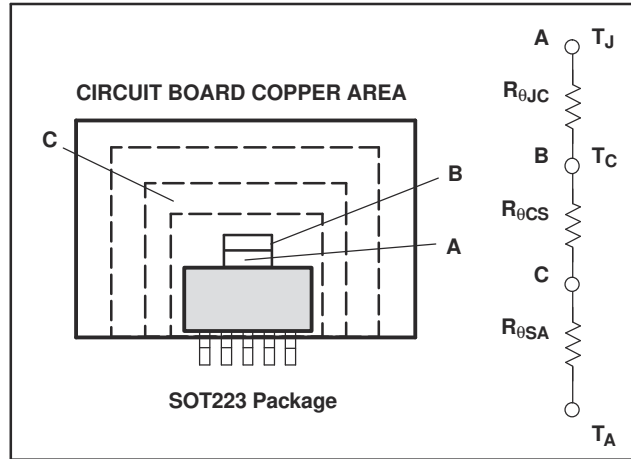


图 8-8. 热阻

方程式 7 汇总了计算结果：

$$T_J = T_A + P_{D \max} \times (R_{\theta JC} + R_{\theta CS} + R_{\theta SA}) \quad (7)$$

$R_{\theta JC}$ 特定于每个稳压器，由稳压器数据表中提供的封装、引线框和芯片尺寸决定。 $R_{\theta SA}$ 是散热器类型和尺寸的函数。例如，黑体辐射器型散热器的 $R_{\theta CS}$ 值的范围从适用于超大散热器的 5°C/W 到适用于超小散热器的 50°C/W 。 $R_{\theta CS}$ 是封装与散热器连接方式的函数。例如，如果使用热化合物将散热器连接到 SOT223 封装， 1°C/W 的 $R_{\theta CS}$ 是合理的。

即使没有将外部黑体辐射器型散热器连接到封装上，安装稳压器的电路板也会通过引脚焊接连接提供一些散热。某些封装（例如 DDPak 和 SOT223 封装）在封装下方或电路板接地平面使用铜平面来实现额外的散热，以提高散热性能。计算机辅助热建模可用于计算集成电路在不同工作环境（例如，不同类型的电路板，不同类型和尺寸的散热器，不同气流等）下散热性能的精确近似值。借助这些模型，这三个热阻可以组合成结点与环境之间的一个热阻 ($R_{\theta JA}$)。此 $R_{\theta JA}$ 仅适用于计算机模型中使用的特定工作环境。

方程式 7 简化为 方程式 8：

$$T_J = T_A + P_{D \max} \times R_{\theta JA} \quad (8)$$

重新排列 方程式 8 可得出 方程式 9：

$$R_{\theta JA} = \frac{T_J - T_A}{P_{D \max}} \quad (9)$$

借助 方程式 9 和 图 8-9 中所示的计算机模型生成的曲线，设计人员可以快速计算给定环境温度、功率耗散和工作环境下所需的散热器热阻/电路板面积。

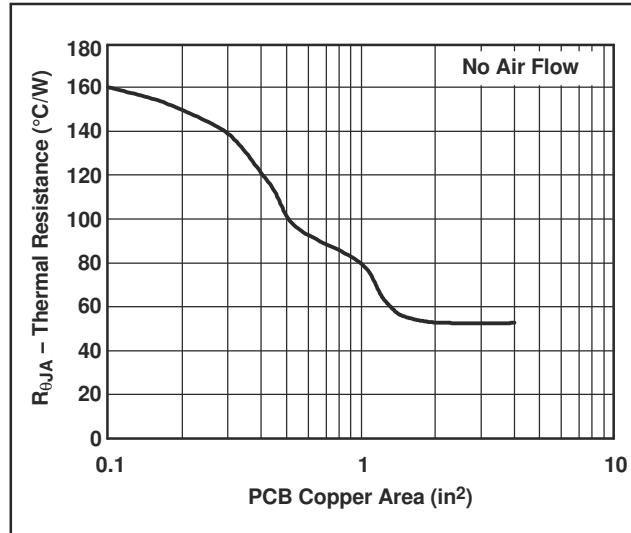


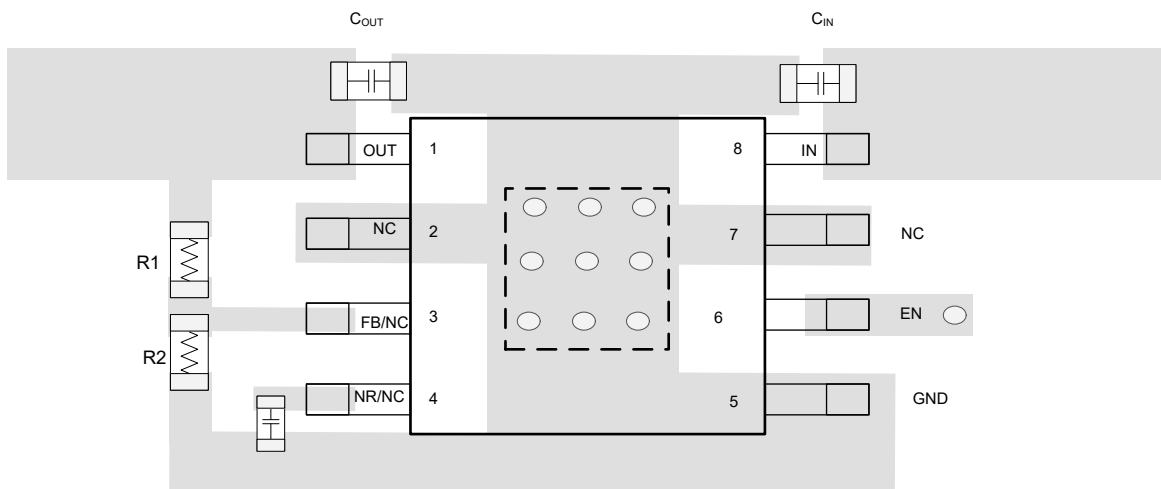
图 8-9. SOT223 热阻与 PCB 铜面积之间的关系

8.3.3.1 稳压器安装

SOT223-6 封装接片以电气方式接地。为了尽可能提高散热性能，必须将表面贴装版本的接片直接焊接到电路板覆铜区。增大铜面积可改善散热。

有关器件的焊盘占用空间建议，请参阅 [SBFA015](#) 表面贴装器件的焊盘建议应用手册，该手册可从 TI 网站 (www.ti.com) 获取。

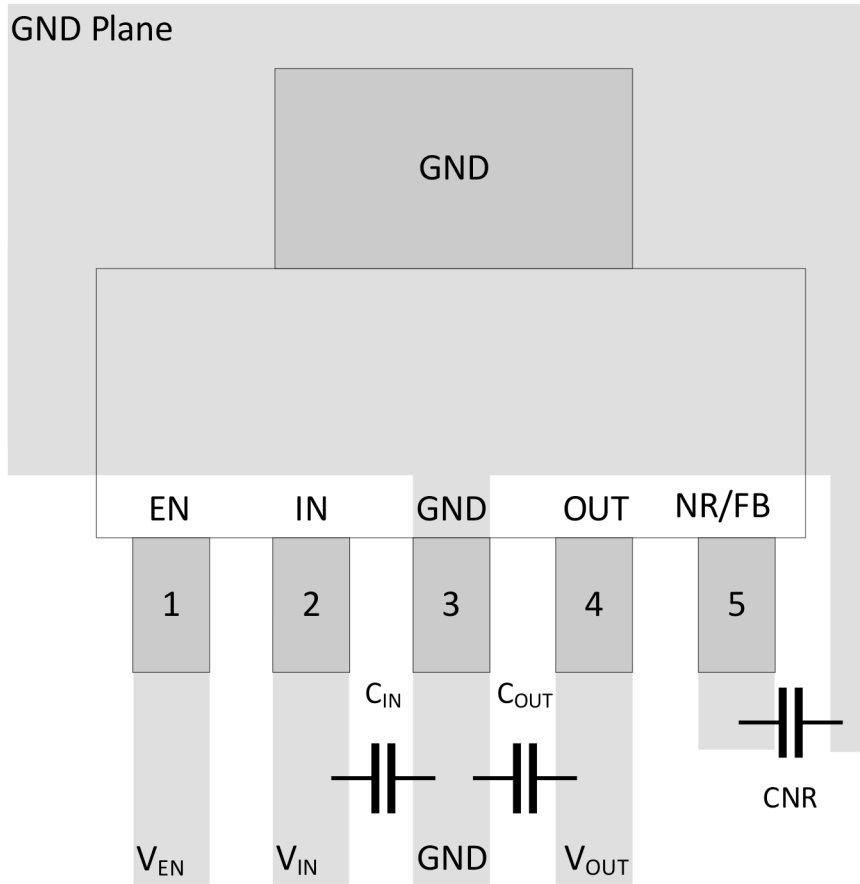
8.3.4 布局示例



Notes:

- Not to scale
- Connect NC pins to GND for better thermal performance, or leave floating
- R₁ and R₂ only needed for adjustable operation
- NR capacitor can be left connected for new chip
- Denotes a via to a connection made on another layer
- Add as many thermal vias as possible under thermal pad and nearby GND plane for better thermal performance

图 8-10. 布局示例 (DGN 封装)



Notes:

- Not to scale
- Legacy chip only
- Representative of the fixed output voltage options
- Add as many thermal vias as possible under thermal pad and nearby GND plane for better thermal performance

图 8-11. 布局示例 (DCQ 封装)

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件支持

9.1.1 器件命名规则

表 9-1. 提供的选项

产品 ⁽¹⁾	说明 ⁽²⁾
TPS794xx yyy z M3	<p>xx(x) 是标称输出电压 (例如 28 = 2.8V, 285 = 2.85V, 01 = 可调节)。</p> <p>yyy 为封装指示符。</p> <p>z 为封装数量。 M3 是仅使用新制造流程的器件的后缀指示符 (CSO : RFB)。没有这个后缀的器件可以随附旧芯片 (CSO : DLN) 或新芯片 (CSO : RFB)。卷带封装标签提供 CSO 信息以区分正在使用的芯片。全篇对新芯片和旧芯片的器件性能进行了说明。</p>

- (1) 如需了解最新的封装及订购信息, 请参见本文件结尾处的“Package Option Addendum (封装选项附录)”, 或登录 TI 的网站 www.ti.com 进行查询。
- (2) 可提供 1.3V 至 5.0V 范围 (以 100mV 为增量) 的输出电压; 可以适用最小订购量。请与厂方联系以了解详情和可用性。

9.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (December 2005) to Revision F (December 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 向文档添加了新的芯片 (M3) 器件.....	1
• 通篇添加了区分新芯片和旧芯片信息的命名规则.....	1
• 向 <i>特性</i> 部分添加了产品系列器件的要点.....	1
• 通篇将 MSOP 更改为 HVSSOP.....	1
• 添加了 <i>应用</i> 部分.....	1
• 更新了引脚说明表，以包含新芯片和旧芯片说明.....	3
• 添加了关于查看 TPS7A20 以实现更低噪声性能的说明.....	3
• 添加了 NR/NC 引脚.....	3
• 添加了 <i>建议工作条件表</i>	4
• 添加了 <i>热性能信息表</i>	4
• 添加了 <i>ESD 等级表</i>	4
• 更新了 <i>电气特性表</i> ，以包含新芯片和旧芯片规范说明.....	4
• 添加了 <i>器件功能模式</i> 部分.....	18
• 添加了 <i>应用和实施</i> 部分.....	20
• 添加了 <i>布局</i> 部分.....	24
• 添加了 <i>器件和文档支持</i> 部分.....	29
• 添加了 <i>机械、封装和可订购信息</i> 部分.....	31

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79401DCQ	Obsolete	Production	SOT-223 (DCQ) 6	-	-	Call TI	Call TI	-40 to 85	PS79401
TPS79401DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79401
TPS79401DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79401
TPS79401DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI Nipdau Nipdauag	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNRM3	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNT	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	AXL
TPS79418DCQ	Obsolete	Production	SOT-223 (DCQ) 6	-	-	Call TI	Call TI	-40 to 85	PS79418
TPS79418DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79418
TPS79418DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79418
TPS79418DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI Nipdau	Level-1-260C-UNLIM	-40 to 85	AXM
TPS79418DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AXM
TPS79418DGNT	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	AXM
TPS79425DCQ	Obsolete	Production	SOT-223 (DCQ) 6	-	-	Call TI	Call TI	-40 to 85	PS79425
TPS79425DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79425
TPS79425DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79425
TPS79425DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI Nipdau	Level-1-260C-UNLIM	-40 to 85	AYB
TPS79425DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AYB
TPS79425DGNT	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	AYB
TPS79428DCQ	Obsolete	Production	SOT-223 (DCQ) 6	-	-	Call TI	Call TI	-40 to 85	PS79428
TPS79428DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79428
TPS79428DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79428
TPS79428DGNT	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYC
TPS79428DGNT.A	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYC
TPS79430DCQ	Active	Production	SOT-223 (DCQ) 6	78 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQ.A	Active	Production	SOT-223 (DCQ) 6	78 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79430DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYD
TPS79430DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYD
TPS79430DGNT	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	AYD
TPS79433DCQ	Obsolete	Production	SOT-223 (DCQ) 6	-	-	Call TI	Call TI	-40 to 85	PS79433
TPS79433DCQR	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79433
TPS79433DCQR.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79433
TPS79433DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYE
TPS79433DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYE
TPS79433DGNT	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	AYE

(1) Status: For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79401DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79401DGNRM3	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79418DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79418DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79425DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79425DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79428DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79428DGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79430DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79430DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79433DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79433DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79401DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79401DGMR3	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79418DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS79418DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79425DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS79425DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79428DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS79428DGNT	HVSSOP	DGN	8	250	213.0	191.0	35.0
TPS79430DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79430DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79433DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79433DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS79430DCQ	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS79430DCQ.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68

GENERIC PACKAGE VIEW

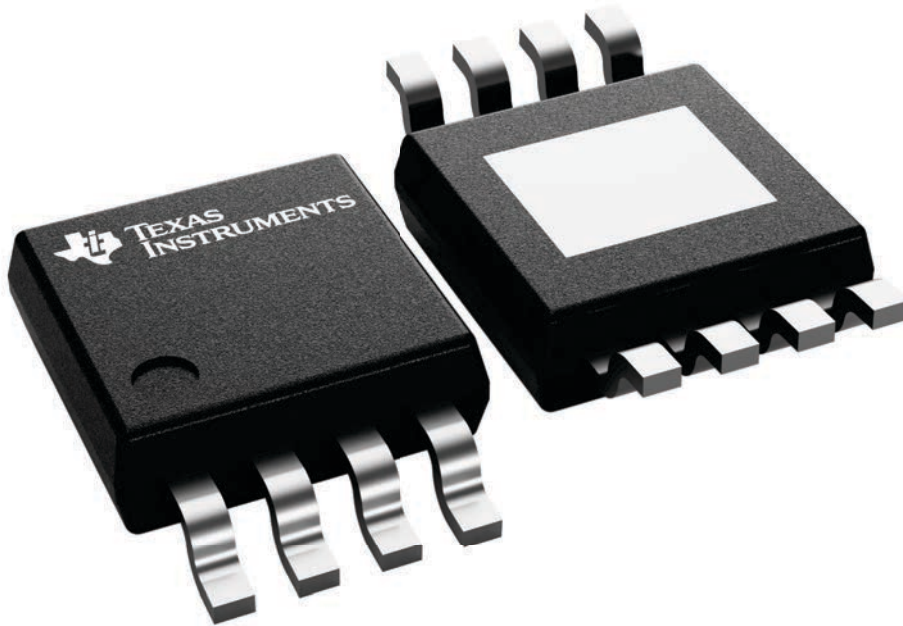
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

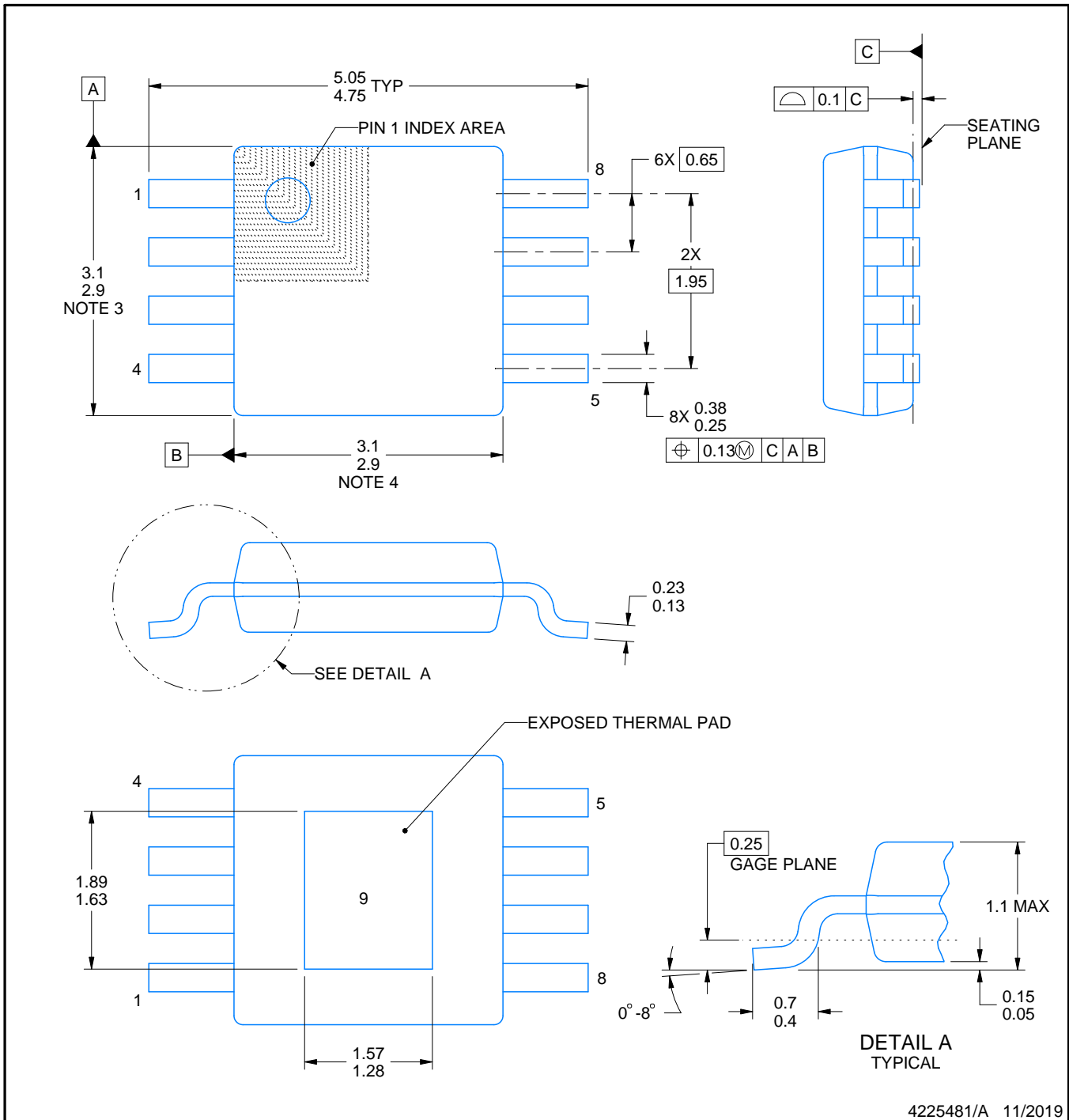
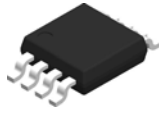
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4225481/A 11/2019

PowerPAD is a trademark of Texas Instruments.

NOTES:

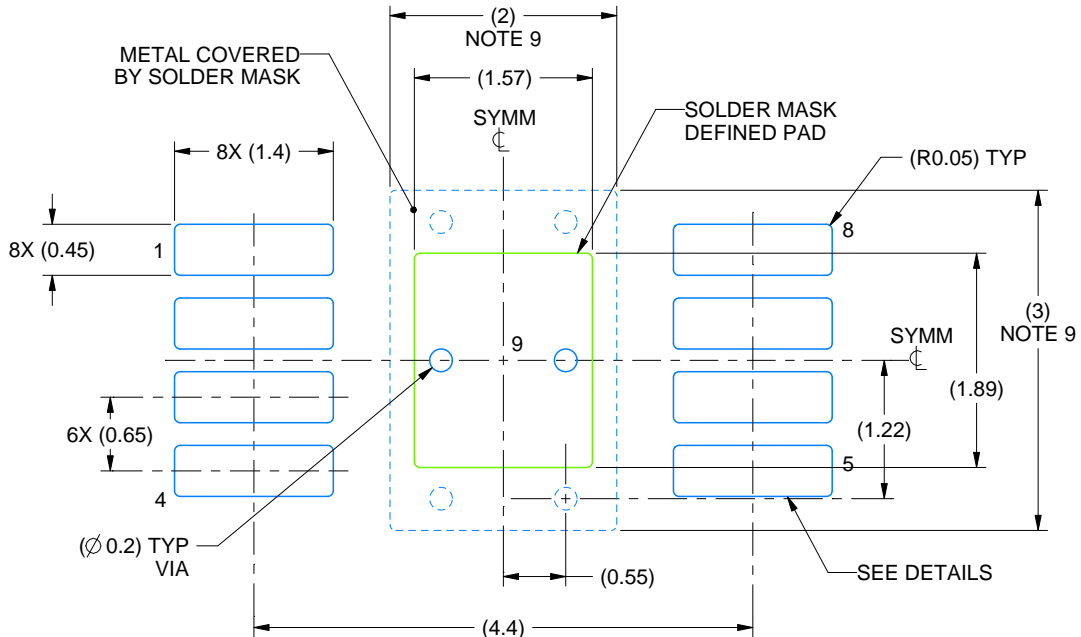
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

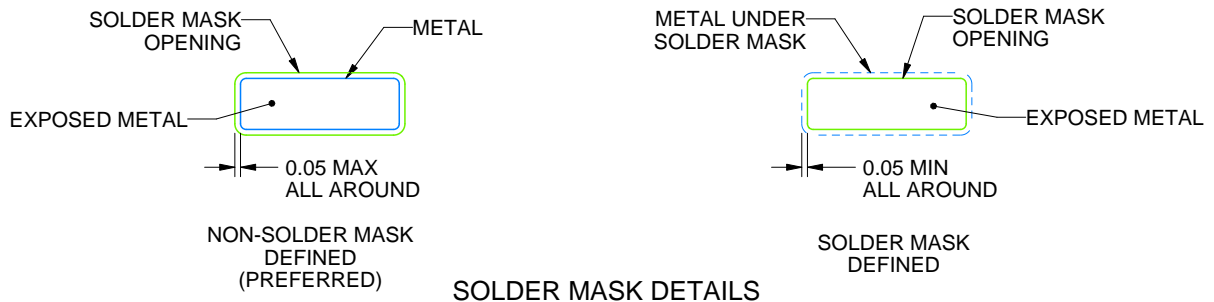
DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4225481/A 11/2019

NOTES: (continued)

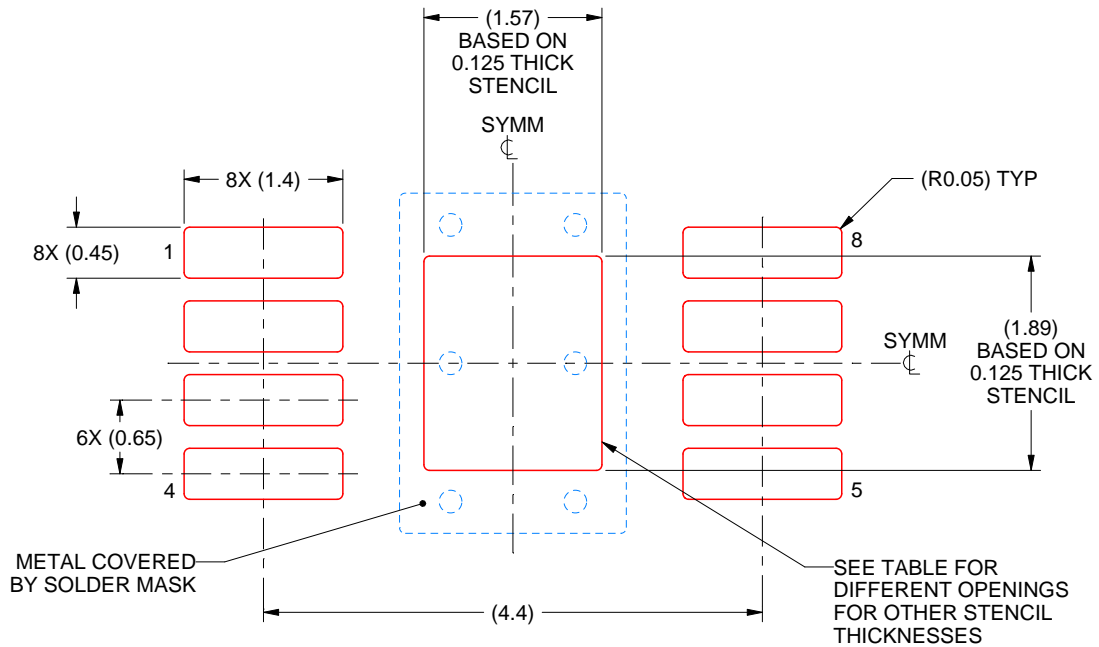
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



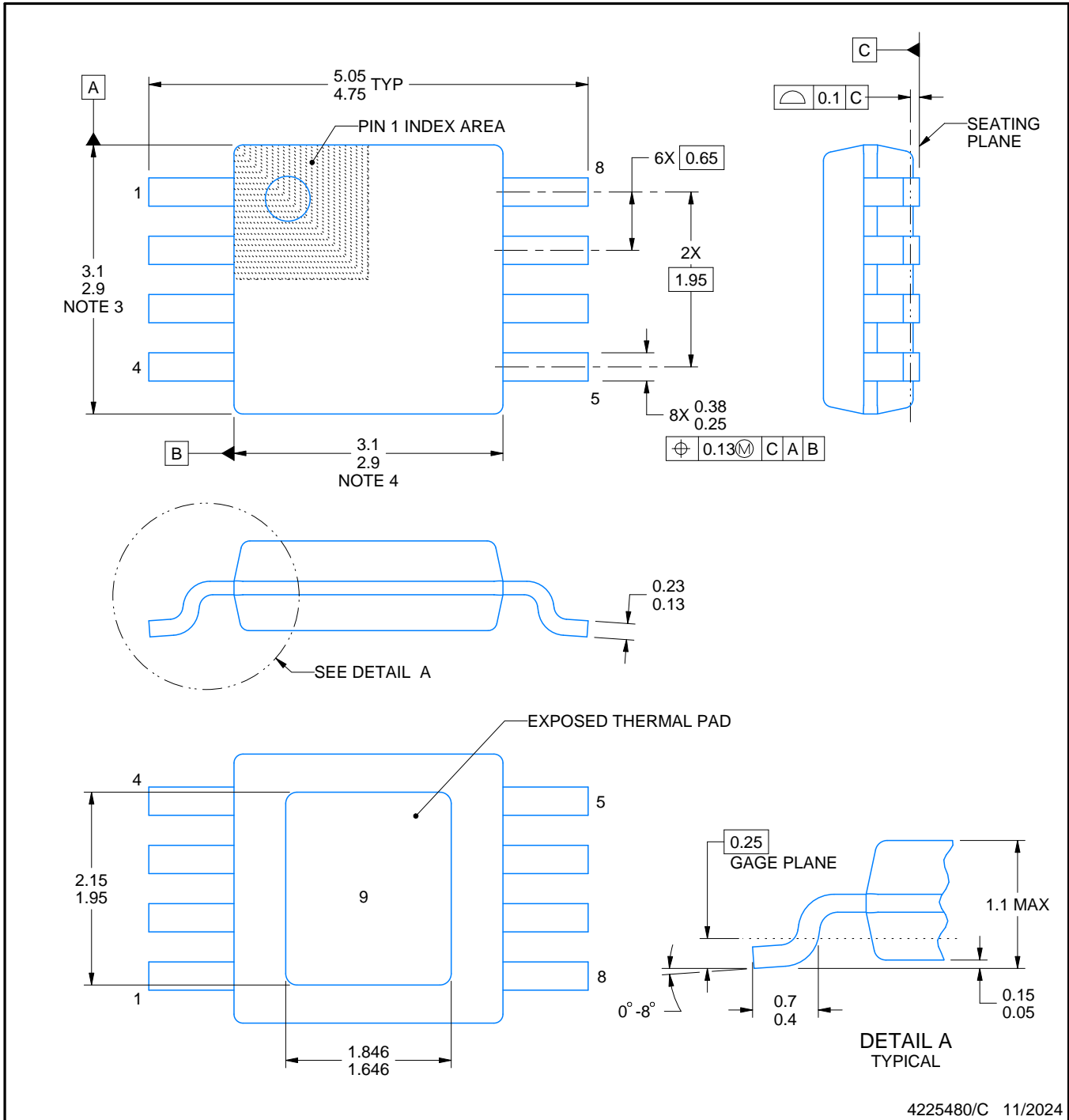
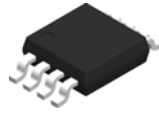
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

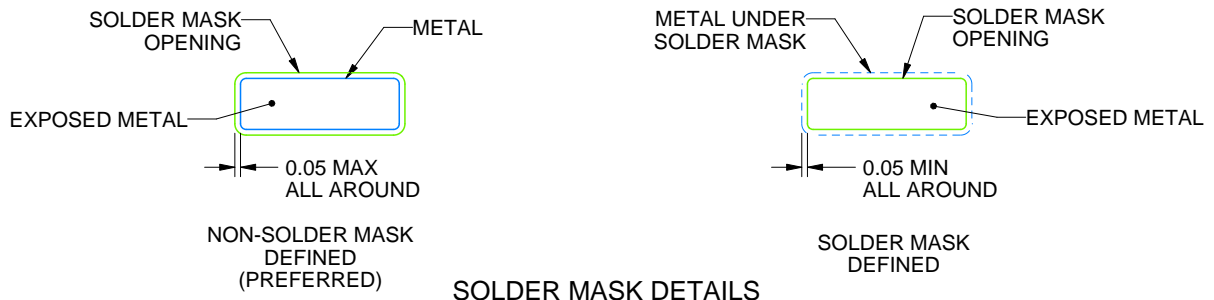
DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

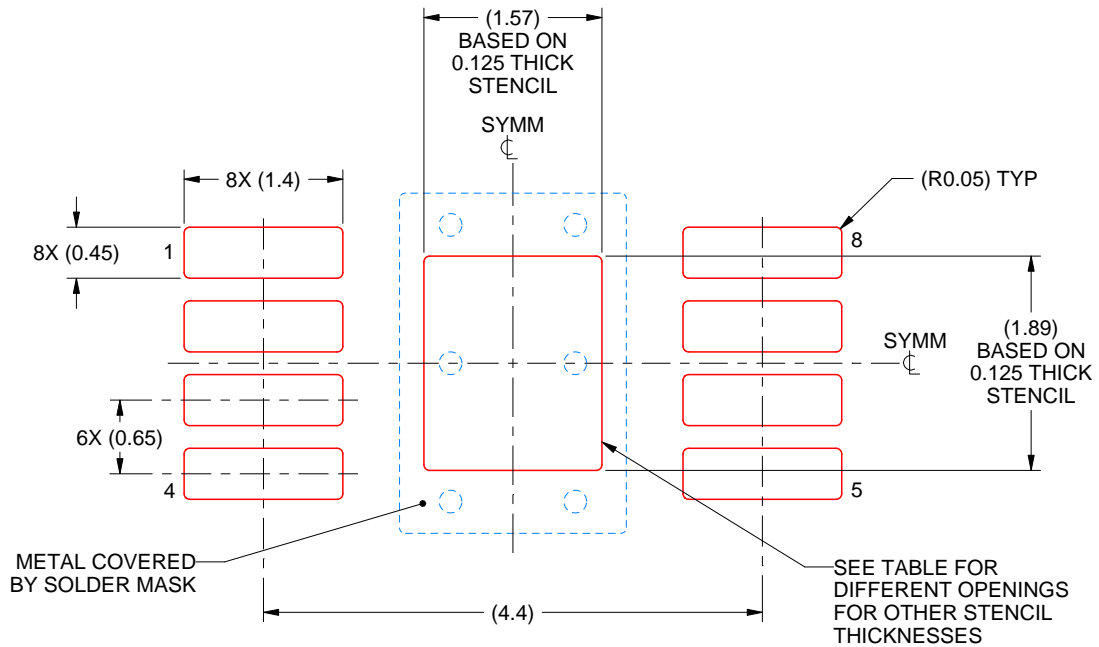
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
- 8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
- 9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



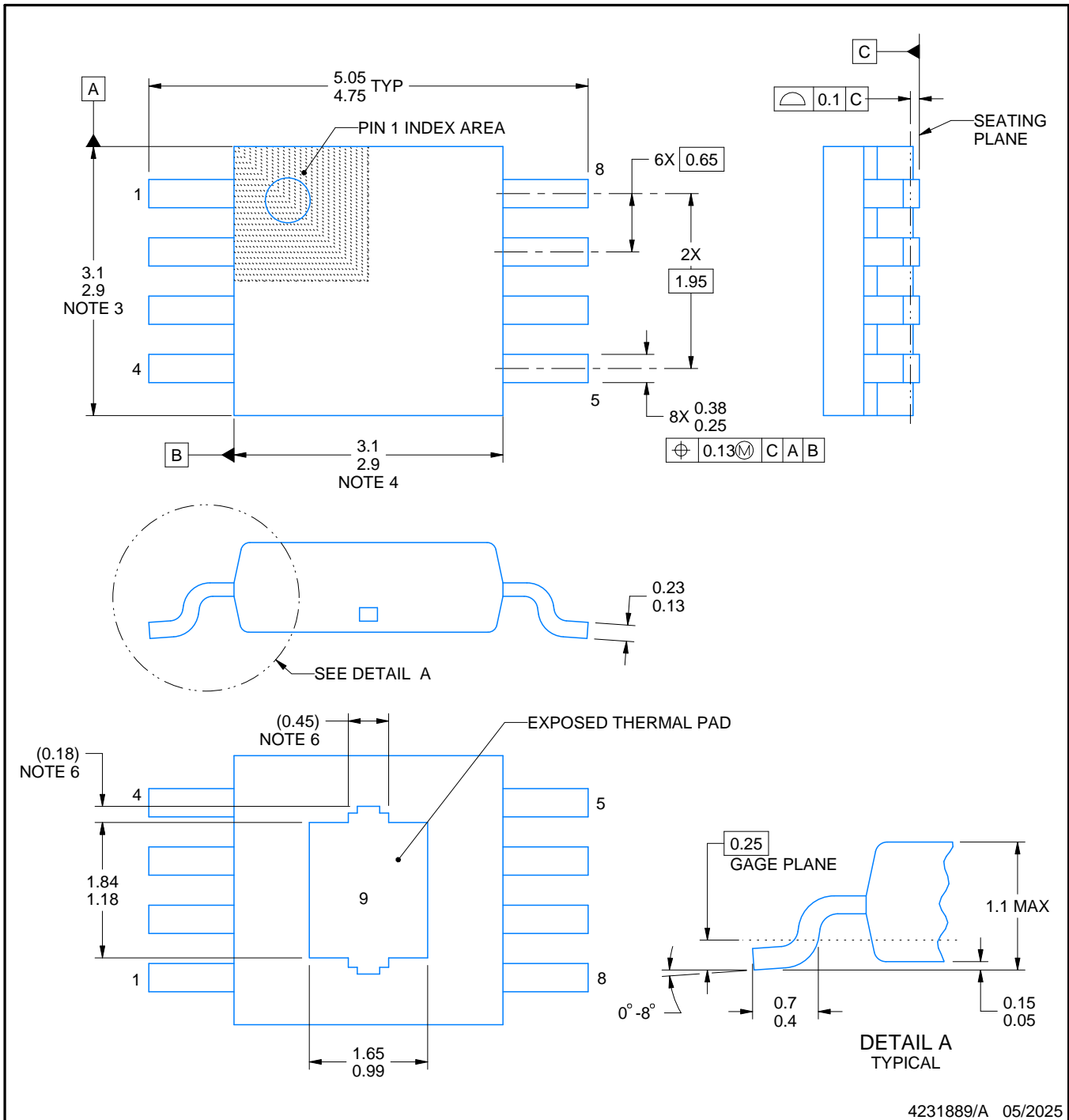
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



4231889/A 05/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

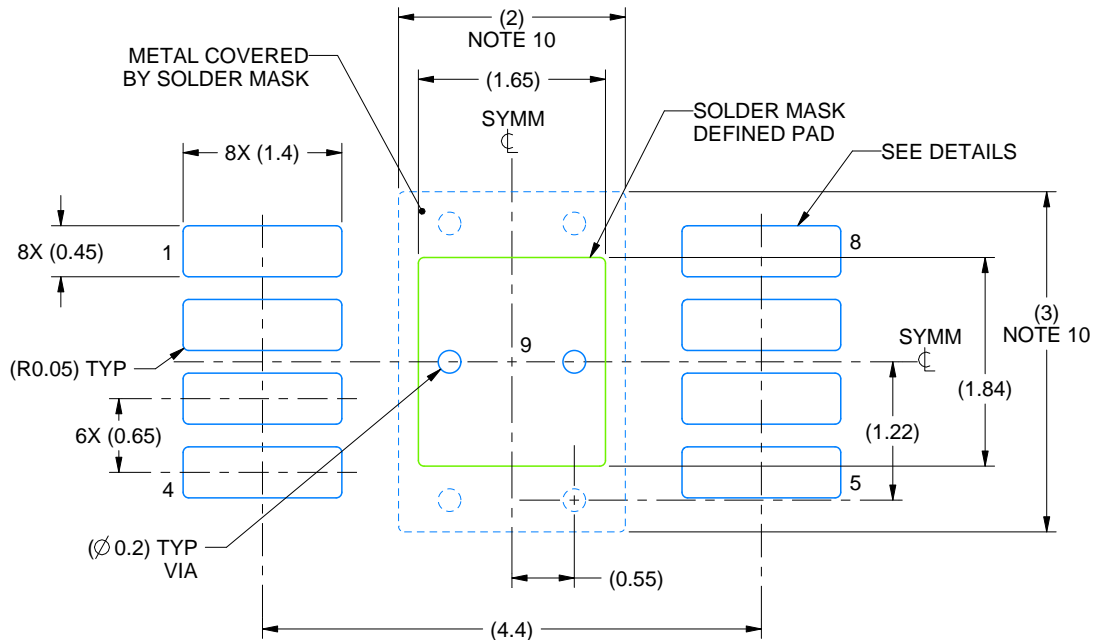
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

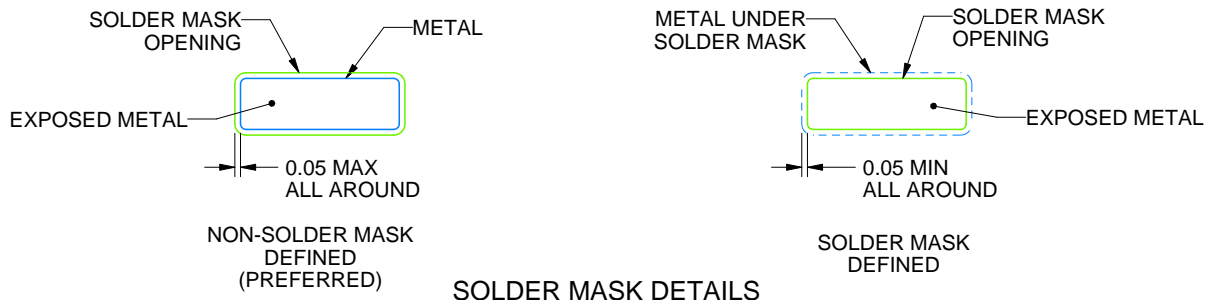
DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

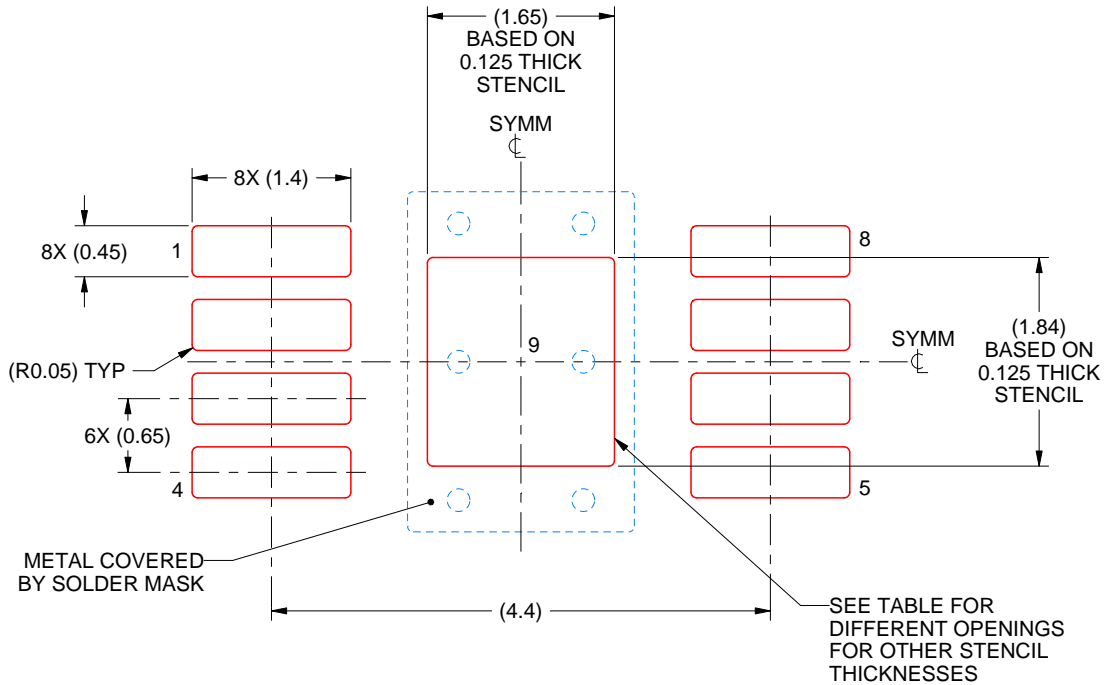
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 EXPOSED PAD 9:
 100% PRINTED SOLDER COVERAGE BY AREA
 SCALE: 15X

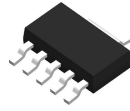
STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

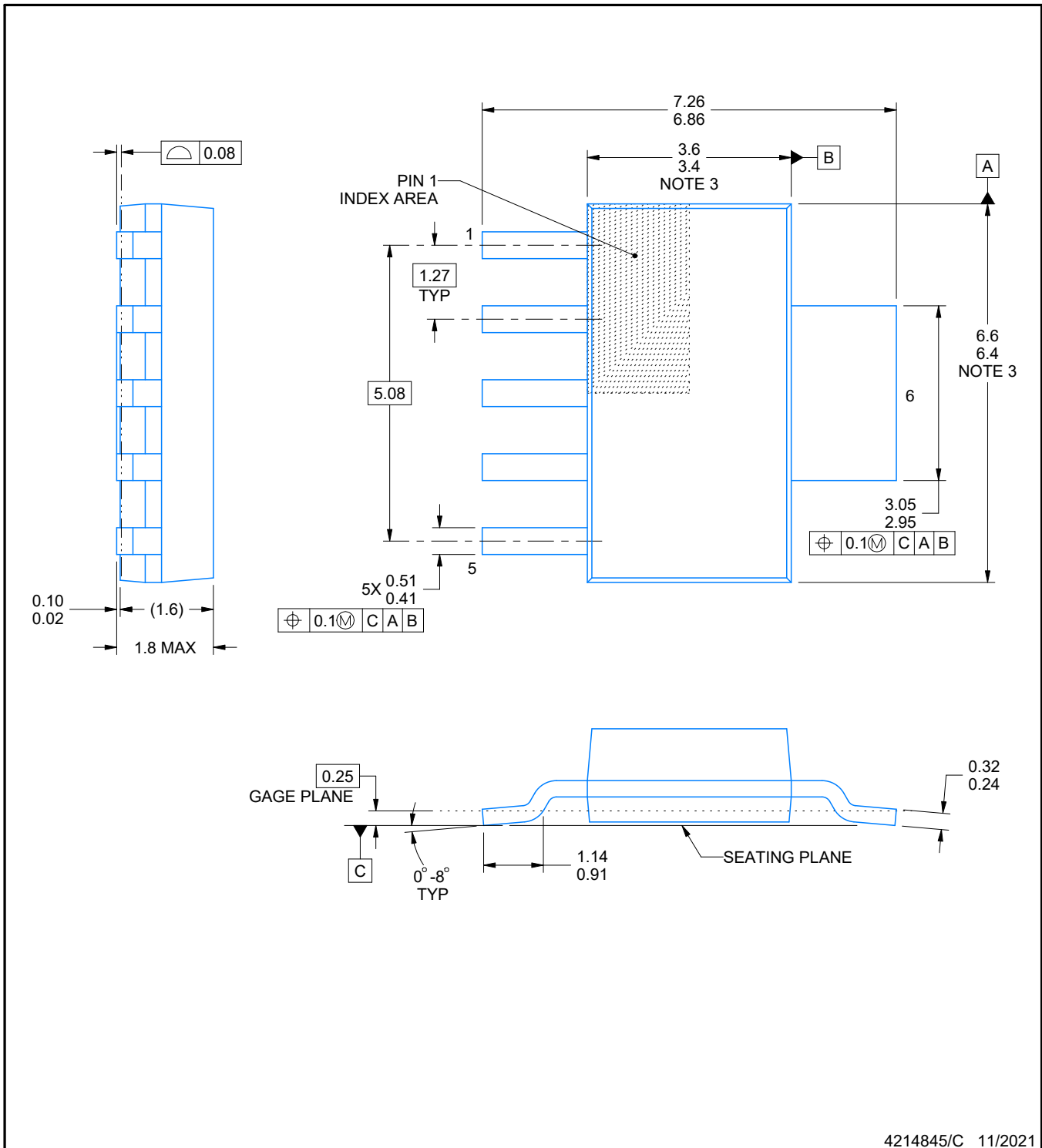
DCQ0006A



PACKAGE OUTLINE

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



4214845/C 11/2021

NOTES:

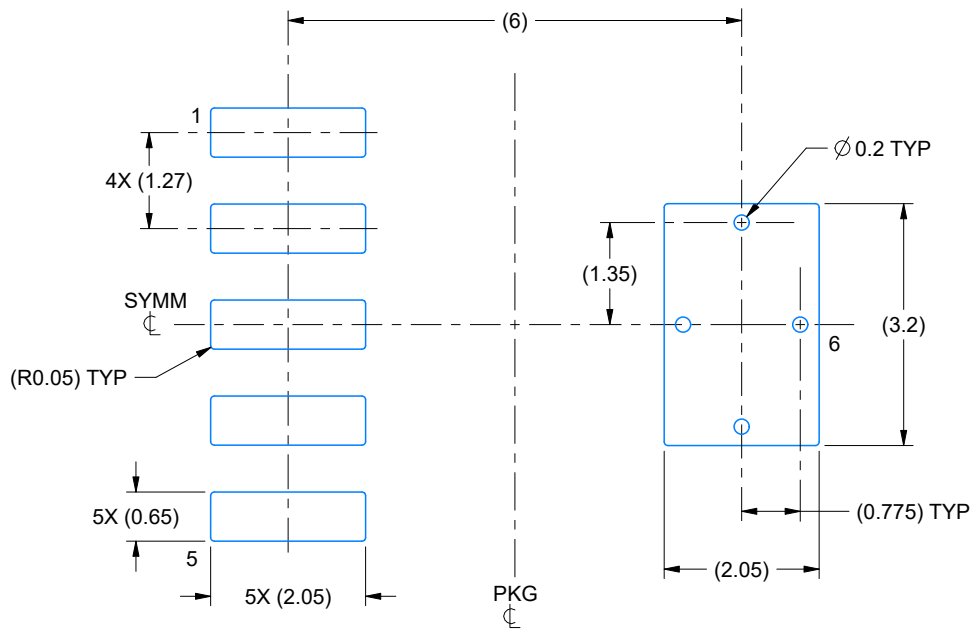
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

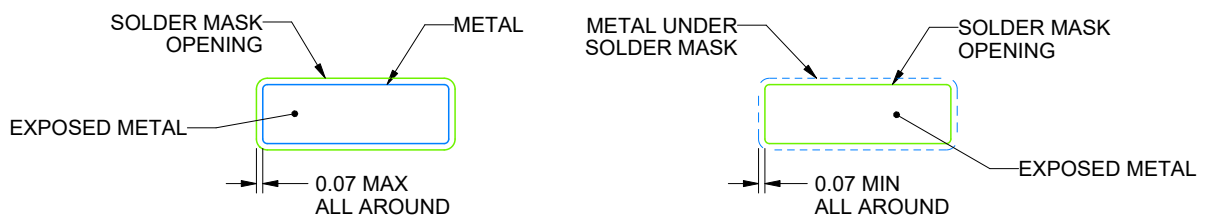
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月