

TPS7B4253-Q1 具有 4mV 跟踪容差的汽车类 300mA、40V 电压跟踪 LDO

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
 - 器件 HBM ESD 分类等级 3A
 - 器件 CDM ESD 分类等级 C6
- 宽输入电压范围：-40V 至 45V (最大值)
- 输出电压可向下调至：
 - 1.5V 至 40V (HTSSOP)
 - 2V 至 40V (HSOIC PowerPAD™)
- 输出电流能力：300mA
- 极低的输出跟踪容差， $\pm 4\text{mV}$
- 低压降： $I_{OUT} = 200\text{mA}$ 时，320mV
- 用于启用和跟踪输入的独立引脚 (仅限 HTSSOP)
- 低静态电流 (I_Q)：
 - EN = 低电平时 $< 4\mu\text{A}$
 - 轻负载时为 $60\mu\text{A}$ (典型值)
- 极宽的 ESR 范围：
 - 与 $10\mu\text{F}$ 至 $500\mu\text{F}$ 陶瓷输出电容器 (ESR $1\text{m}\Omega$ 至 20Ω) 搭配使用时可保持稳定
- 反极性保护
- 电流限制和热关断保护
- 对接地和电源的输出短路保护
- OUT 引脚上的电感钳位
- 有以下封装可供选择：
 - 8 引脚 HSOIC PowerPAD
 - 20 引脚 HTSSOP
- 有关 HSOIC 封装中较新的直接替代器件，请参阅 [TPS7B4260-Q1](#) 器件。

2 应用

- 动力总成压力传感器
- 动力总成温度传感器
- 动力总成排气传感器
- 动力总成油液浓度传感器
- 车身控制模块 (BCM)
- 区域控制模块
- HVAC 控制模块

3 说明

对于汽车非板载传感器和低电流非板载模块，供电通过一根与主板相连的长电缆进行。在这种情况下，电源器件需要对非板载负载提供保护，以防止板载元件在接地短路或电缆损坏导致电池短路时损坏。非板载传感器需要与板载元件一样的电源，才能确保高精度数据采集。

TPS7B4253-Q1 适用于具有 45V 负载突降的汽车类应用。该器件可用作跟踪低压降 (LDO) 稳压器或电压跟

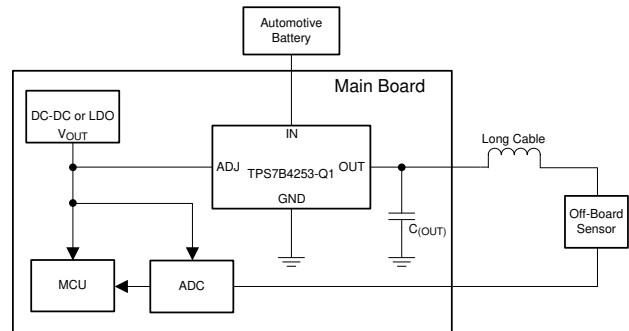
踪器，从而为具有板载主电源的非板载传感器构建闭合电源环路。器件的输出由 ADJ 引脚上的基准电压执行精确调节。

为了向非板载模块提供精确电源，该器件在整个温度范围内的 ADJ 和 FB 引脚之间提供 4mV 的超低跟踪容差。背对背 PMOS 拓扑消除了反极性条件下对于外部二极管的需求。TPS7B4253-Q1 还包括热关断、电感钳位、过载和电池短路保护，可防止极端条件下对板载元件造成损坏。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS7B4253-Q1	DDA (HSOIC, 8)	4.9mm × 6mm
	PWP (HTSSOP, 20)	6.5mm × 6.4mm

- (1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



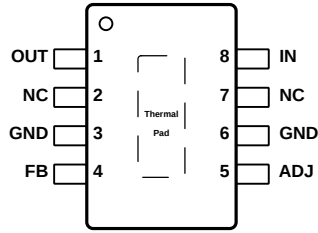
典型应用原理图



内容

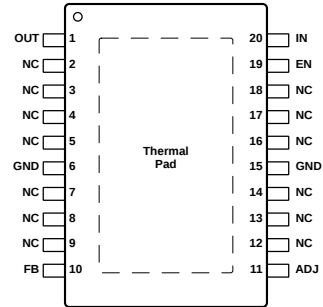
1 特性	1	7 应用和实施	16
2 应用	1	7.1 应用信息.....	16
3 说明	1	7.2 典型应用.....	16
4 引脚配置和功能	3	7.3 电源相关建议.....	19
5 规格	4	7.4 布局.....	19
5.1 绝对最大额定值.....	4	8 器件和文档支持	22
5.2 ESD 等级.....	4	8.1 器件支持.....	22
5.3 建议运行条件.....	4	8.2 文档支持.....	22
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	22
5.5 电气特性.....	5	8.4 支持资源.....	22
5.6 典型特性.....	6	8.5 商标.....	22
6 详细说明	10	8.6 静电放电警告.....	22
6.1 概述.....	10	8.7 术语表.....	22
6.2 功能方框图.....	10	9 修订历史记录	22
6.3 特性说明.....	10	10 机械、封装和可订购信息	23
6.4 器件功能模式.....	15	10.1 机械数据.....	24

4 引脚配置和功能



NC - 无内部连接

图 4-1. DDA PowerPAD 封装、8 引脚 HSOIC (带外部散热焊盘) (顶视图)



NC - 无内部连接

图 4-2. PWP 封装, 20 引脚 HTSSOP (带外露散热焊盘) (顶视图)

表 4-1. 引脚功能

名称	引脚		类型 ⁽¹⁾	说明
	HSOIC PowerPAD	HTSSOP		
ADJ	5	11	I	将基准连接到该引脚。低电平信号禁用器件；高电平信号启用器件。基准电压可以直接连接，也可以通过分压器连接，以获得较低的输出电压。为了补偿线路影响，请在器件引脚附近连接一个电容器。
EN	—	19	I	此引脚是启用引脚。当启用引脚低于阈值时，器件进入待机状态。
FB	4	10	I	该引脚是反馈引脚，可连接到外部电阻分压器以选择输出电压。
GND	3	6	G	接地基准
	6	15		
NC	2	2-5、7-9	NC	未连接
	7	12-14、16-18		
OUT	1	1	O	可通过靠近器件引脚且满足 节 7.2.1.2.2 中列出的电容和 ESR 要求的电容器连接至 GND。
外露散热焊盘			—	将散热焊盘连接到 GND 引脚或将焊盘保持悬空。

(1) I = 输入, O = 输出, G = 接地, NC = 无连接

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
非稳压输入电压	IN ^{(2) (3)}	-40	45	V
启用输入电压	启用输入电压 ^{(2) (3)}	-40	45	V
经稳压调节的输出电压	经稳压调节的输出电压 ^{(2) (4)}	-1	45	V
输入和输出之间的电压差	IN - OUT	-40	45	V
基准电压	ADJ ^{(2) (3)}	-0.3	45	V
跟踪器的反馈输入电压	FB ^{(2) (3)}	-1	45	V
等于基准电压减去输入电压	ADJ - IN ⁽⁵⁾		18	V
工作结温, T _J		-40	150	°C
贮存温度, T _{stg}		-65	150	°C

- 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 所有电压值均以 GND 引脚为基准。
- 绝对最大电压。
- OUT 和 GND 引脚之间连接一个内部二极管，具有 600mA 直流电流能力，用于提供电感钳位保护。
- 当 (ADJ - IN) 电压高于 18V 时，(ADJ - OUT) 电压必须保持在 18V 以下，否则器件可能会损坏。

5.2 ESD 等级

			值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	NC 引脚	±2000	kV
		除 NC 引脚外的所有引脚	±4000	kV
	充电器件模型 (CDM), 符合 AEC Q100-011 标准		±1000	kV

- AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位	
V _{IN}	非稳压输入电压 ⁽²⁾	4	40	V	
V _{EN}	启用输入电压	0	40	V	
V _{ADJ}	调节并启用输入引脚	HTSSOP 封装	1.5	18	V
		SO PowerPAD 封装	2	18	
V _{FB}	跟踪器的反馈输入电压	HTSSOP 封装	1.5	18	V
		SO PowerPAD 封装	2	18	
V _{OUT}	输出电压	HTSSOP 封装	1.5	40	V
		SO PowerPAD 封装	2	40	
C _(OUT)	输出电容器要求 ⁽³⁾	10	500	μF	
	输出 ESR 要求 ⁽⁴⁾	0.001	20	Ω	
T _J	工作结温范围	-40	150	°C	

- 在功能范围内，该器件按照电路说明中所述运行。在相关电气特性表中给出的条件内指定了电气特性。
- V_{IN} > V_{ADJ} + V_(DROPOUT)
- 最小输出电容要求适用于 30% 的最坏情况电容容差，当在 OUT 和 FB 引脚之间连接一个电阻分压器（输出电压高于基准电压）时，需要在 OUT 和 FB 引脚之间连接一个 47nF 前馈电容器以实现环路稳定性，并且输出电容器的 ESR 范围要求为 0.001 至 10 Ω。

(4) $f = 10\text{kHz}$ 时的相关 ESR 值

5.4 热性能信息

热指标 ⁽¹⁾	TPS7B4253-Q1			单位
	DDA (SO PowerPAD)		PWP (HTSSOP)	
	8 引脚		20 引脚	
	ASO : ASE ⁽²⁾	ASO : FMX ⁽²⁾		
$R_{\theta JA}$ 结至环境热阻	45.4	42.6	45.9	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	51.1	57.5	29.2	°C/W
$R_{\theta JB}$ 结至电路板热阻	27	17.8	24.7	°C/W
ψ_{JT} 结至顶部特征参数	8.2	5.6	1.3	°C/W
ψ_{JB} 结至电路板特征参数	26.9	17.9	24.5	°C/W
$R_{\theta JC(bot)}$ 结至外壳 (底部) 热阻	6.4	7.5	3.7	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

(2) 有关 ASO 的更多信息, 请参阅命名规则表。

5.5 电气特性

除非另有说明, 否则 $V_{IN} = 13.5\text{V}$, HTSSOP 为 $V_{ADJ} \geq 1.5\text{V}$, SO PowerPAD 为 $V_{ADJ} \geq 2\text{V}$, $V_{EN} \geq 2\text{V}$, $T_J = -40^\circ\text{C}$ 至 150°C

参数	测试条件	最小值	典型值	最大值	单位
$V_{I(UVLO)}$ IN 欠压检测	V_{IN} 上升			3.65	V
	V_{IN} 下降			2.8	V
ΔVO 输出电压跟踪准确度 ⁽¹⁾	$I_{OUT} = 100\mu\text{A}$ 至 300mA , $V_{IN} = 4$ 至 40V $V_{ADJ} < V_{IN} - 1\text{V}$ $1.5\text{V} < V_{ADJ} < 18\text{V}$ (针对 HTSSOP) $2\text{V} < V_{ADJ} < 18\text{V}$ (针对 SO PowerPAD)	-4		4	mV
$\Delta V_{O(\Delta IO)}$ 负载调节稳态	$I_{OUT} = 0.1$ 至 300mA , $V_{ADJ} = 5\text{V}$			4	mV
$\Delta V_{O(\Delta VI)}$ 线性调整率稳态	$I_{OUT} = 10\text{mA}$, $V_{IN} = 6$ 至 40V , $V_{ADJ} = 5\text{V}$			4	mV
PSRR 电源纹波抑制	$f_{rip} = 100\text{Hz}$, $V_{rip} = 0.5V_{PP}$, $C_{(OUT)} = 10\mu\text{F}$, $I_{OUT} = 100\text{mA}$		70		dB
$V_{(DROPOUT)}$ 电压降 ($V_{(DROPOUT)} = V_{IN} - V_{OUT}$)	$I_{OUT} = 200\text{mA}$, $V_{IN} = V_{ADJ} \geq 4\text{V}$ ⁽²⁾		320	520	mV
$I_{O(lim)}$ 输出电流限制	$V_{ADJ} = 5\text{V}$, OUT short to GND	301	450	520	mA
$I_{R(IN)}$ IN 下的反向电流	$V_{IN} = 0\text{V}$, $V_{OUT} = 40\text{V}$, $V_{ADJ} = 5\text{V}$	-2		0	μA
$I_{R(-IN)}$ IN 为负时的反向电流	$V_{IN} = -40\text{V}$, $V_{OUT} = 0\text{V}$, $V_{ADJ} = 5\text{V}$	-10		0	μA
T_{SD} 热关断温度	由于 IC 产生的功率耗散, T_J 增加		175		°C
T_{SD_hys} 热关断迟滞			15		°C
I_Q 电流消耗	$4\text{V} \leq V_{IN} \leq 40\text{V}$, $V_{ADJ} = 0\text{V}$; $V_{EN} = 0\text{V}$		2	4	μA
	$4\text{V} \leq V_{IN} \leq 40\text{V}$, $V_{EN} \geq 2\text{V}$, $V_{ADJ} < 0.8\text{V}$		7	18	
	$4\text{V} \leq V_{IN} \leq 40\text{V}$, $I_{OUT} < 100\mu\text{A}$, $V_{ADJ} = 5\text{V}$		60	100	
	$4\text{V} \leq V_{IN} \leq 40\text{V}$, $I_{OUT} < 300\text{mA}$, $V_{ADJ} = 5\text{V}$		350	400	
$I_{Q(DROPOUT)}$ 压降区域中的电流消耗	$V_{IN} = V_{ADJ} = 5\text{V}$, $I_{OUT} = 100\mu\text{A}$		70	140	μA
$I_{I(ADJ)}$ 调整输入电流	$V_{ADJ} = V_{FB} = 5\text{V}$	HTSSOP 封装		0.5	μA
		SO PowerPAD 封装		5.5	
$V_{(ADJ_LOW)}$ 调整低电平信号有效	$V_{OUT} = 0\text{V}$	HTSSOP 封装	0	0.8	V
		SO PowerPAD 封装	0	0.7	
$V_{(ADJ_HIGH)}$ 调整高电平信号有效	$ V_{OUT} - V_{ADJ} < 4\text{mV}$	HTSSOP 封装	1.5	18	V
		SO PowerPAD 封装	2	18	
$V_{(EN_LOW)}$ 启用低电平信号有效	$V_{OUT} = 0\text{V}$	0		0.7	V

5.5 电气特性 (续)

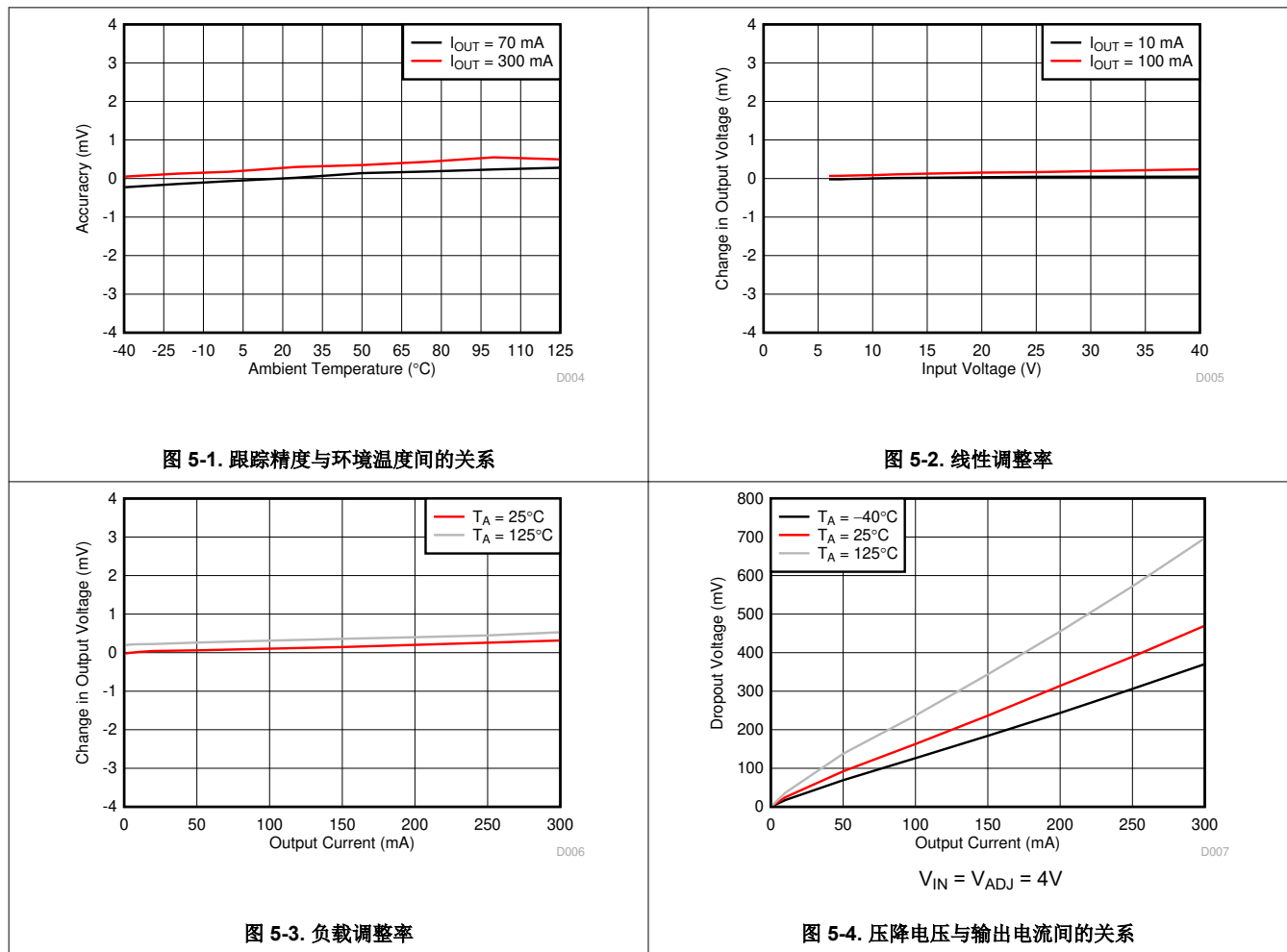
除非另有说明, 否则 $V_{IN} = 13.5V$, HTSSOP 为 $V_{ADJ} \geq 1.5V$, SO PowerPAD 为 $V_{ADJ} \geq 2V$, $V_{EN} \geq 2V$, $T_J = -40^\circ C$ 至 $150^\circ C$

参数	测试条件	最小值	典型值	最大值	单位
$V_{(EN_HIGH)}$ 启用高电平信号有效	OUT 稳定	2		40	V
I_{EN} 启用下拉电流	$2V < V_{EN} < 40V$			5	μA
I_{FB} FB 偏置电流	$V_{ADJ} = V_{FB} = 5V$			0.5	μA

- (1) 跟踪精度是在 FB 引脚直接连接到 OUT 引脚时指定的, 这意味着 $V_{ADJ} = V_{OUT}$, 不包括外部电阻分压器变化。
- (2) 当输出电压 V_{OUT} 从标称值下降 10mV 时测得。

5.6 典型特性

$V_{IN} = 14V$, $V_{ADJ} = 5V$, $V_{FB} = V_{OUT}$ (除非另有说明)



5.6 典型特性 (续)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$ (除非另有说明)

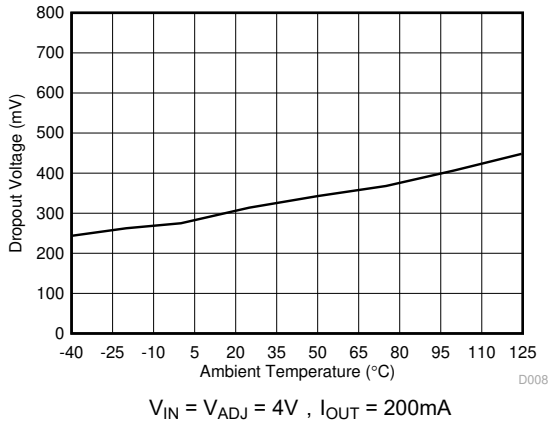


图 5-5. 压降电压与环境温度间的关系

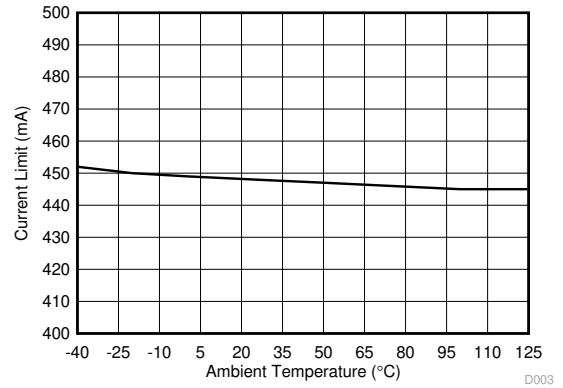


图 5-6. 电流限值 ($I_{O(lim)}$) 与环境温度间的关系

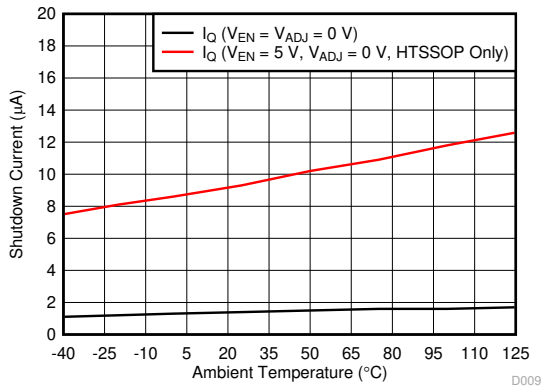


图 5-7. 关断电流与环境温度间的关系

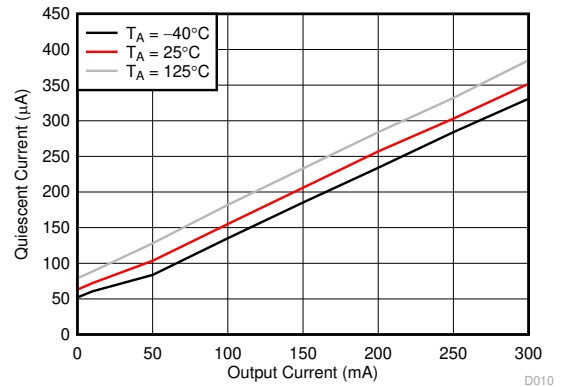


图 5-8. 静态电流与输出电流间的关系

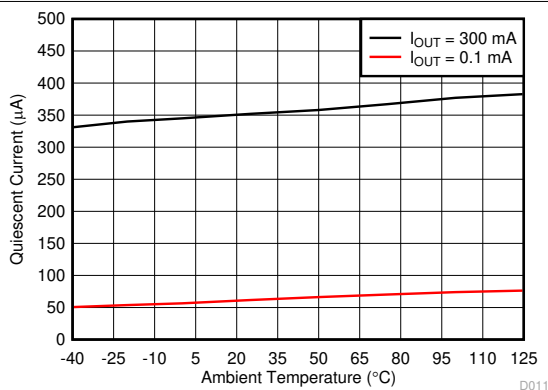


图 5-9. 静态电流与环境温度间的关系

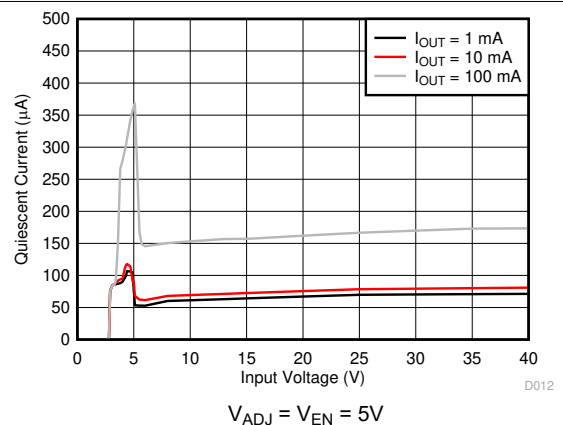


图 5-10. 静态电流与输入电压间的关系

5.6 典型特性 (续)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$ (除非另有说明)

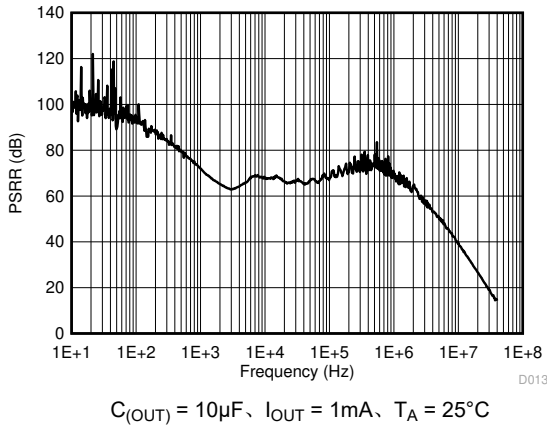


图 5-11. PSRR

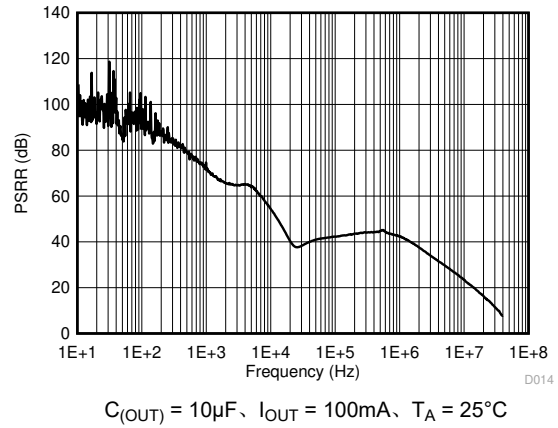


图 5-12. PSRR

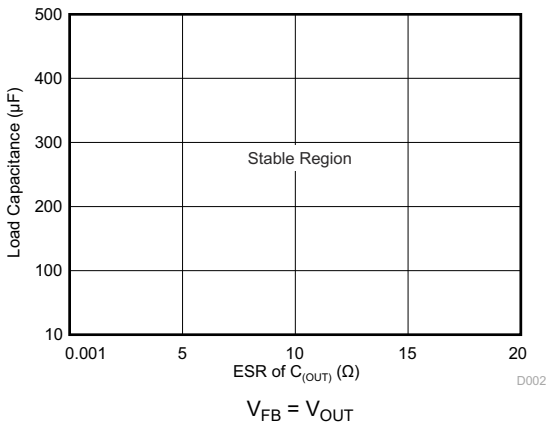


图 5-13. ESR 稳定性与负载电容间的关系

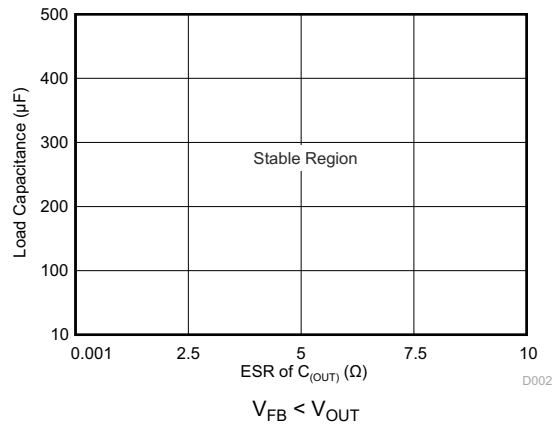


图 5-14. ESR 稳定性与负载电容间的关系

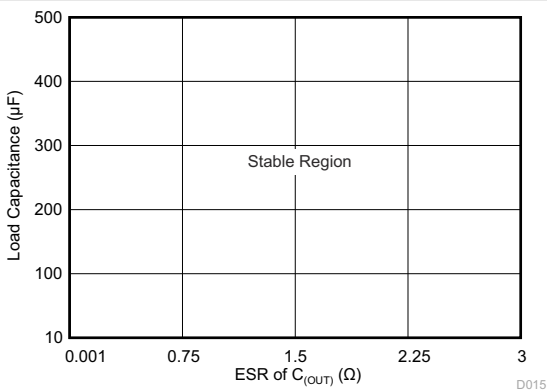


图 5-15. ESR 稳定性与负载电容之间的关系 (多个输出电容器)

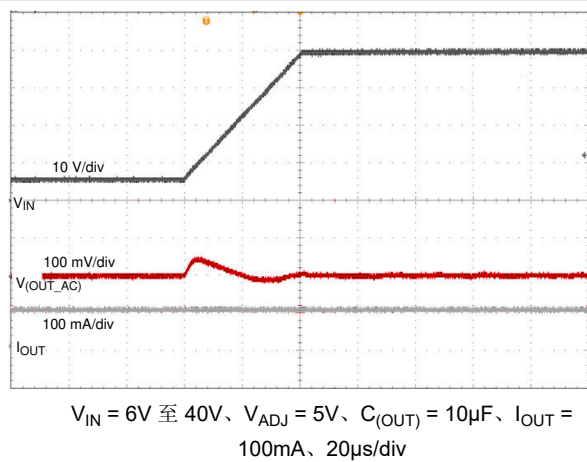
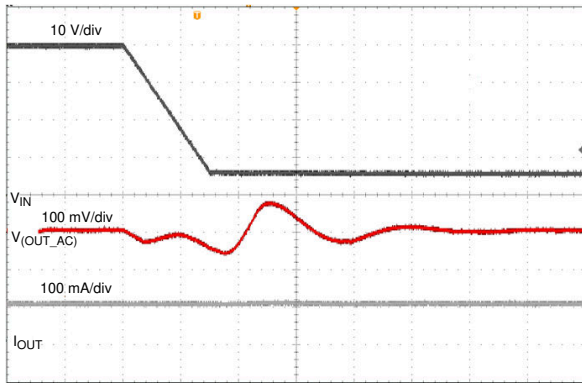


图 5-16. 6V 至 40V 线路瞬态

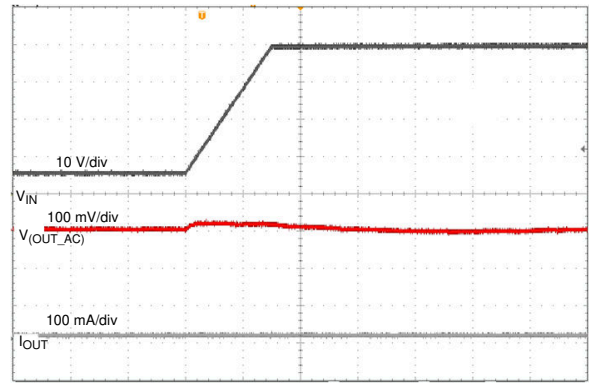
5.6 典型特性 (续)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$ (除非另有说明)



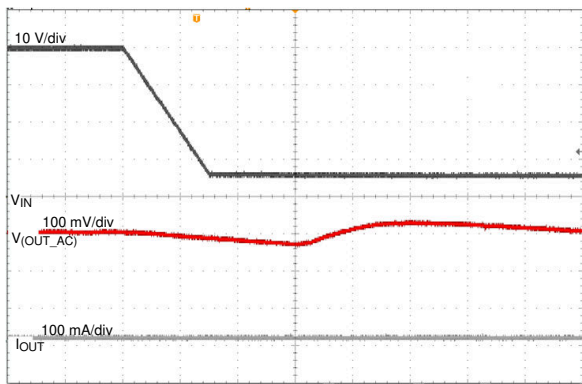
$V_{IN} = 40V$ 至 $6V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 100mA$ 、 $20\mu s/div$

图 5-17. 40V 至 6V 线路瞬态



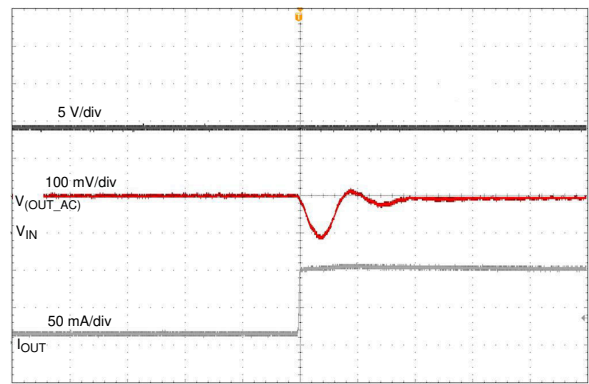
$V_{IN} = 6V$ 至 $40V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10mA$ 、 $20\mu s/div$

图 5-18. 6V 至 40V 线路瞬态



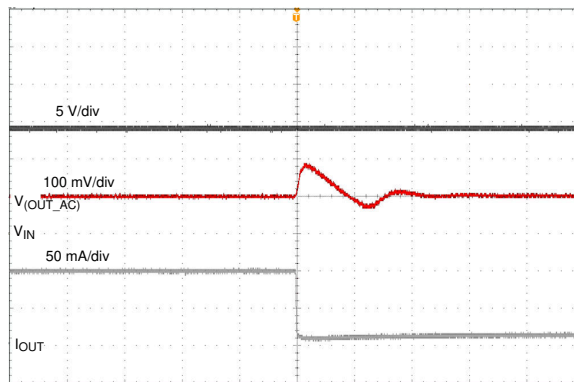
$V_{IN} = 40V$ 至 $6V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10mA$ 、 $20\mu s/div$

图 5-19. 40V 至 6V 线路瞬态



$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10$ 至 $100mA$ 、 $40\mu s/div$

图 5-20. 10mA 至 100mA 负载瞬态



$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 100$ 至 $10mA$ 、 $40\mu s/div$

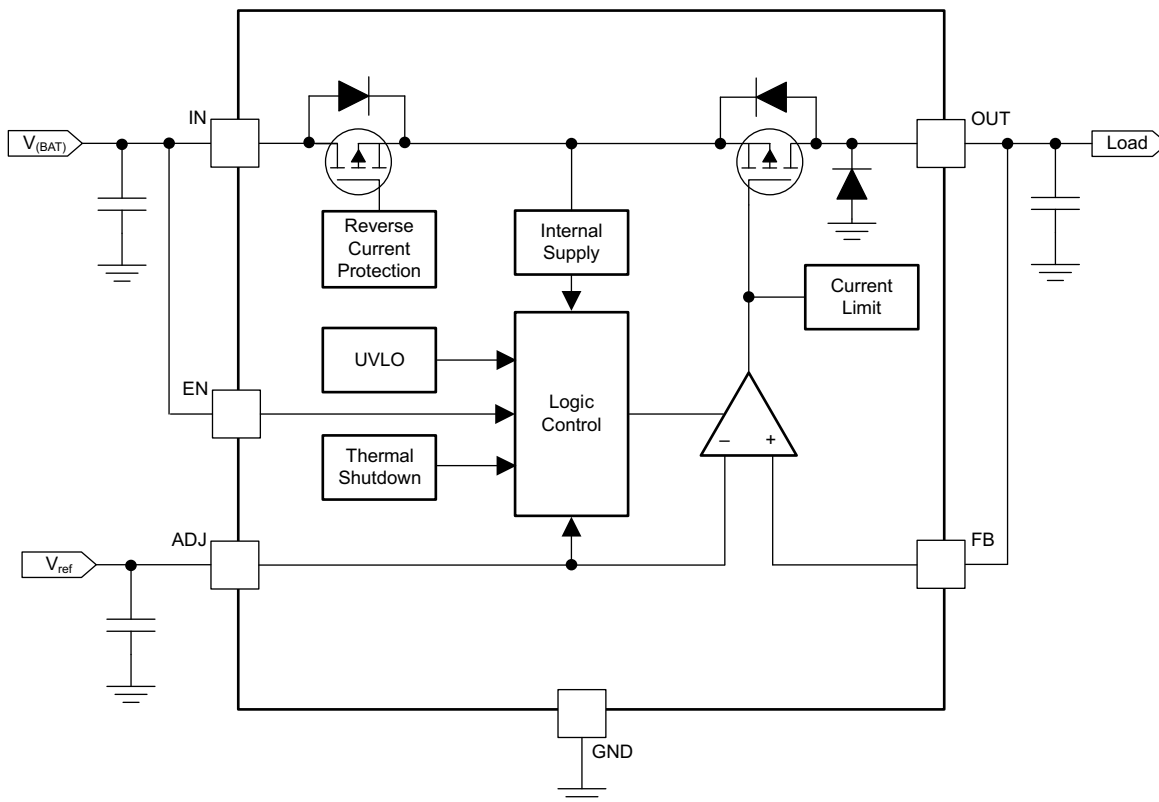
图 5-21. 100mA 至 10mA 负载瞬态

6 详细说明

6.1 概述

TPS7B4253-Q1 器件是一种单片集成低压差跟踪器，具有超低跟踪容差。器件中集成了关键保护电路，包括输出电流限制、反极性保护、电感负载钳位、输出电池短路保护以及过热事件情况下的热关断。

6.2 功能方框图



6.3 特性说明

6.3.1 短路和过流保护

TPS7B4253-Q1 器件具有集成式故障保护功能，非常适合汽车应用。为了在某些故障条件下使器件保持在安全运行区域，使用内部电流限制保护功能来限制最大输出电流。该保护功能可保护器件免受过大功率耗散的影响。例如，在输出端短路的情况下，通过传输元件的电流被限制在 $I_{O(lim)}$ ，以保护器件免受过度功耗的影响。

6.3.2 集成感应钳位保护

在输出关断期间，电缆电感持续从器件的输出端拉出电流。该器件在 OUT 引脚上集成了一个电感钳位，有助于耗散存储在电缆中的电感能量。OUT 和 GND 引脚之间连接了一个内部二极管，具有 600mA 的直流电流能力，用于保护电感钳位。

6.3.3 输出 对电池短路和反极性保护

TPS7B4253-Q1 器件可承受电池短路，如图 6-1 所示。因此，不会损坏器件。

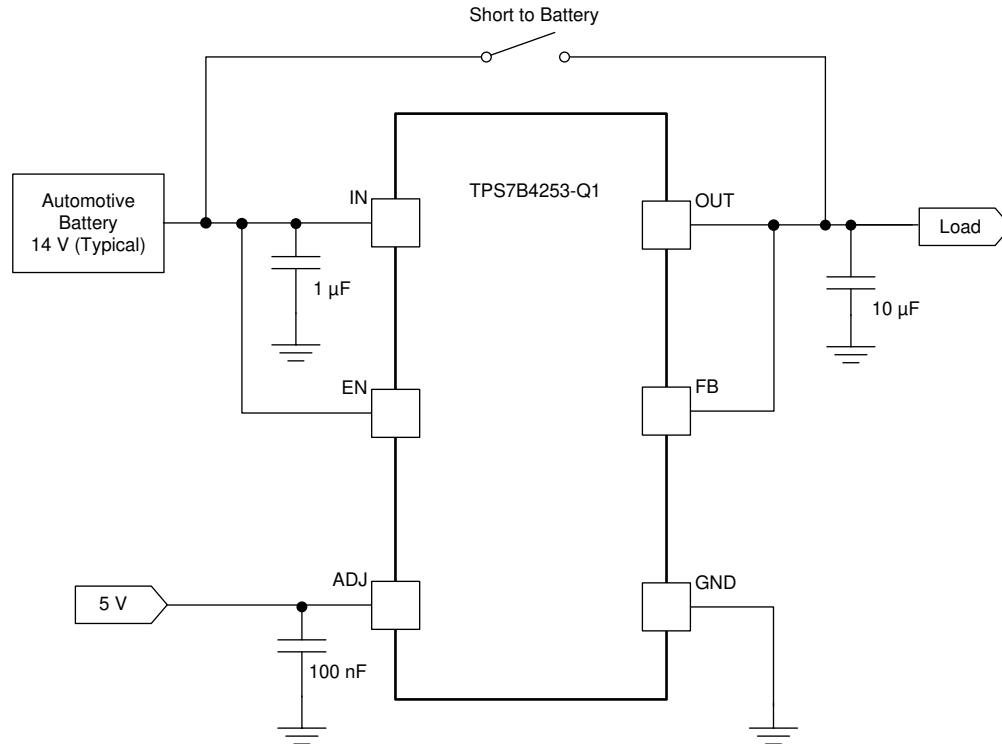


图 6-1. 输出对电池短路， $V_{IN} = V_{BAT}$

当器件由较低电压的隔离电源供电时，也可能发生对电池短路，如图 6-2 所示。在这种情况下，当在 5V 下工作的 OUT 引脚上发生对电池（通常为 14V）短路时，TPS7B4253-Q1 电源输入电压设置为 7V。内部背对背 PMOS 保持导通 1ms，在此期间，TPS7B4253-Q1 器件的输入电压可充电至电池电压。如果连接在直流/直流转换器后面的其他负载无法承受汽车电池的电压，则需要在直流/直流转换器的输出端和 TPS7B4253-Q1 器件的输入端之间连接一个二极管。要实现较低的压降电压，TI 建议使用肖特基二极管。如果直流/直流转换器的输出和转换器电源的负载能够承受汽车电池电压，则可以省去该二极管。

当发生反极性或电池短路 1ms 时，内部背对背 PMOS 切换至关闭。之后，反向电流在小于 10μA 的情况下流经 IN 引脚。同时，在输入端实现的特殊 ESD 结构有助于该器件承受 -40V 的电压。

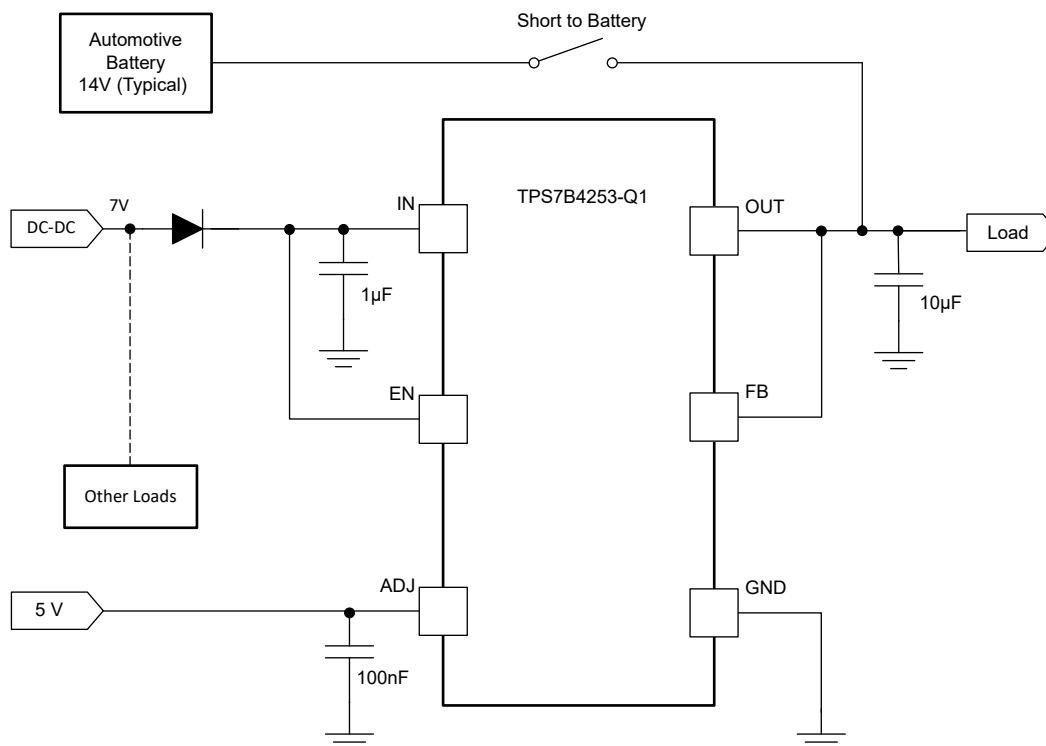


图 6-2. 输出对电池短路， $V_{IN} < V_{(BAT)}$

大多数情况下，TPS7B4253-Q1 器件的输出通过汽车电缆短接到电池。当发生电池短路时，电缆上的寄生电感会导致 TPS7B4253-Q1 器件的输出端出现 LC 振荡。理想情况下，TPS7B4253-Q1 器件输出端的峰值电压在 LC 振荡期间必须低于绝对最大额定电压 (45V)。

6.3.4 欠压关断

该器件具有内部固定的欠压关断阈值。当 IN 上的输入电压降至 UVLO 以下时，将激活欠压关断。这种激活有助于防止调节器在低输入电源电压条件下被锁定到未知状态。若输入电压发生负向瞬变，跌至 UVLO 阈值以下后又恢复，则当输入电压高于要求电平后，稳压器将先关断再以标准上电时序重新启动。

6.3.5 热保护

该器件集成热关断 (TSD) 电路，可提供过热保护。持续正常运行期间，结温不得超过热 TSD 跳变点。如果结温超过 TSD 跳变点，输出将关闭。当结温降至低于 TSD 跳变点的 15°C (典型值) 时，输出将开启。

备注

TPS7B4253-Q1 器件内部保护电路的设计目的是防止出现过载情况，不能替代适当的散热。器件持续不断地运行至热关断状态会降低器件的可靠性。

6.3.6 稳压输出 (OUT)

OUT 引脚是基于所需要电压的稳压输出。输出存在电流限制。在初始上电期间，稳压器具有整合的软启动功能，可控制通过导通元件的初始电流。

6.3.7 启用 (EN)

EN 引脚是可耐受高压的引脚。EN 引脚上的高电平输入会激活器件并且打开稳压器。当 EN 引脚为低电平时，该器件消耗的最大关断电流为 4µA。EN 引脚具有 5µA 最大内部下拉电流。

6.3.8 可调输出电压 (FB 和 ADJ)

6.3.8.1 输出电压等于基准电压

当基准电压直接施加在 ADJ 引脚上，FB 引脚连接到 OUT 引脚时，OUT 引脚处的电压等于 ADJ 引脚处的基准电压，如图 6-3 所示。

$$V_{OUT} = V_{ADJ} \quad (1)$$

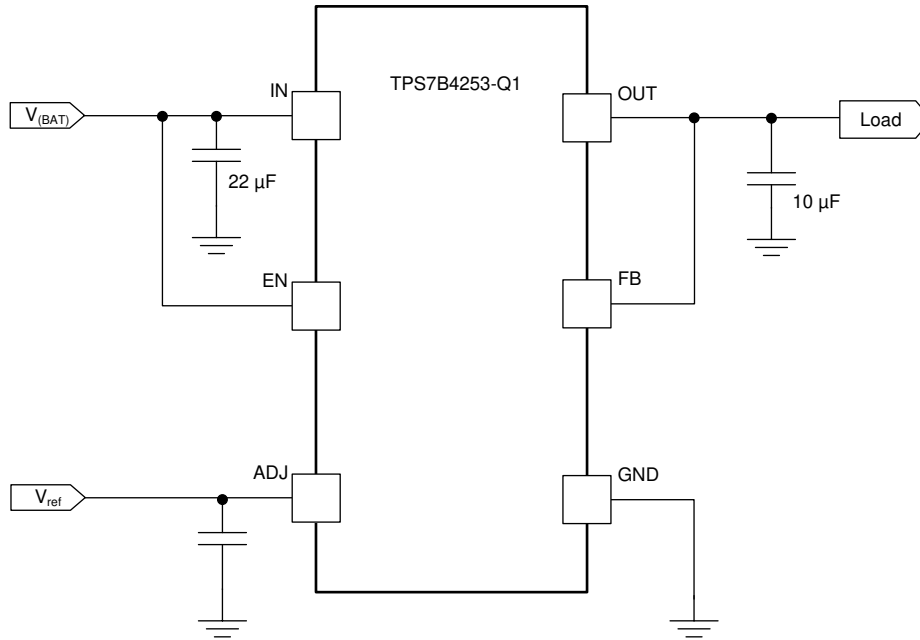


图 6-3. 输出电压等于基准电压

6.3.8.2 输出电压高于基准电压

通过使用连接在 OUT 和 FB 引脚之间的外部电阻分压器，可以生成高于基准电压的输出电压，如图 6-4 所示。使用方程式 2 计算输出电压的最小值 (L)。R1 和 R2 的推荐范围为 10kΩ 至 100kΩ。

$$V_{OUT} = \frac{V_{ADJ} \times (R1 + R2)}{R2} \quad (2)$$

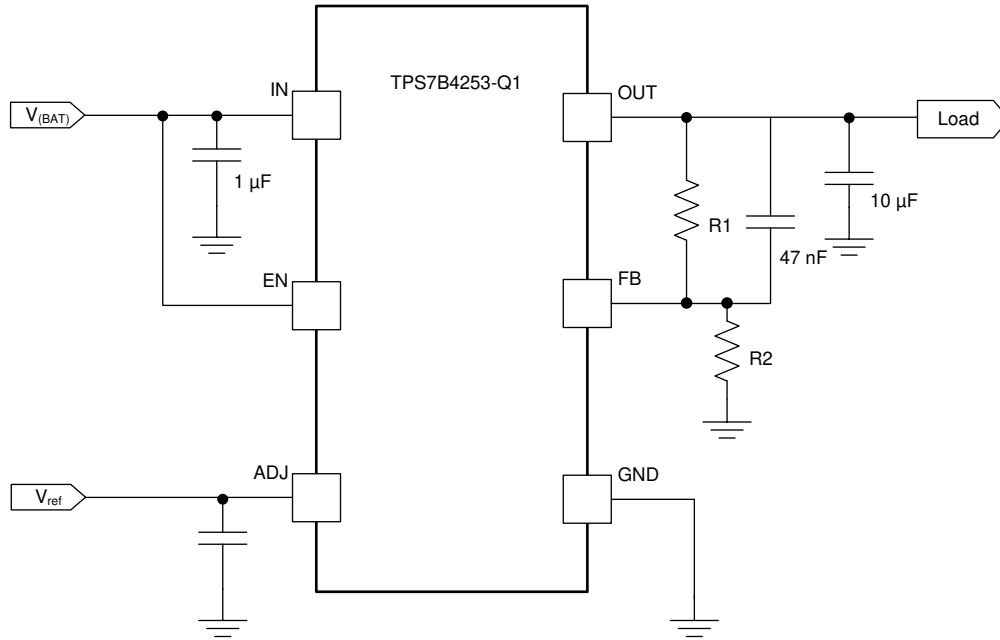


图 6-4. 输出电压高于基准电压

6.3.8.3 输出电压低于基准电压

通过使用连接在 ADJ 引脚上的外部电阻分压器，可以生成低于基准电压的输出电压，如图 6-5 所示。使用方程式 3 计算输出电压。R1 和 R2 的建议值均小于 100kΩ。

$$V_{OUT} = \frac{V_{ref} \times R2}{R1 + R2} \quad (3)$$

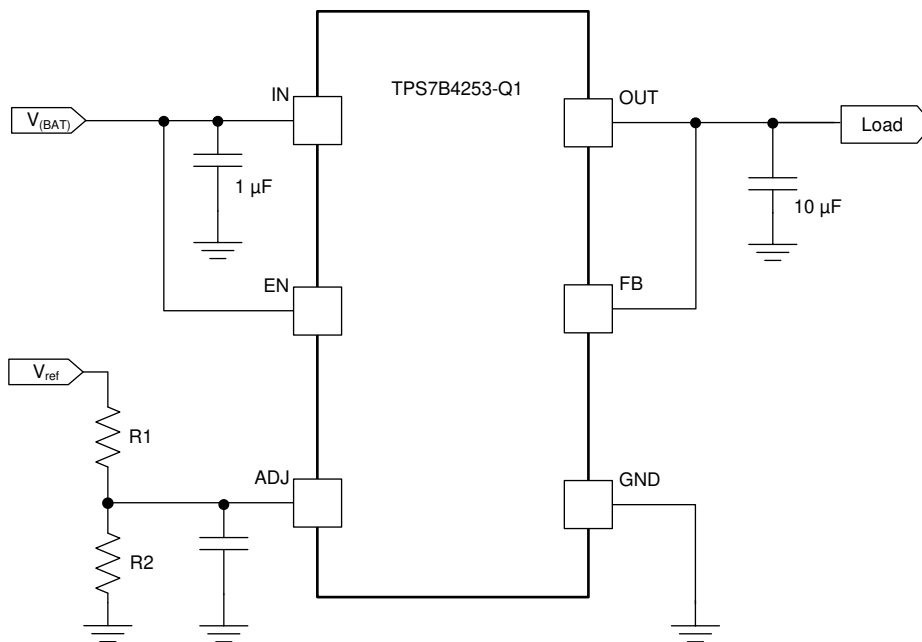


图 6-5. 输出电压低于基准电压

6.4 器件功能模式

6.4.1 在 $V_{IN} < 4V$ 的情况下运行

最大 UVLO 电压为 3.65V，该器件通常在高于 4V 的输入电压下工作。该器件还可以在较低的输入电压下运行；没有指定最小 UVLO 电压。当输入电压低于实际 UVLO 电压时，该器件不运行。

6.4.2 通过 EN 控制工作

启用上升沿阈值为 2V (最大值)。当 EN 引脚保持在该电压以上且输入电压高于 4V 时，器件变为运行状态。EN 引脚的下降沿为 0.7V (最小值)。将 EN 引脚保持在该电压以下会禁用器件，从而降低器件的静态电流。

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS7B4253-Q1 器件是一款拥有超低跟踪容差的 300mA 低压降跟踪稳压器。PSpice 瞬态模型可从产品文件夹中下载，并可用于评估器件的基本功能。

7.2 典型应用

7.2.1 输出电压等于基准电压的应用

图 7-1 展示了 TPS7B4253-Q1 器件的典型应用电路（以 HTSSOP 封装为例）。根据最终应用的不同，使用不同的外部元件值。在快速负载阶跃场景中，一些应用需要使用更大电容值的输出电容器以防止输出电压出现大幅跌落。TI 建议使用电介质类型为 X5R 或 X7R 的低 ESR 陶瓷电容器。

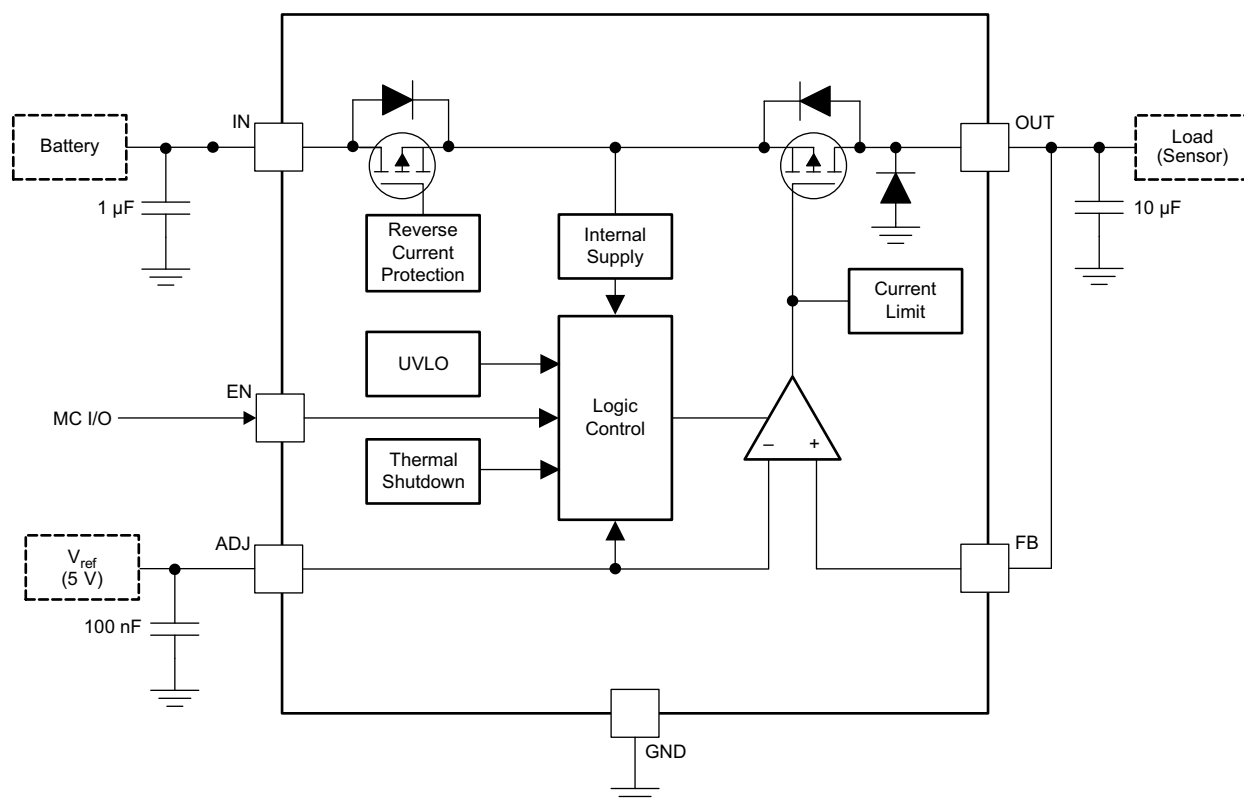


图 7-1. 输出电压等于基准电压

7.2.1.1 设计要求

本设计示例使用表 7-1 中所列的参数作为设计参数。

表 7-1. 设计参数

设计参数	示例值
输入电压	4V 至 40V
输出电压	1.5V 至 40V
启用电压	2V 至 40V
ADJ 电压	1.5V 至 18V
输出电容器	10 μ F 至 500 μ F
输出电容器 ESR 范围	0.001 Ω 至 20 Ω

7.2.1.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
- 输出电压
- 基准电压
- 输出电流
- 电流限制

7.2.1.2.1 输入电容器

该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值为 2.2 μ F。额定电压必须大于最大输入电压。

7.2.1.2.2 输出电容器

为了实现稳定运行，TPS7B4253-Q1 器件需要特定输出电容器，其容值介于 10 μ F 和 500 μ F 之间，当 FB 引脚直接连接到 OUT 引脚时，ESR 范围为 0.001 Ω 至 20 Ω 。TI 建议选择具有低 ESR 的陶瓷电容器来改善负载瞬态响应。

为了实现高于基准电压的输出电压，在 OUT 引脚和 FB 引脚之间连接了一个电阻分压器。在这种情况下，必须在 OUT 和 FB 引脚之间连接一个 47nF 前馈电容器，以便实现环路稳定性。输出电容器的 ESR 必须介于 0.001 Ω 及 10 Ω 之间。

当多个电容器（两个或更多个）在 OUT 引脚上并联连接时，每个输出电容器的 ESR 范围必须介于 0.001 Ω 和 3 Ω 之间，以实现环路稳定性。

如果 FB 引脚接地短路，则 TPS7B4253-Q1 器件可用作电源开关，无需输出电容器。

7.2.1.3 应用曲线

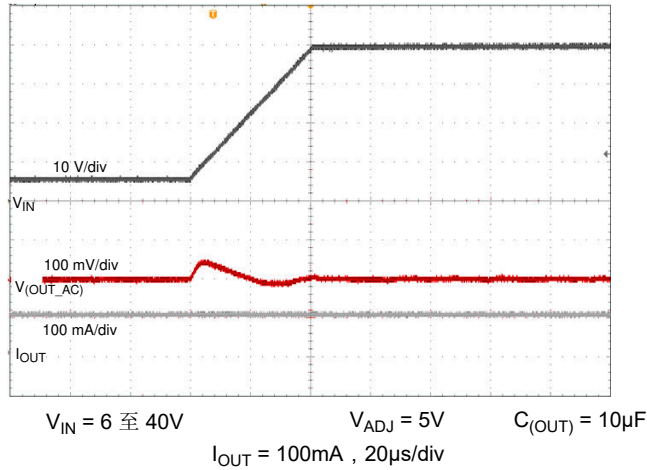


图 7-2. 6V 至 40V 线路瞬态

7.2.2 高侧开关配置

如图 7-3 所示，通过将 FB 引脚连接到 GND 引脚，TPS7B4253-Q1 器件可用作具有电流限制、热关断、输出电池短路和反极性保护功能的高侧开关。然后通过 EN 及 ADJ 引脚控制器件的开关。

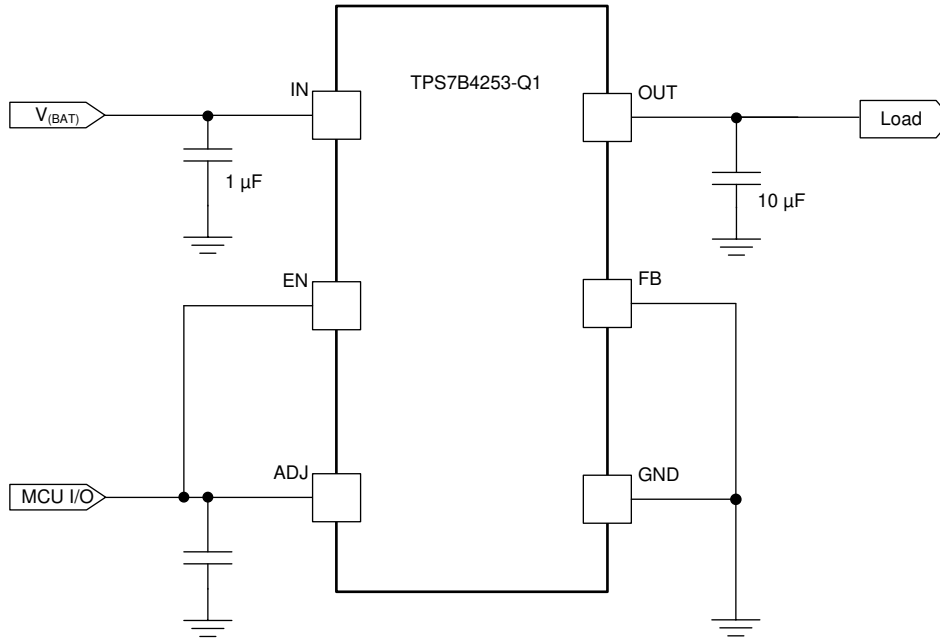


图 7-3. 高侧开关应用

7.2.3 高精度 LDO

凭借精确的电压轨，通过配置器件，TPS7B4253-Q1 器件可用作具有超高精度输出电压的 LDO，如图 7-4 所示。

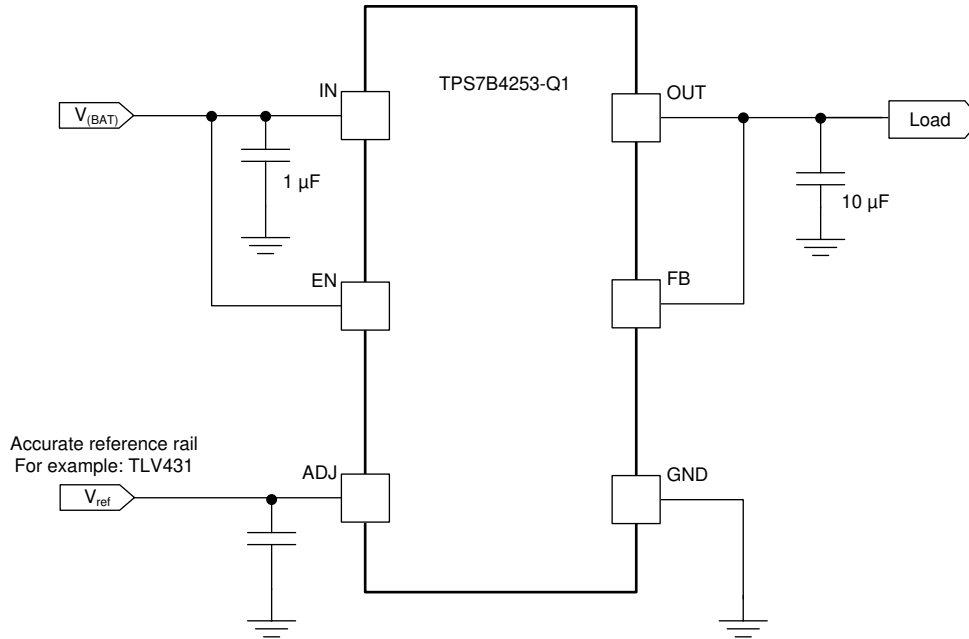


图 7-4. 高精度 LDO 应用

例如，假设基准电压为 5V 电源轨，精度为 0.5%。由于 ADJ 和 OUT 引脚之间的跟踪精度在整个温度范围内规定为低于 4mV，因此 TPS7B4253-Q1 器件的输出精度可通过方程式 4 计算得出。

$$\text{Accuracy of } V_{\text{OUT}} = \frac{V_{\text{ADJ}} \times 0.5\% + 4 \text{ mV}}{V_{\text{ADJ}}} \times 100\% = \frac{5 \times 0.5\% + 0.004}{5} \times 100\% = 0.58\% \quad (4)$$

7.3 电源相关建议

该器件设计为可在 4V 至 40V 的输入电源电压内运行。该输入电源必须经过良好调节。如果输入电源距离 TPS7B4253-Q1 超过几英寸，TI 建议在输入端添加一个值为 2.2µF 的电解电容器和一个陶瓷旁路电容器。

7.4 布局

7.4.1 布局指南

对于 TPS7B4253-Q1 器件的布局，请将输入和输出电容器靠近器件放置，如 节 6.2 所示。为了提高热性能，TI 建议在器件周围使用一些过孔。

更大程度地减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，从而更大限度地提高性能和确定稳定性。将每个电容器放置在尽可能靠近器件且和稳压器位于 PCB 同一侧的位置。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。TI 强烈建议不要在输出电容器和 OUT 引脚之间的路径上使用过孔和长布线，因为过孔会对系统性能产生负面影响，甚至导致不稳定。

如果可能，为了验证本数据表中规定的最大性能，请使用与 TPS7B4253-Q1 评估板相同的布局模式 TPS7B4253EVM，该模式可在 www.ti.com/tool/TPS7B4253EVM 上获得。

7.4.1.1 功率耗散和热效应注意事项

用 [方程式 5](#) 计算器件功率耗散。

$$P_D = I_O \times (V_I - V_O) + I_Q \times V_I \quad (5)$$

其中

- P_D = 连续功率耗散
- I_O = 输出电流
- V_I = 输入电压
- V_O = 输出电压
- I_Q = 静态电流

因为 $I_Q \ll I_O$ ，[方程式 5](#) 中的项 $I_Q \times V_I$ 可以忽略。

对于在给定环境空气温度 (T_A) 下运行的器件，使用 [方程式 6](#) 计算结温 (T_J)。

$$T_J = T_A + (\theta_{JA} \times P_D) \quad (6)$$

其中

- θ_{JA} = 结至结环境空气热阻抗

由于功耗导致的结温升高可以用 [方程式 7](#) 计算。

$$\Delta T = T_J - T_A = (\theta_{JA} \times P_D) \quad (7)$$

对于给定的最大结温 (T_{Jmax})，可使用 [方程式 8](#) 计算器件工作时的最高环境空气温度 (T_{Amax})。

$$T_{Amax} = T_{Jmax} - (\theta_{JA} \times P_D) \quad (8)$$

7.4.2 布局示例

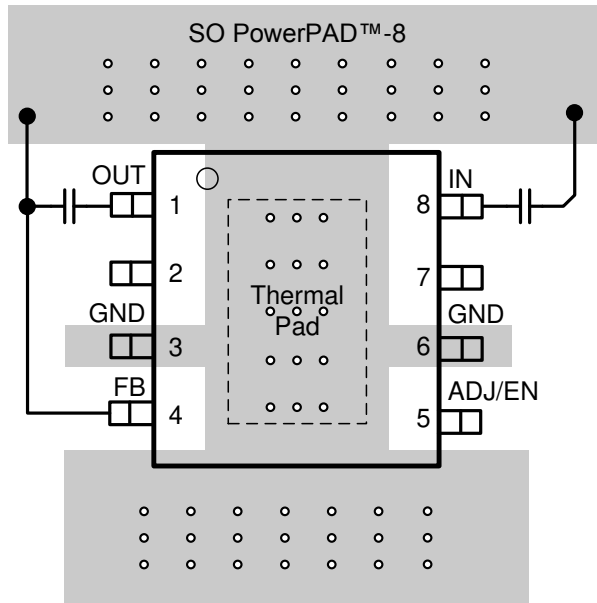


图 7-5. SO PowerPAD 封装 TPS7B4253-Q1 布局示例

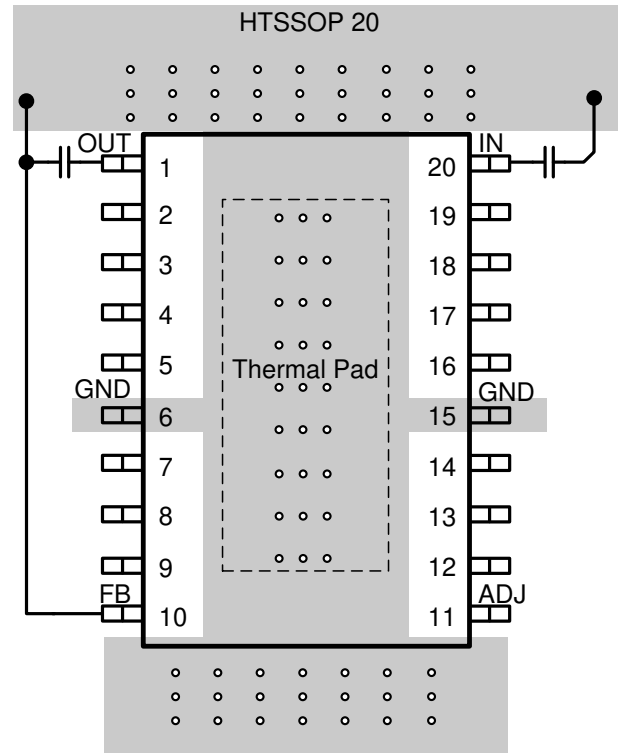


图 7-6. HTSSOP 封装 TPS7B4253-Q1 布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品	V _{OUT}
TPS7B4253QyyyRQ1	<p>Q 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。</p> <p>yyy 为封装标识符 (DDA = HSOIC 以及 PWP = HTSSOP) 。</p> <p>Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。</p> <p>对于 DDA 封装, 该器件可能会随附多个引线框。卷带封装标签提供 ASO 信息以区分正在使用的引线框。ASO : FMX 标签表示来自新制造工厂及 ASO 的材料 : ASE 标签表示来自旧制造工厂的材料。</p>

8.1.2 开发支持

有关 TPS7B4253 PSpice 瞬态模型, 请访问。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [采用 TPS7B4253-Q1 的 LDO 并联解决方案参考设计 设计指南](#)
- 德州仪器 (TI), [TPS7B4253-Q1 评估模块 用户指南](#)
- 德州仪器 (TI), [TPS7B4253-Q1 引脚 FMEA 功能安全](#)

8.3 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

8.5 商标

PowerPAD™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同


Changes from Revision C (July 2016) to Revision D (November 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 通篇将 SO 更改为 HSOIC.....	1
• 更改了数据表标题.....	1
• 更改了 <i>特性</i> 部分中的汽车特定要点.....	1
• 更新了“热性能信息”表以包含来自多个制造工厂 (ASE、FMX) 的 DDA 封装的热性能信息.....	5
• 更新了器件命名规则，以包含说明不同组装工厂的 DDA 材料区分方法的注释。.....	22

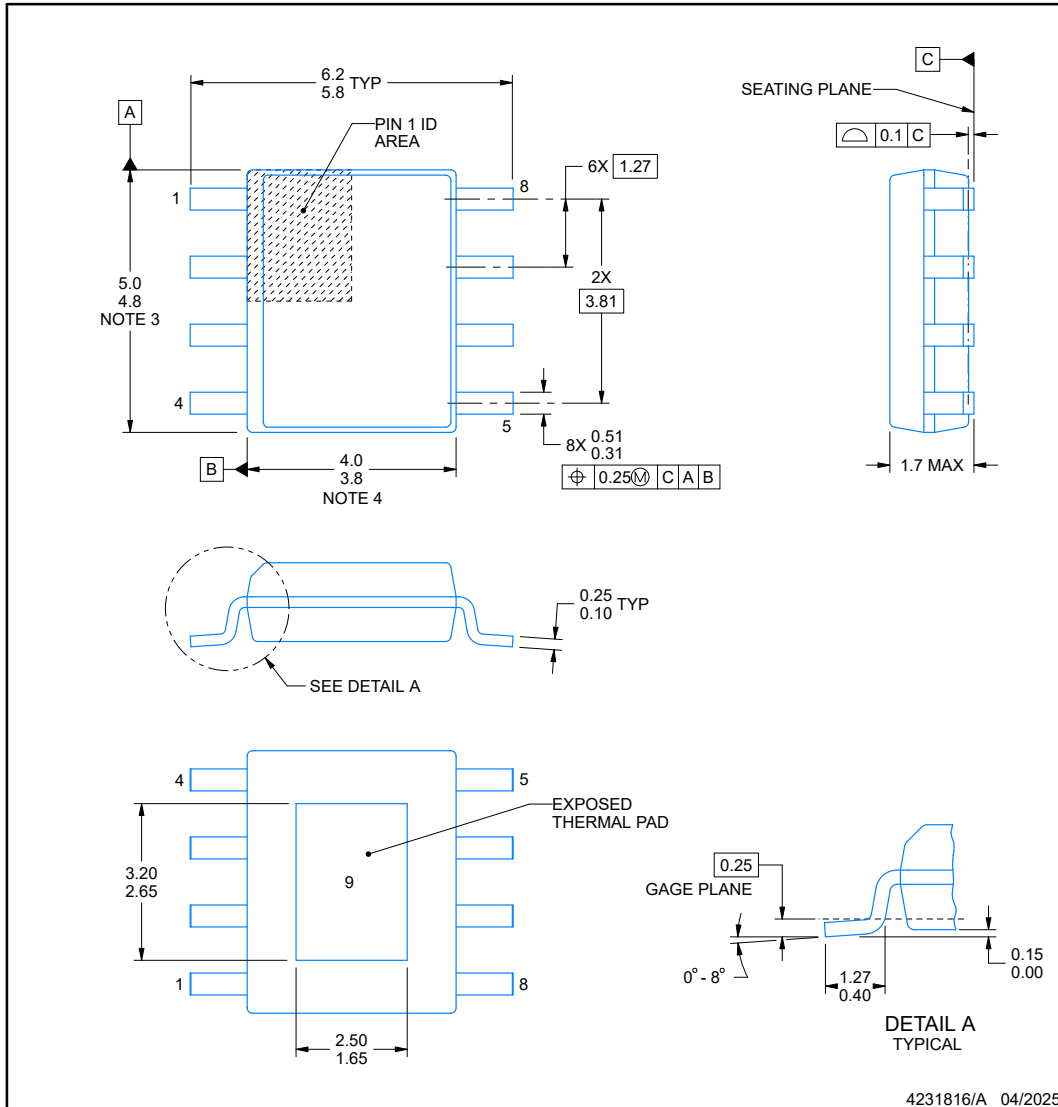
Changes from Revision B (January 2016) to Revision C (July 2016)	Page
• 更改了 <i>建议运行条件</i> 表中的以下参数，以显示 HTSSOP 和 SO PowerPAD 封装的值： V_{ADJ} 、 V_{FB} 以及 V_{OUT}	4
• 修正了 <i>功能方框图</i>	10
• 在 <i>输出电压等于基准电压的应用</i> 部分中，添加了 HTSSOP 封装作为示例.....	16
• 更正了 <i>输出电压等于基准电压图</i>	16

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

DDA0008B-C01  **PACKAGE OUTLINE**
PowerPAD™ SOIC - 1.7 mm max height
PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

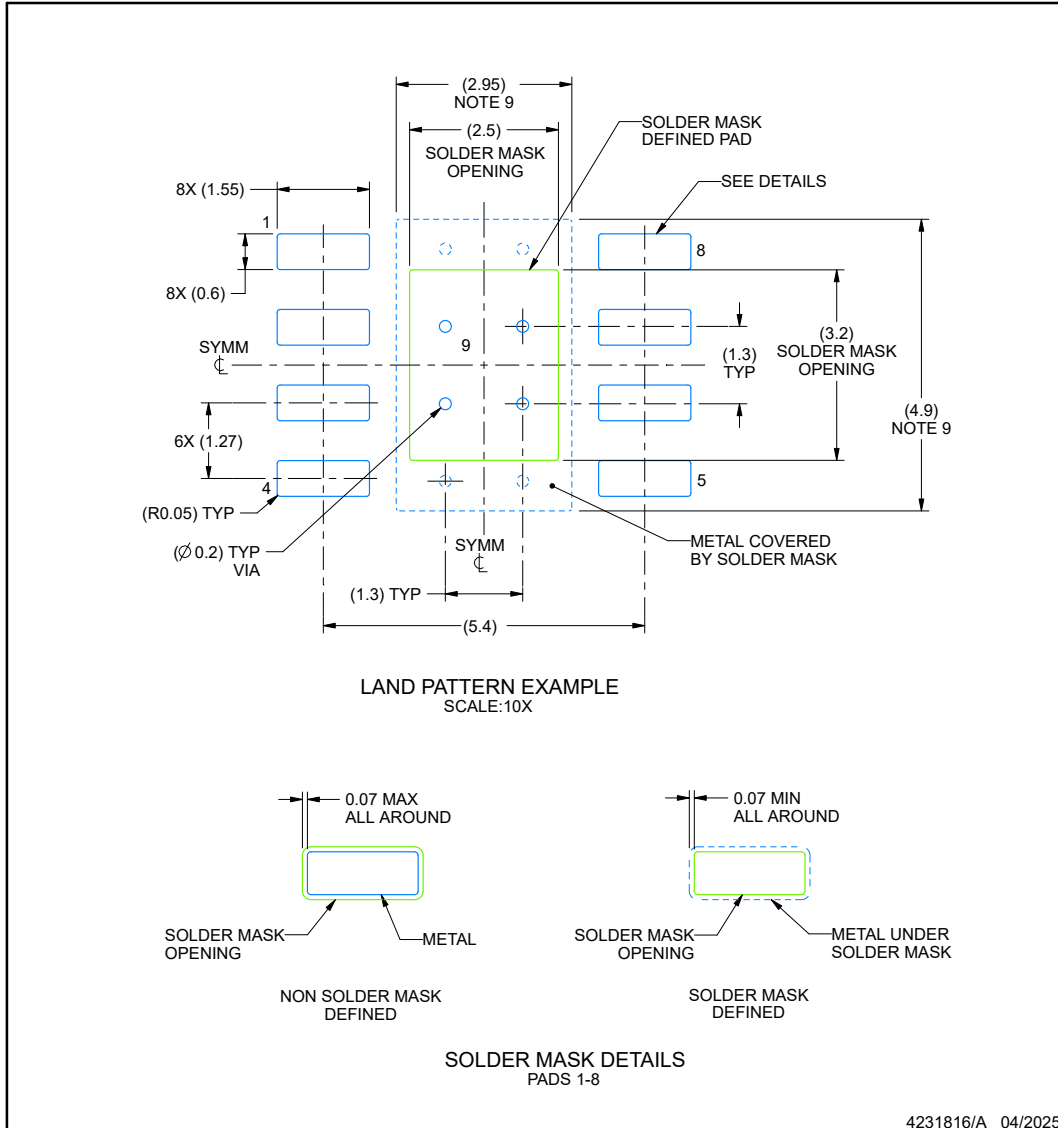
PowerPAD is a trademark of Texas Instruments.

EXAMPLE BOARD LAYOUT

DDA0008B-C01

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

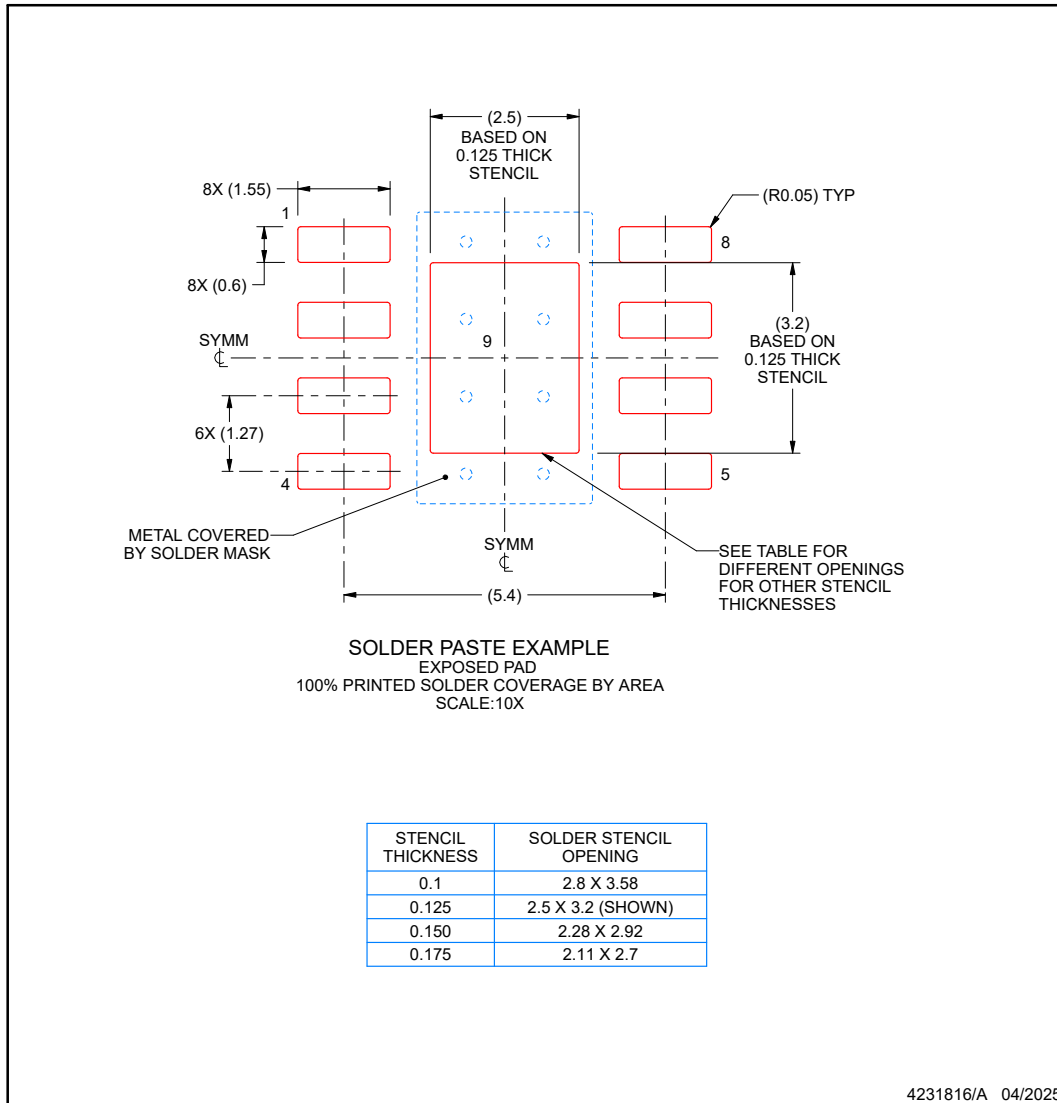
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B-C01

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B4253QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	4253
TPS7B4253QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4253
TPS7B4253QPWPRQ1	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	7B4253Q
TPS7B4253QPWPRQ1.A	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	7B4253Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4253QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B4253QPWPRQ1	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

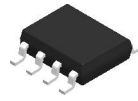

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4253QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B4253QPWPRQ1	HTSSOP	PWP	20	2000	350.0	350.0	43.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

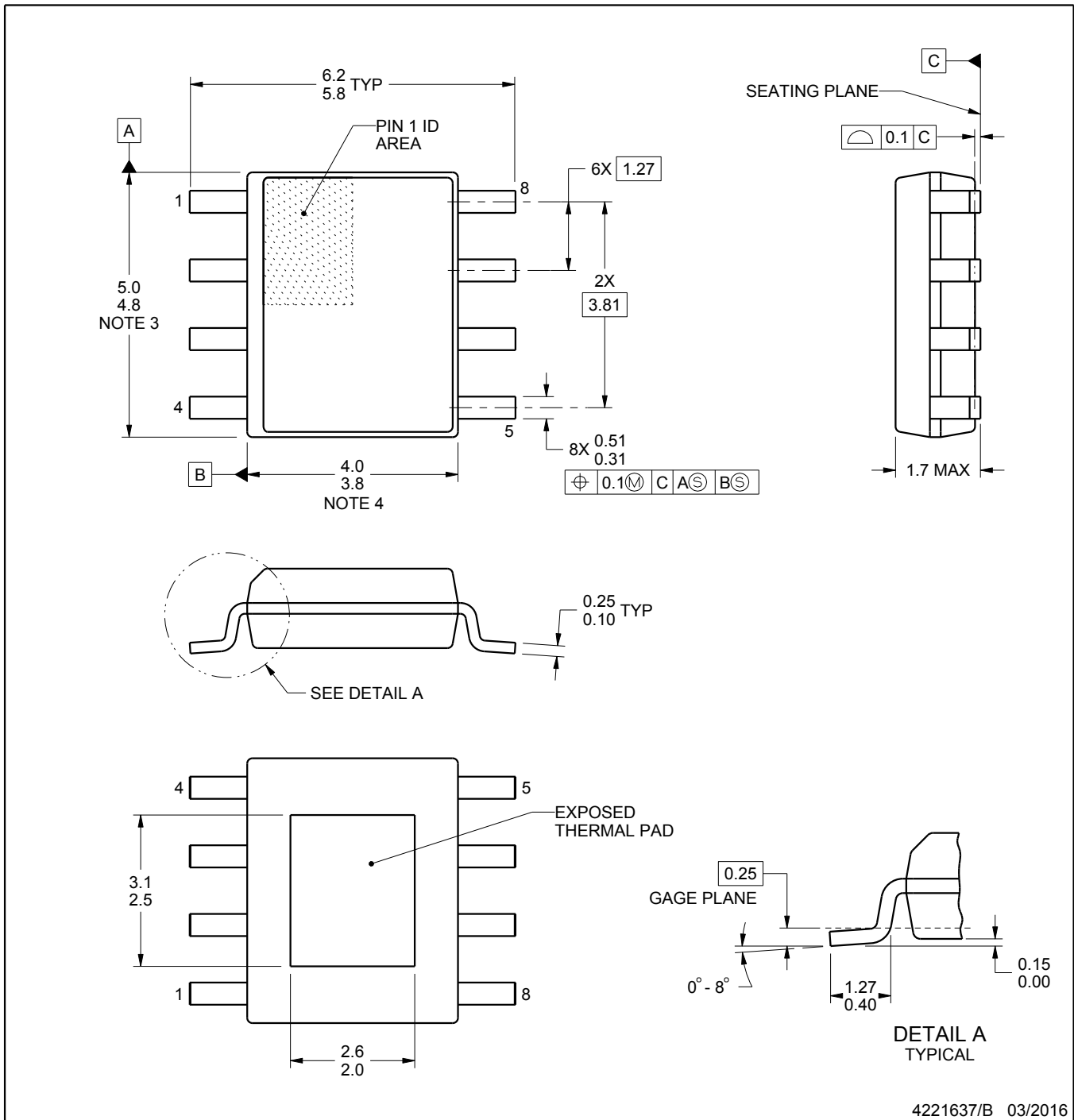
DDA0008J



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

NOTES:

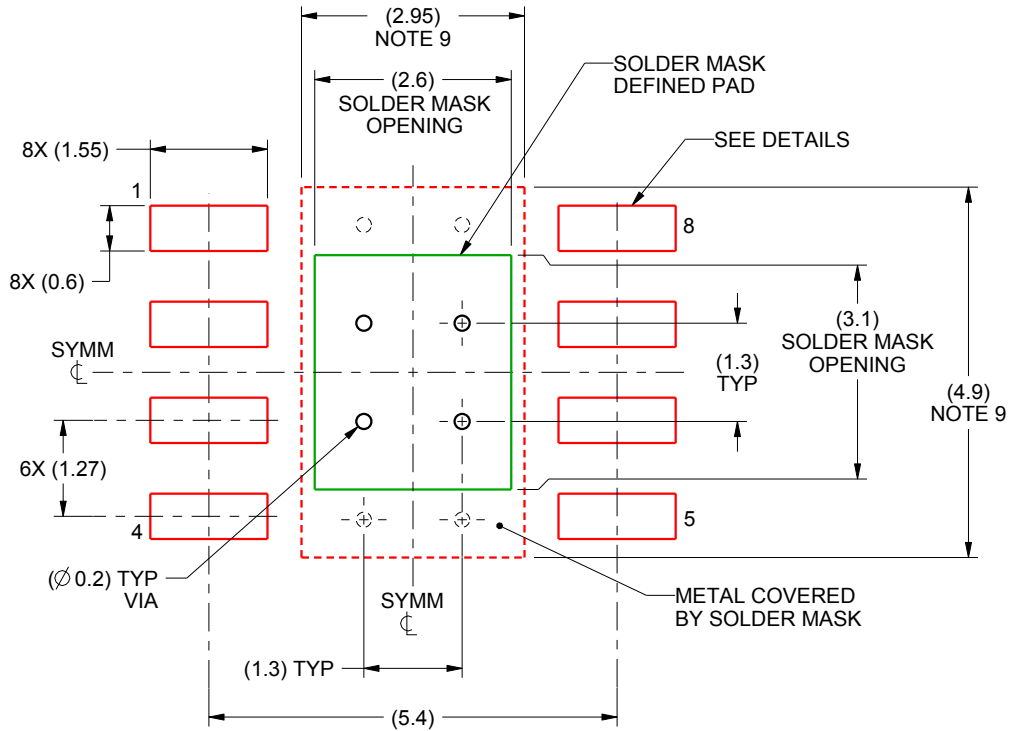
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

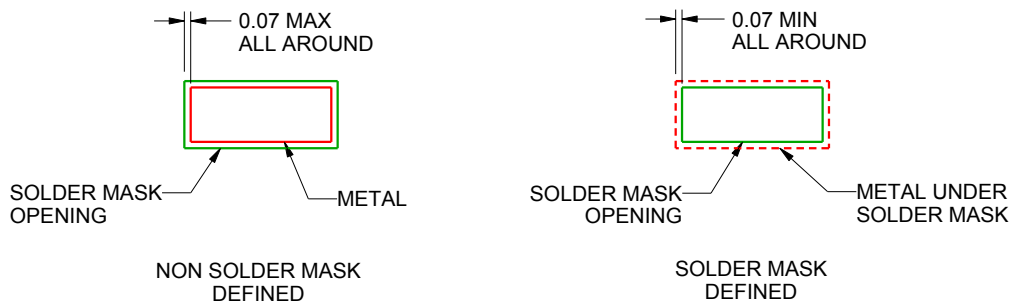
DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

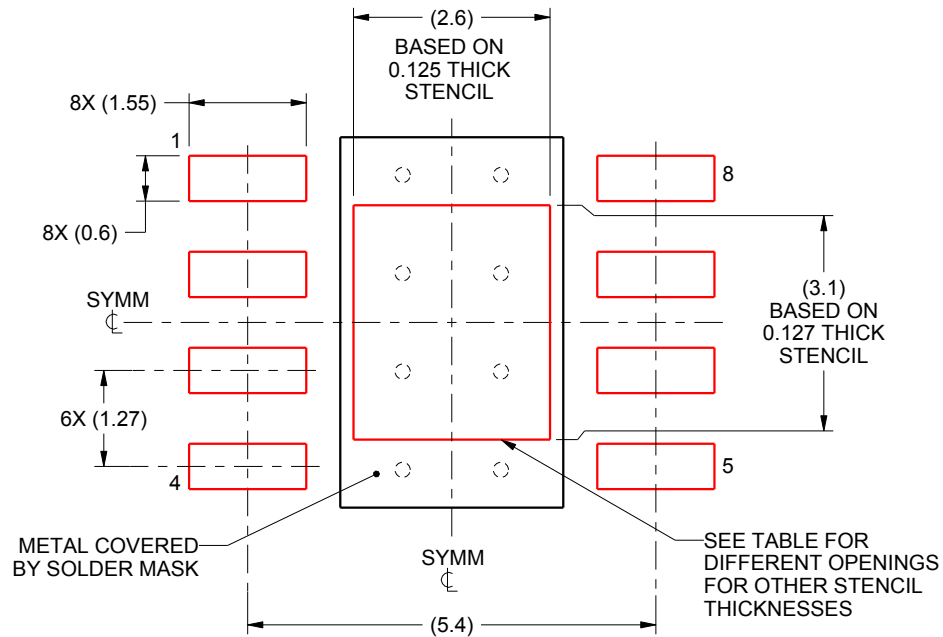
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

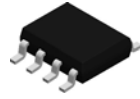
STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

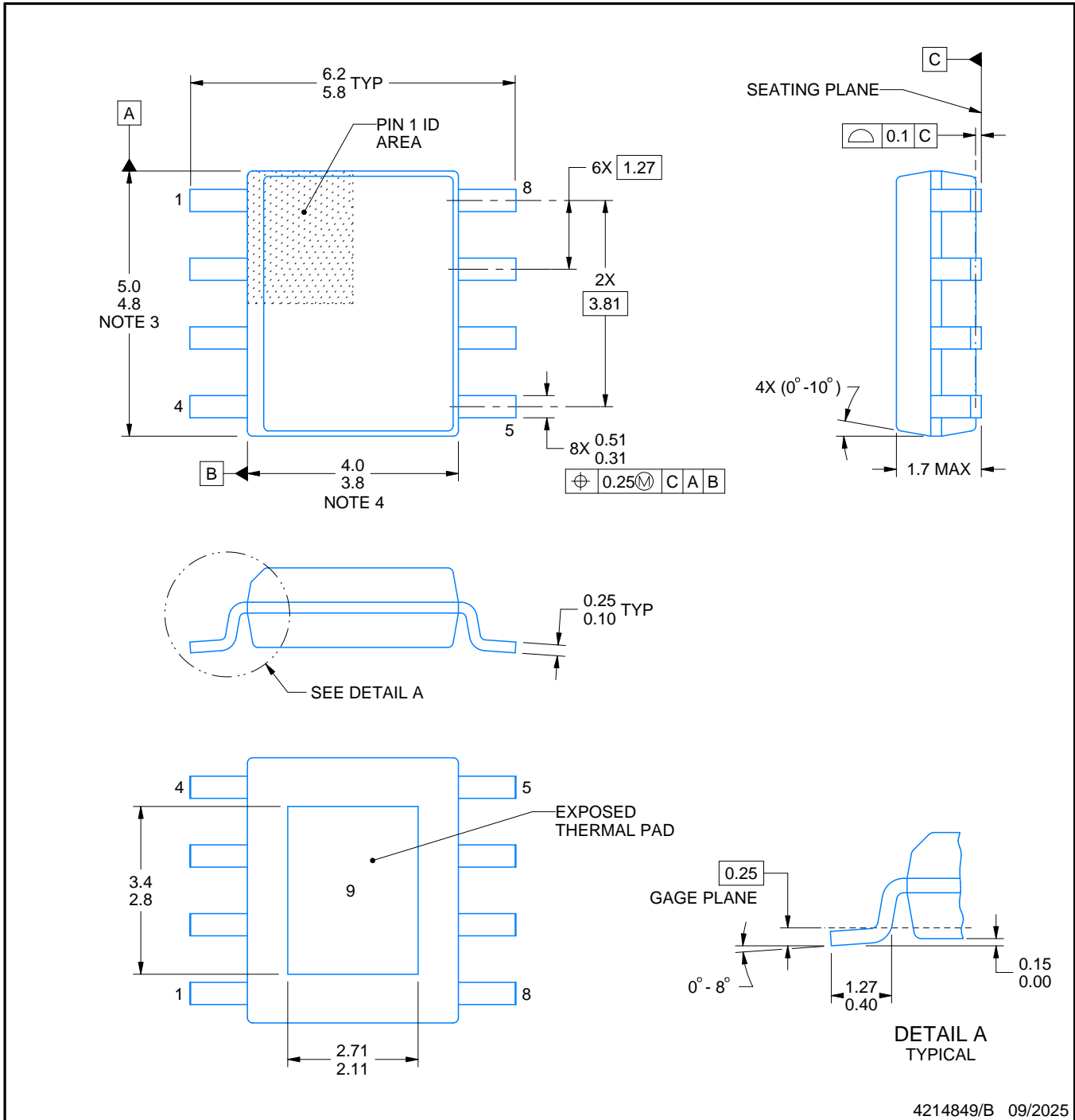
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

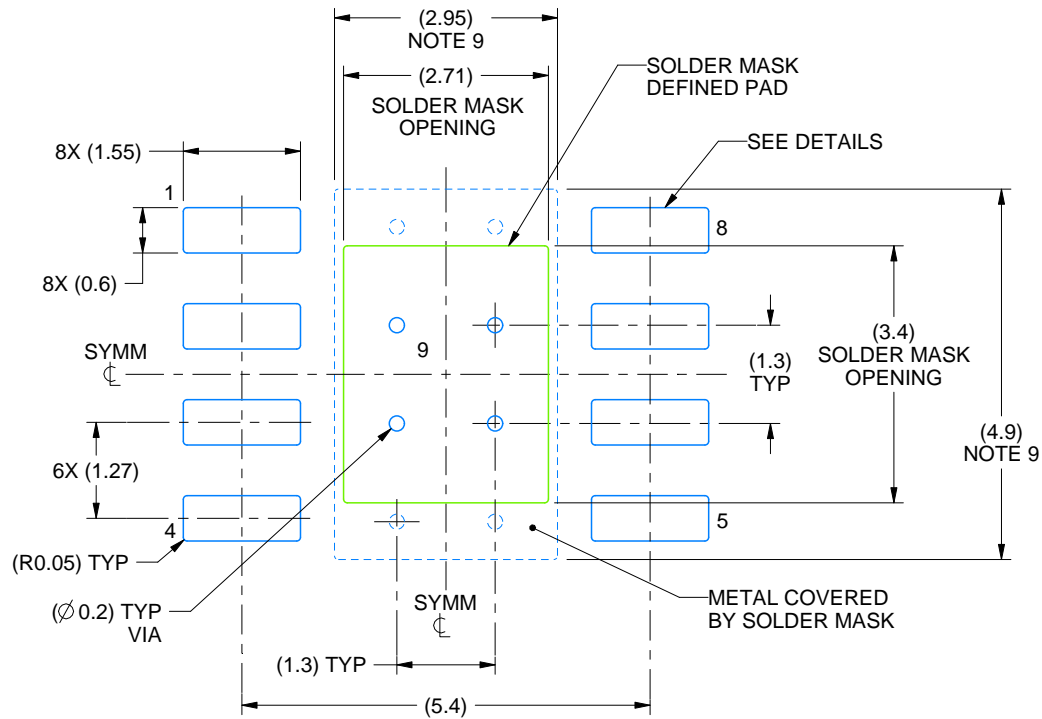
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

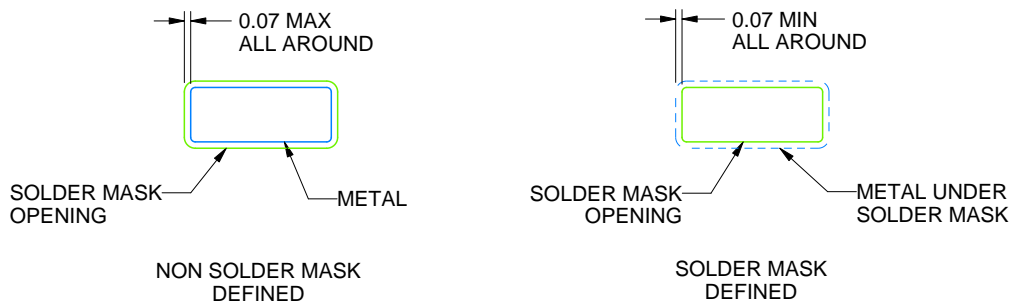
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

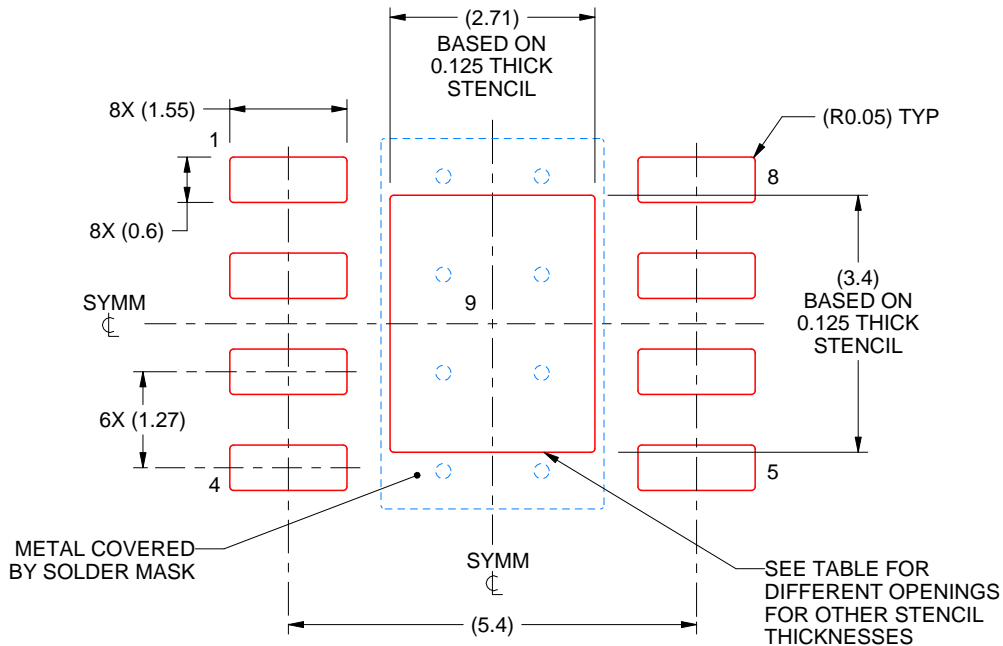
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

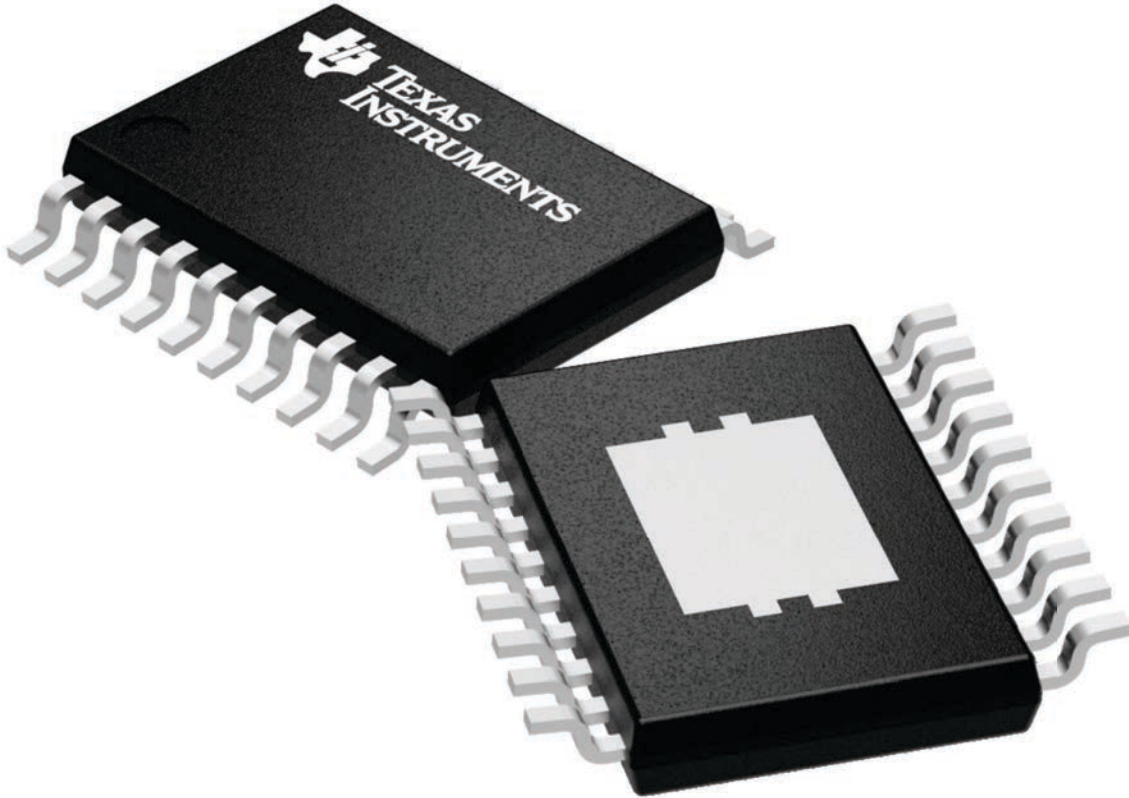
PWP 20

HTSSOP - 1.2 mm max height

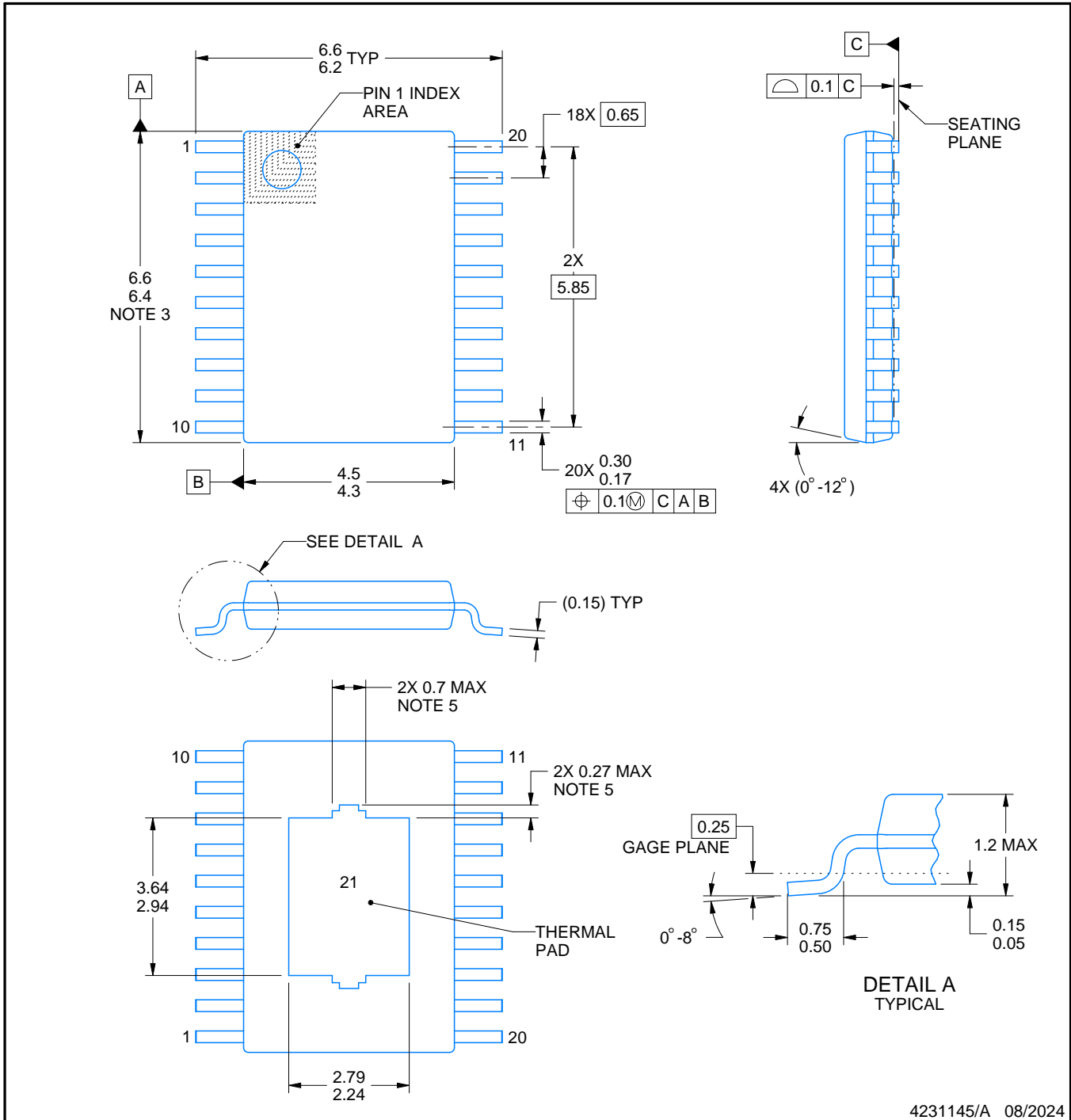
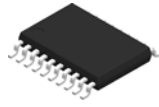
6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A



4231145/A 08/2024

PowerPAD is a trademark of Texas Instruments.

NOTES:

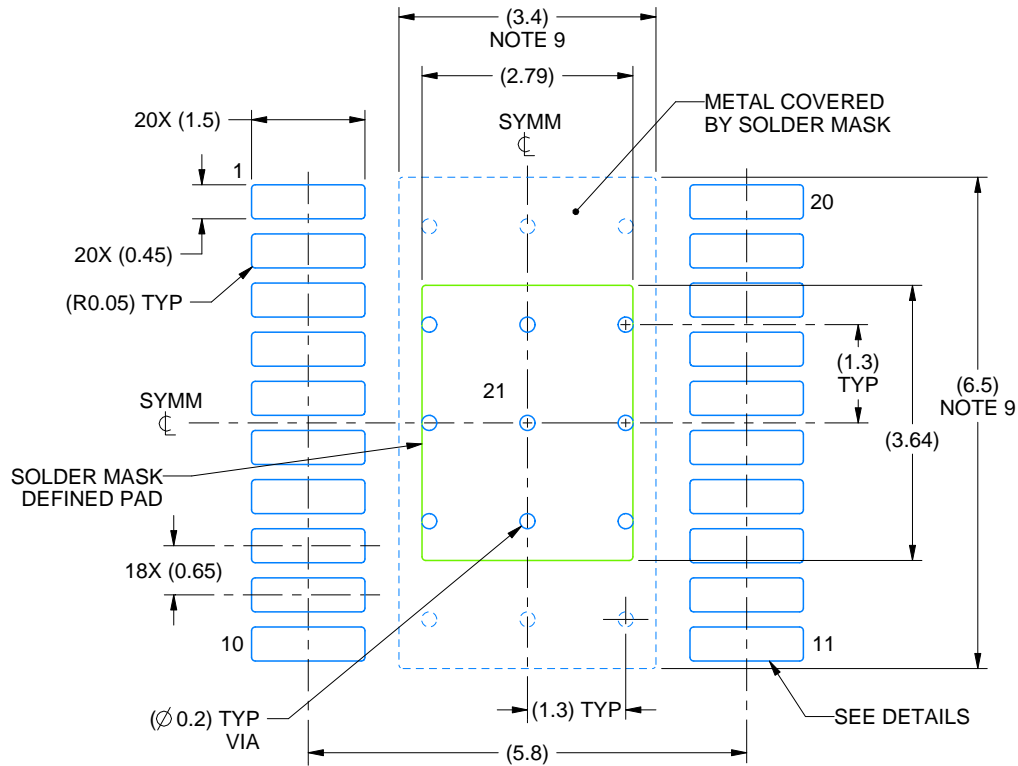
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

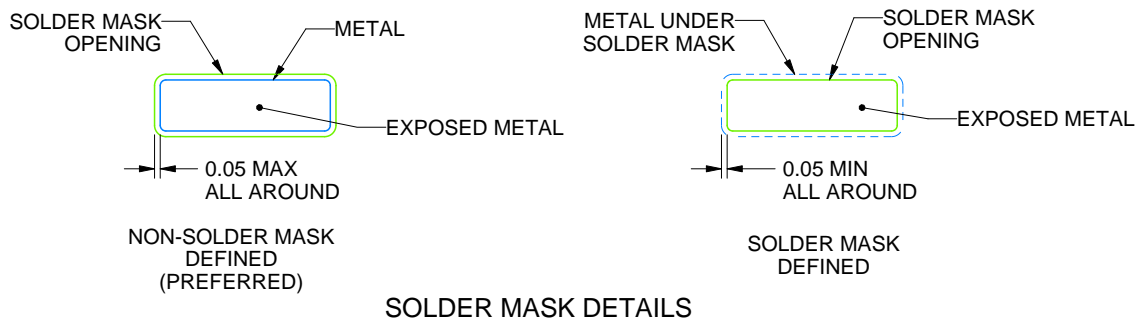
PWP0020W

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4231145/A 08/2024

NOTES: (continued)

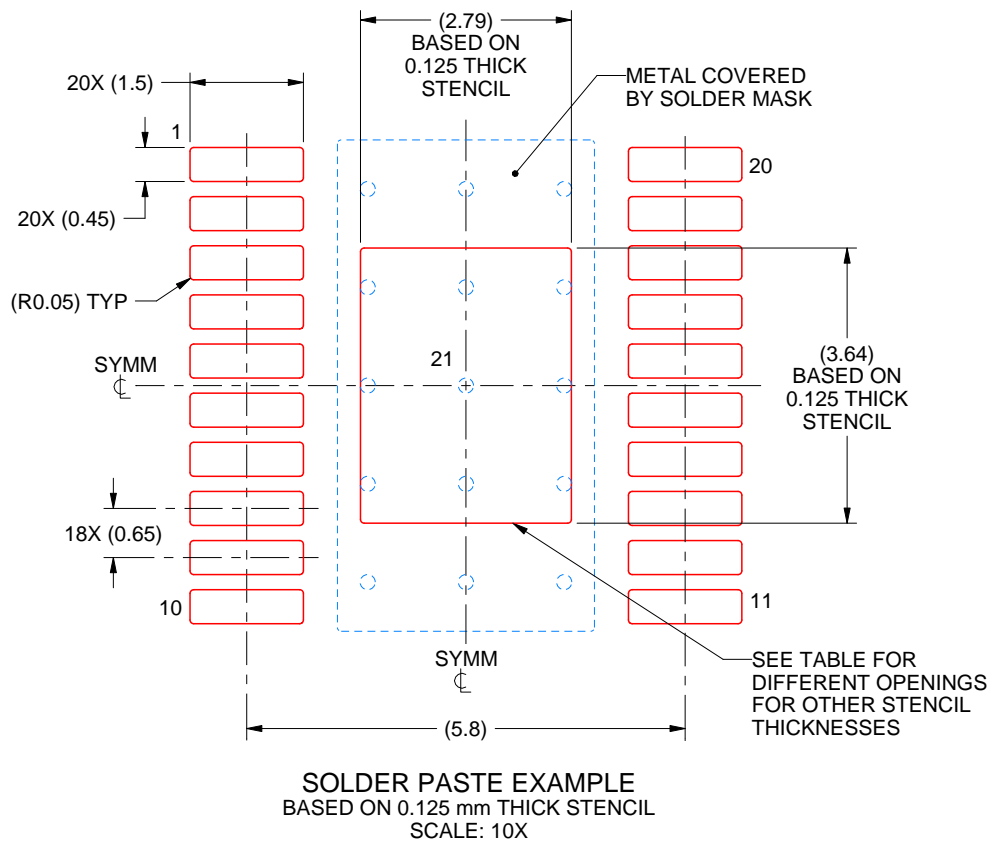
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0020W

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.12 X 4.07
0.125	2.79 X 3.64 (SHOWN)
0.15	2.55 X 3.32
0.175	2.36 X 3.08

4231145/A 08/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月