

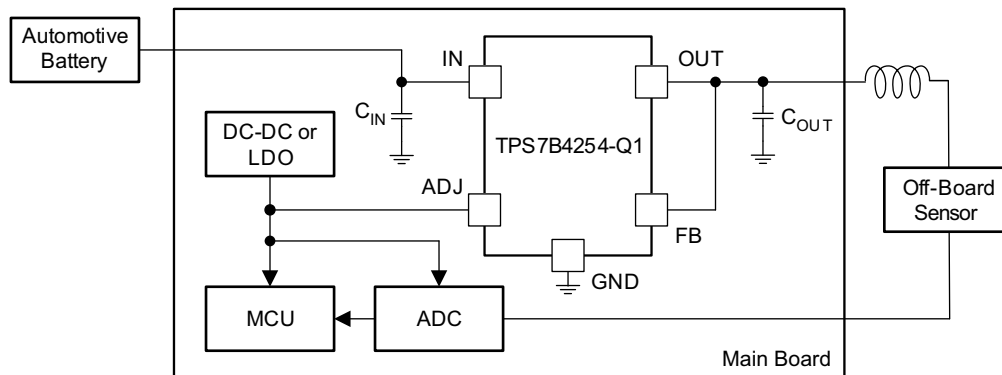
TPS7B4254-Q1 具有 4mV 跟踪容差的汽车类 150mA、40V 电压跟踪 LDO

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
 - 器件 HBM ESD 分类等级 3A
 - 器件 CDM ESD 分类等级 C6
- 宽输入电压范围：-40V 至 45V (最大值)
- 输出电压调节范围：2V 至 40V
- 输出电流能力：150mA
- 极低的输出跟踪容差： $\pm 4\text{mV}$
- 低压降电压： $I_{\text{OUT}} = 100\text{mA}$ 时为 160mV
- 低静态电流 (I_{Q})：
 - ADJ = 低电平时小于 $4\mu\text{A}$
 - 轻负载时典型值为 $60\mu\text{A}$
- 极宽的 ESR 范围：
 - 10 μF 至 500 μF 陶瓷输出电容器
 - 1m Ω 至 20 Ω 的 ESR 范围
- 反极性保护
- 电流限制和热关断保护
- 对接地和电源的输出短路保护
- OUT 引脚上的电感钳位
- 带有外露散热焊盘的 8 引脚 HSOIC PowerPAD™ 封装
- 有关采用 HSOIC 封装的新型直接替代器件，请参阅 [TPS7B4258-Q1](#) 器件。

2 应用

- 动力总成压力传感器
- 动力总成温度传感器
- 动力总成排气传感器
- 动力总成油液浓度传感器
- 车身控制模块 (BCM)
- 区域控制模块
- HVAC 控制模块



典型应用原理图

3 说明

对于汽车非板载传感器和低电流非板载模块，电源通过一根与主板相连的长电缆进行。在这种情况下，电源器件需要对非板载负载提供保护，以防止电缆损坏导致 GND 短路或电池短路时损坏板载元件。非板载传感器需要与板载元件一样的电源，才能确保高精度数据采集。

TPS7B4254-Q1 适用于具有 45V 负载突降的汽车类应用。该器件可用作跟踪低压降 (LDO) 稳压器，也可用作电压跟踪器，以便通过板载主电源为非板载传感器构建一个闭合电源环路。器件的输出由 ADJ 引脚上的参考电压进行精确调节。

为了向非板载模块提供精确电源，该器件在 ADJ 和 FB 引脚之间实现全温度范围内 4mV 的超低跟踪容差。背对背 PMOS 拓扑无需在反极性条件下使用外部二极管。TPS7B4254-Q1 还包括热关断、电感钳位、过载和电池短路保护，可防止极端条件下对板载元件造成损坏。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS7B4254-Q1	DDA (HSOIC PowerPAD , 8)	4.9mm × 6mm

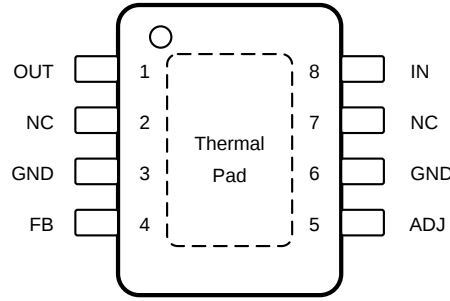
- 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	7 应用和实施	14
2 应用	1	7.1 应用信息.....	14
3 说明	1	7.2 典型应用.....	14
4 引脚配置和功能	3	7.3 电源相关建议.....	16
5 规格	4	7.4 布局.....	16
5.1 绝对最大额定值.....	4	8 器件和文档支持	17
5.2 ESD 等级.....	4	8.1 器件支持.....	17
5.3 建议运行条件.....	4	8.2 文档支持.....	17
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	17
5.5 电气特性.....	5	8.4 支持资源.....	17
5.6 典型特性.....	6	8.5 商标.....	17
6 详细说明	10	8.6 静电放电警告.....	17
6.1 概述.....	10	8.7 术语表.....	17
6.2 功能方框图.....	10	9 修订历史记录	17
6.3 特性说明.....	10	10 机械、封装和可订购信息	18
6.4 器件功能模式.....	13	10.1 机械数据.....	19

4 引脚配置和功能



NC - 无内部连接

图 4-1. DDA 封装 8 引脚 HSOP (带有外露散热焊盘) 俯视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
ADJ	5	I	将参考连接到该引脚。低电平信号禁用器件，高电平信号启用器件。参考电压可直接连接到此引脚，或者通过分压器连接以实现较低的输出电压。为了补偿线路效应，请在靠近器件引脚的位置连接一个电容器。
FB	4	I	该引脚是反馈引脚，可连接到外部电阻分压器以选择输出电压。
GND	3、6	G	接地基准
IN	8	I	此引脚电压是电源。为了补偿线路效应，请在靠近器件引脚的位置连接一个电容器。
NC	2、7	NC	无内部连接。
OUT	1	O	根据 输出电容器 部分中列出的电容和 ESR 要求，通过靠近器件引脚的电容器块连接到 GND。
外露散热焊盘		—	将散热焊盘连接至 GND 引脚或将焊盘保持悬空。

(1) I = 输入，O = 输出，G = 接地，NC = 无内部连接

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
非稳压输入电压	IN ⁽²⁾	-40	45	V
经稳压调节的输出电压	OUT ^{(2) (3)}	-1	45	V
输入和输出之间的电压差	IN - OUT	-40	45	V
基准电压	ADJ ⁽²⁾	-0.3	45	V
跟踪器的反馈输入电压	FB ⁽²⁾	-1	45	V
参考电压减去输入电压	ADJ - IN ⁽⁴⁾		18	V
工作结温, T _J		-40	150	°C
贮存温度, T _{stg}		-65	150	°C

- 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 所有电压值均以 GND 引脚为基准。
- OUT 和 GND 引脚之间连接一个内部二极管，具有 600mA 直流电流能力，用于提供电感钳位保护。
- 当 (ADJ - IN) 电压高于 18V 时，(ADJ - OUT) 电压必须保持低于 18V，否则器件可能损坏。

5.2 ESD 等级

			值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	除 NC 外的所有引脚	±4000	V
		NC 引脚	±2000	
	充电器件模型 (CDM), 符合 AEC Q100-011 标准		±1000	

- AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{IN}	非稳压输入电压 ⁽²⁾	4	40	V
V _{ADJ}	基准输入电压	2	18	V
V _{FB}	跟踪器的反馈输入电压	2	18	V
V _{OUT}	经稳压调节的输出电压	2	40	V
C _{OUT}	输出电容器要求 ⁽³⁾	10	500	μF
	输出 ESR 要求 ⁽⁴⁾	0.001	20	Ω
T _J	工作结温	-40	150	°C

- 在功能范围内，该器件按照电路说明中所述运行。电气特性是在电气特性表中给出的条件下规定的。
- V_{IN} > V_{ADJ} + V_{DROPOUT}
- 最小输出电容要求适用于电容容差最坏情况为 30% 时。当 OUT 和 FB 引脚之间连接一个电阻分压器（输出电压高于参考电压）时，需要在 OUT 和 FB 引脚之间连接一个 47nF 前馈电容器以确保环路稳定性。同时，输出电容器的 ESR 范围应为 0.001 至 10 Ω。
- f = 10kHz 时的相关 ESR 值

5.4 热性能信息

热指标 ⁽¹⁾		TPS7B4254-Q1		单位
		DDA (HSOIC)		
		8 引脚		
		ASO : ASE ⁽²⁾	ASO : FMX ⁽²⁾	
R _{θJA}	结至环境热阻	45.4	42.6	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	51.1	57.5	°C/W
R _{θJB}	结至电路板热阻	27	17.8	°C/W
ψ _{JT}	结至顶部特征参数	8.2	5.6	°C/W
ψ _{JB}	结至电路板特征参数	26.9	17.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	6.4	7.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

(2) 有关 ASO 的更多信息, 请参阅命名规则表。

5.5 电气特性

V_{IN} = 13.5V, V_{ADJ} ≥ 2V, T_J = -40°C 至 150°C, 在工作环境温度范围内 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V _{IN(UVLO)} IN 欠压检测	V _{IN} 上升			3.65	V
	V _{IN} 下降			2.8	V
ΔV _{OUT} 输出电压跟踪精度 ⁽¹⁾	I _{OUT} = 100 μA 至 150mA, V _{IN} = 4 至 40V V _{ADJ} < V _{IN} - 1V 2V < V _{ADJ} < 18V	-4		4	mV
ΔV _{OUT(ΔIO)} 负载调整、稳定状态	I _{OUT} = 0.1 至 150mA, V _{ADJ} = 5V			4	mV
ΔV _{OUT(ΔVI)} 线路调整、稳定状态	I _{OUT} = 10mA, V _{IN} = 6 至 40V, V _{ADJ} = 5V			4	mV
PSRR 电源纹波抑制	f _{rip} = 100Hz, V _{rip} = 0.5 VPP, C _{OUT} = 10 μF, I _{OUT} = 100mA		70		dB
V _{DROPOUT} 压降电压 (V _{DROPOUT} = V _{IN} - V _{OUT})	I _{OUT} = 100mA, V _{IN} = V _{ADJ} ≥ 4V ⁽²⁾		160	260	mV
I _{OUT(LIM)} 输出电流限制	V _{ADJ} = 5V, OUT 短路至 GND	151	450	520	mA
I _{R(IN)} IN 下的反向电流	V _{IN} = 0V, V _{OUT} = 40V, V _{ADJ} = 5V	-2		0	μA
I _{R(-IN)} IN 为负时的反向电流	V _{IN} = -40V, V _{OUT} = 0V, V _{ADJ} = 5V	-10			μA
T _{SD} 热关断温度			175		°C
T _{SD_hys} 热关断磁滞			15		°C
I _Q 电流消耗	4V ≤ V _{IN} ≤ 40V, V _{ADJ} = 0V		2	4	μA
	4V ≤ V _{IN} ≤ 40V, V _{ADJ} = 5V, I _{OUT} < 100μA		60	100	μA
	4V ≤ V _{IN} ≤ 40V, V _{ADJ} = 5V, I _{OUT} < 150mA		210	260	μA
I _{Q(DROPOUT)} 压降区域中的电流消耗	V _{IN} = V _{ADJ} = 5V, I _{OUT} = 100 μA		70	140	μA
I _{ADJ} 基准输入电流	V _{ADJ} = V _{FB} = 5V			5.5	μA
V _{ADJ(LOW)} 参考低电平信号有效	V _{OUT} = 0V	0		0.7	V
V _{ADJ(HIGH)} 参考高电平信号有效	V _{OUT} - V _{ADJ} < 4mV	2		18	V
I _{FB} FB 偏置电流	V _{ADJ} = V _{FB} = 5V			0.5	μA

(1) 当 FB 引脚直接连接到 OUT 引脚时指定跟踪精度, 这意味着 V_{ADJ} = V_{OUT}, 且不考虑外部电阻分压器的偏差。

(2) 当输出电压 V_{OUT} 从额定值下降 10mV 时测得。

5.6 典型特性

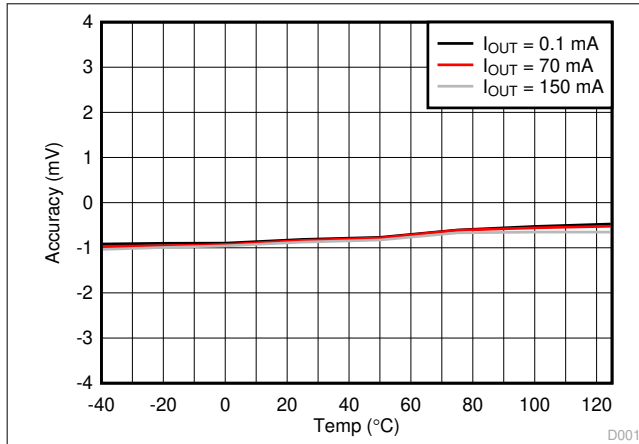


图 5-1. 跟踪精度与环境温度间的关系

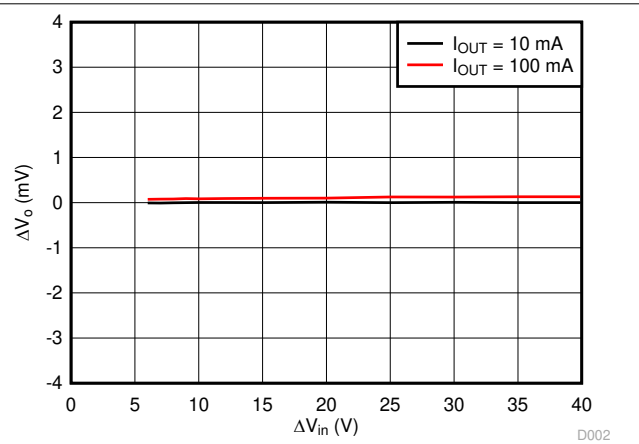


图 5-2. 线性调整率

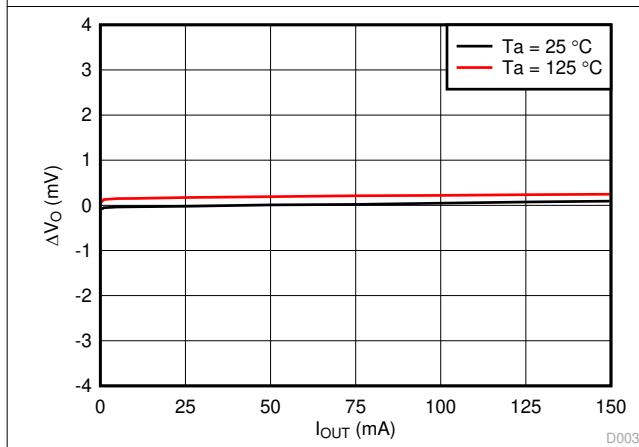
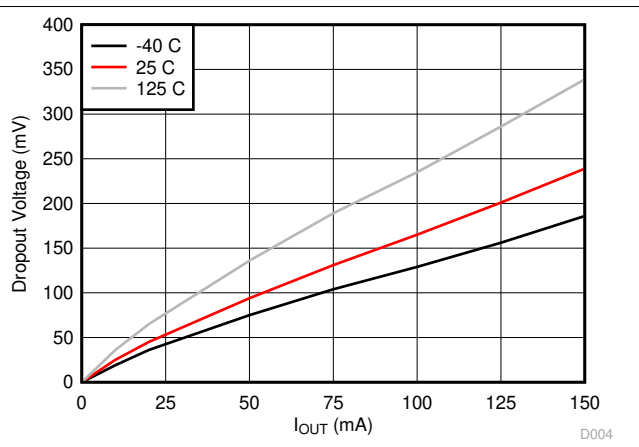


图 5-3. 负载调整率



$V_{IN} = V_{ADJ} = 4 \text{ V}$

图 5-4. 压降电压与输出电流间的关系

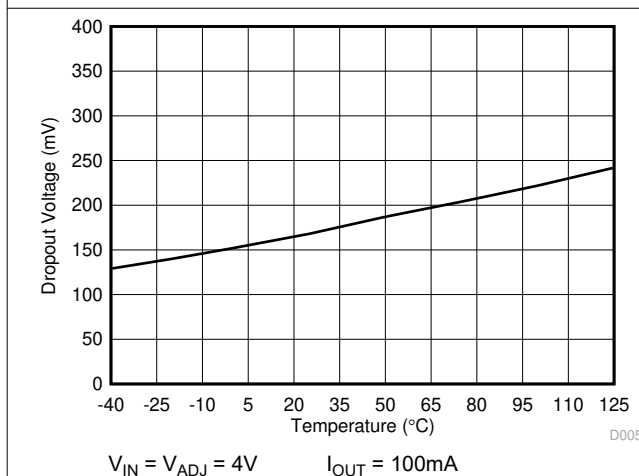


图 5-5. 压降电压与环境温度间的关系

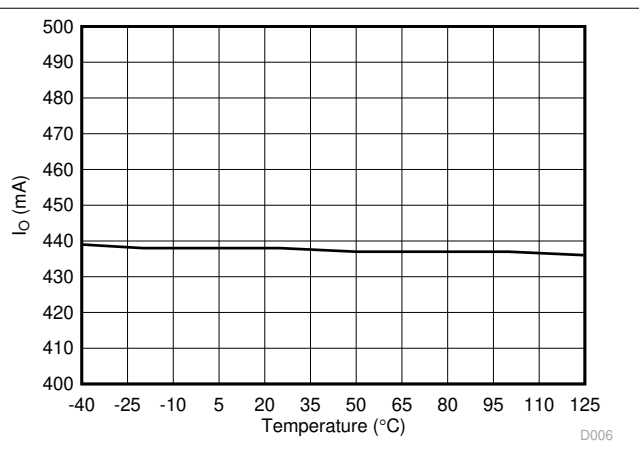
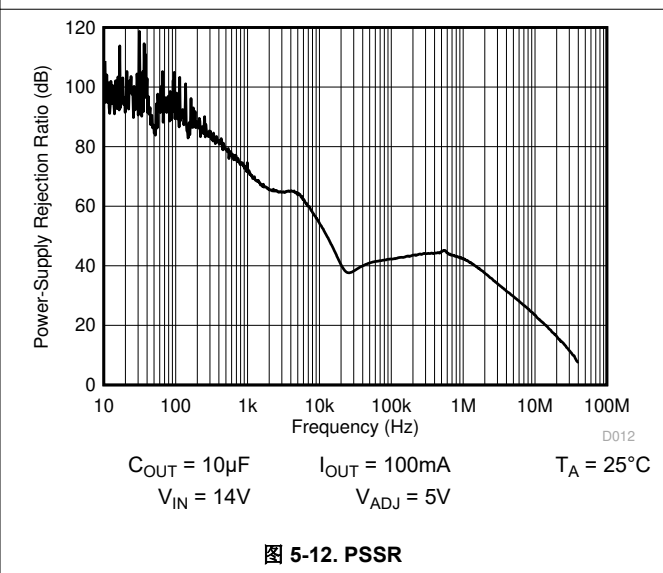
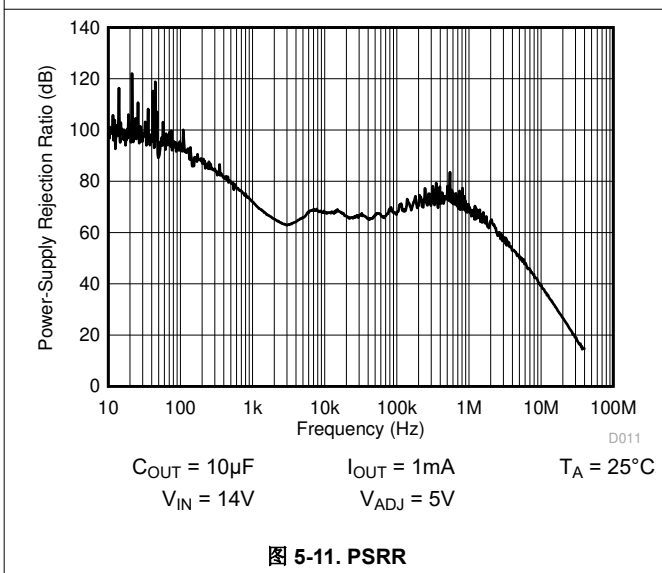
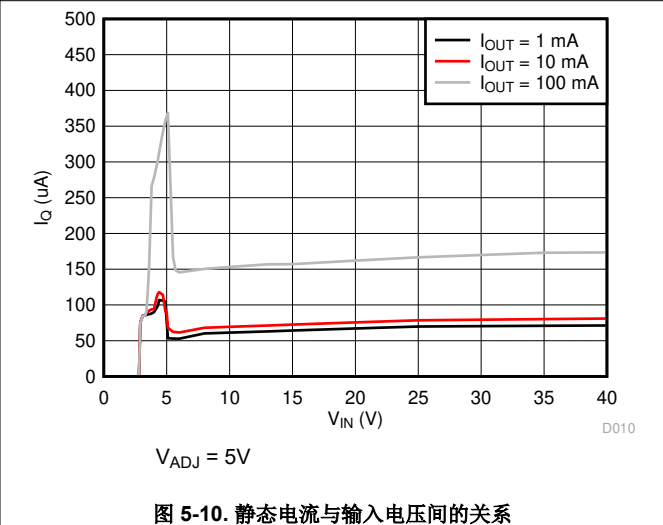
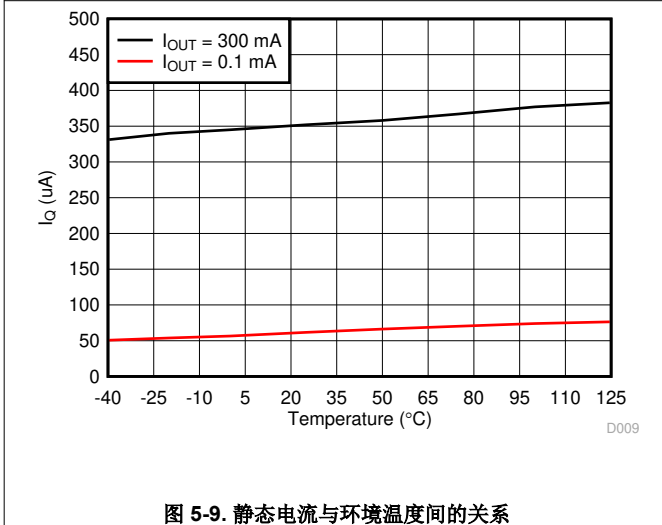
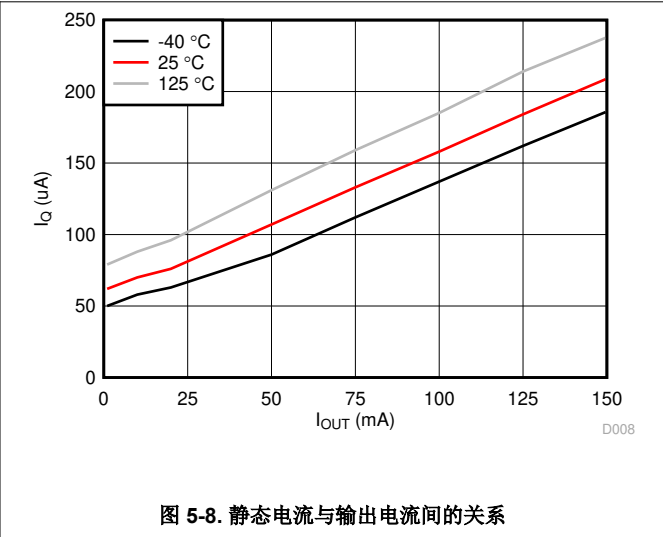
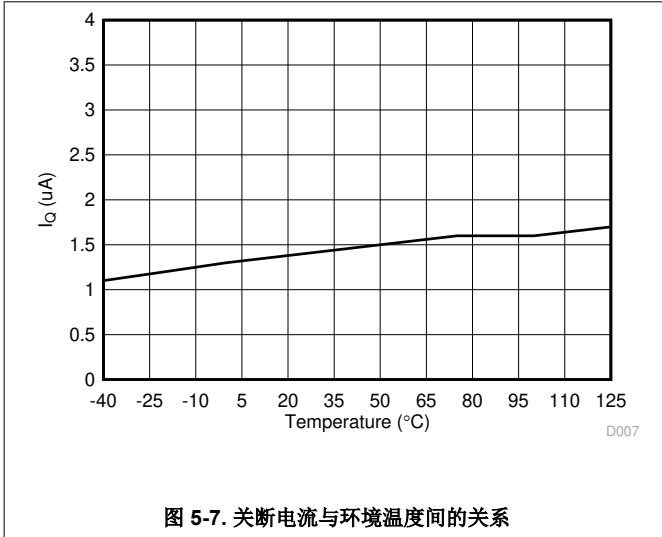
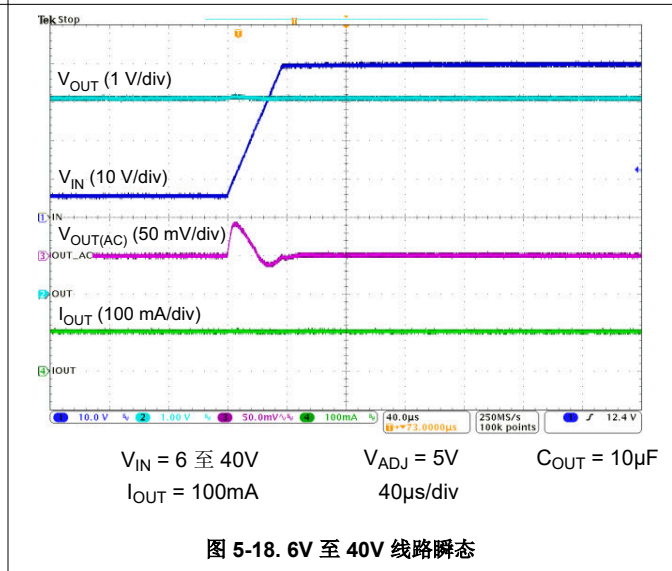
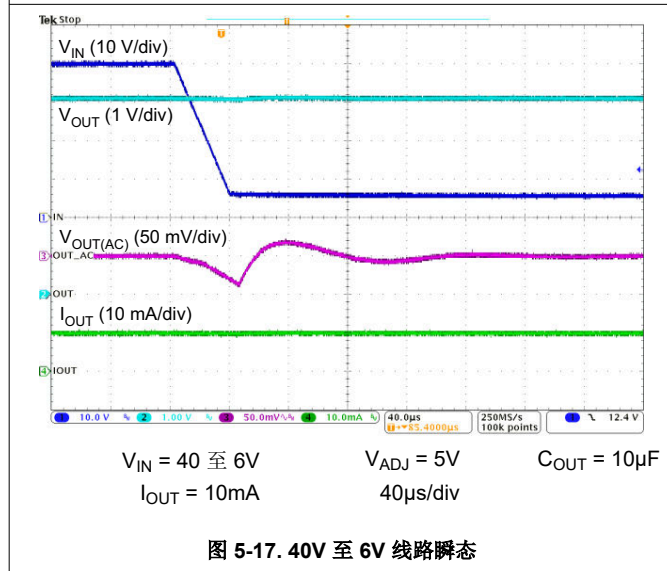
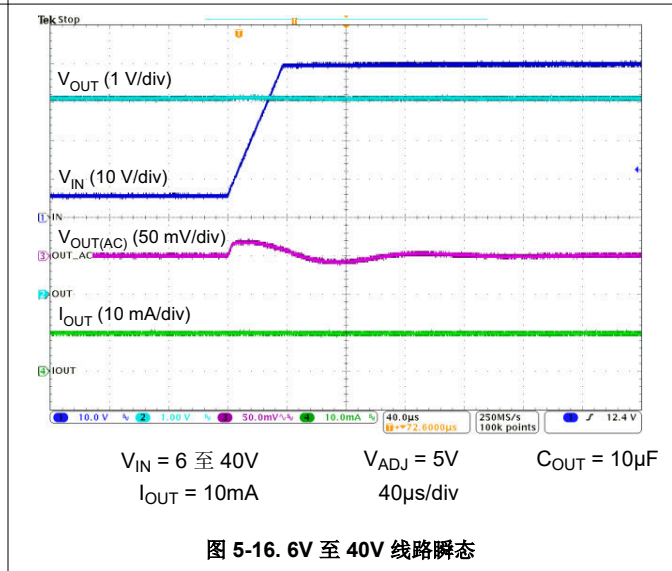
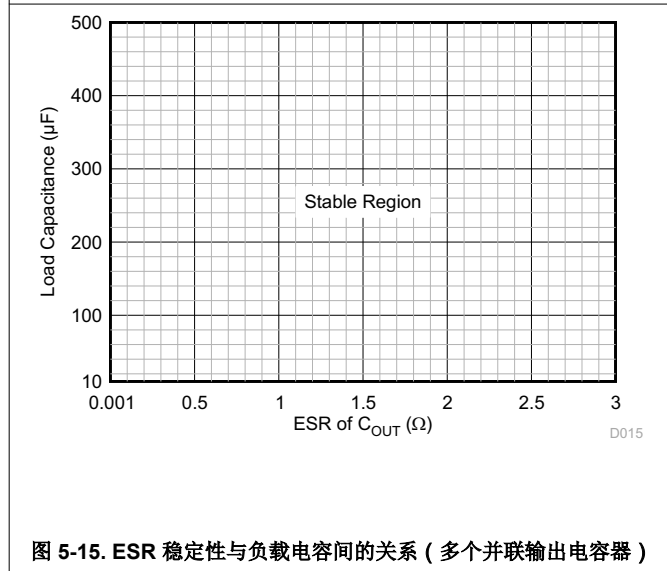
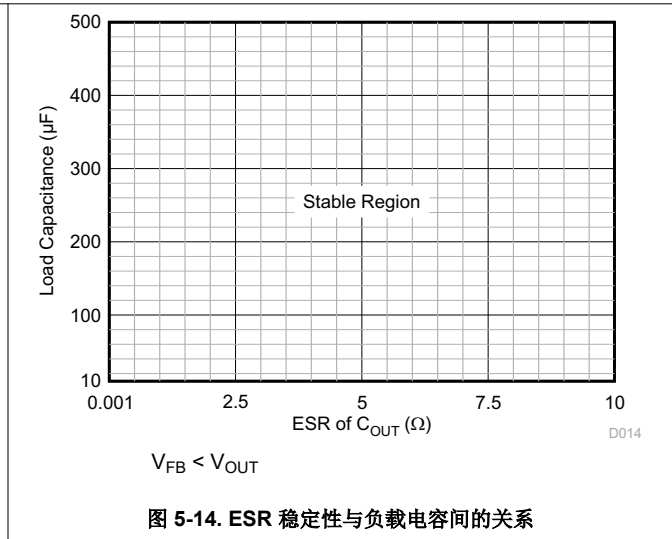
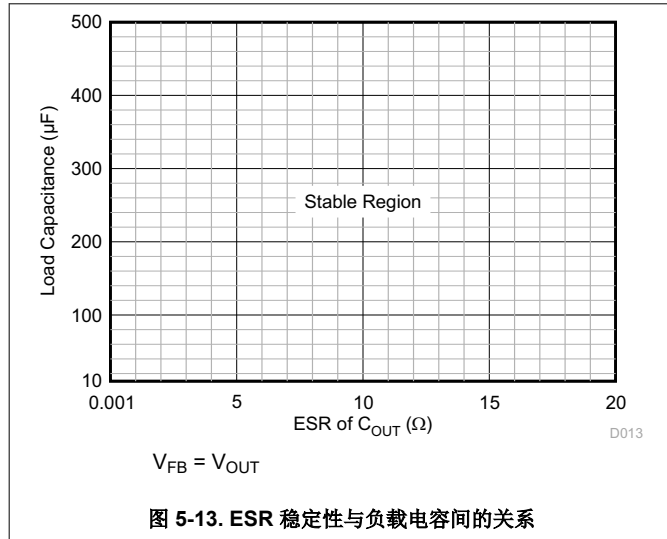


图 5-6. 电流限值 ($I_{OUT(LIM)}$) 与环境温度间的关系

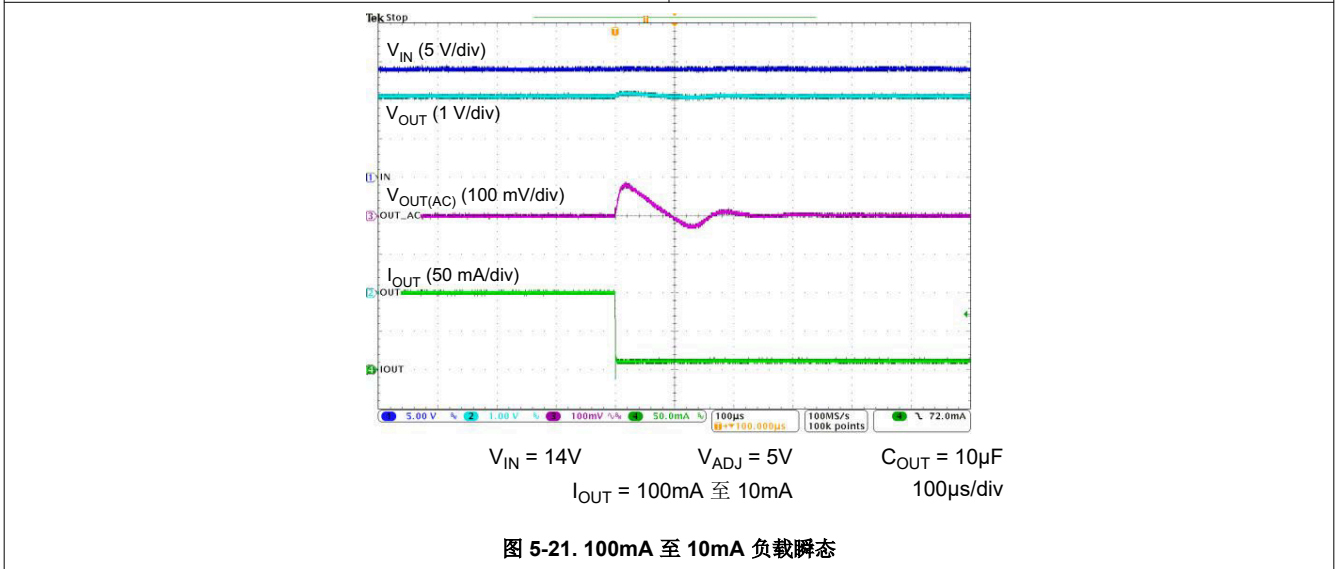
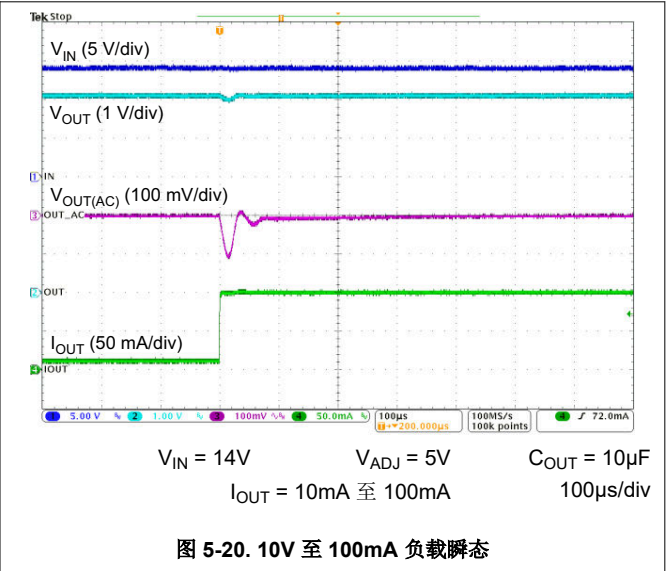
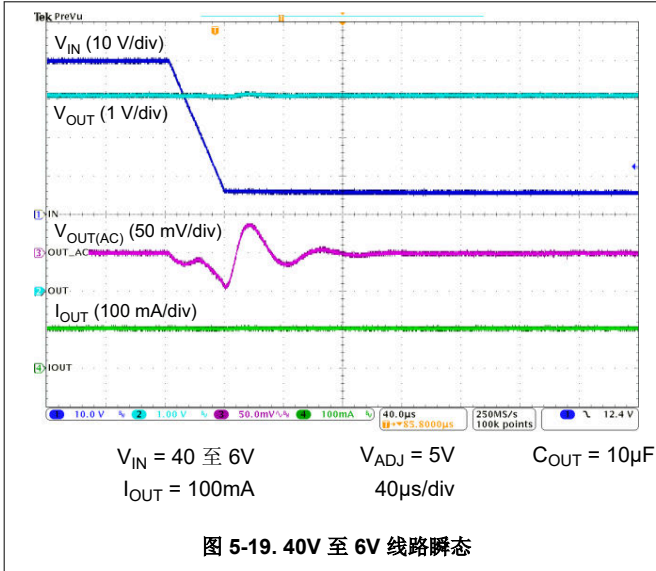
5.6 典型特性 (续)



5.6 典型特性 (续)



5.6 典型特性 (续)

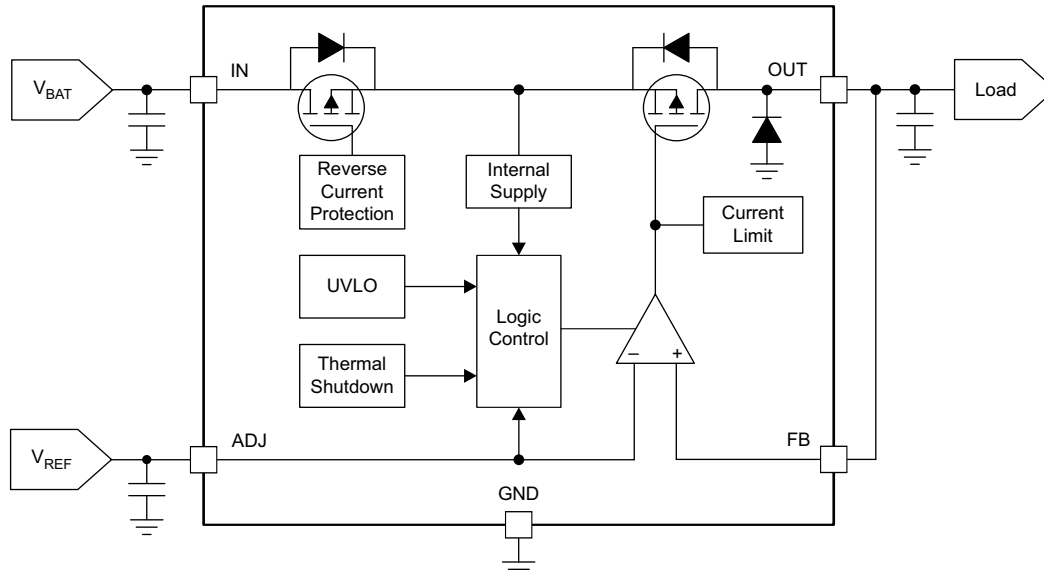


6 详细说明

6.1 概述

TPS7B4254-Q1 是一款单片集成型低压降压电压跟踪稳压器，具有超低跟踪容差。器件中集成了关键保护电路，包括输出电流限制、反极性保护、电感负载钳位、输出端短路至电池保护，以及过热情况下的热关断。

6.2 功能方框图



6.3 特性说明

6.3.1 短路和过流保护

TPS7B4254-Q1 器件具有集成故障保护，因此是汽车应用的理想选择。在某些故障条件下，为使器件保持在安全运行区，内部电流限制保护用于限制最大输出电流。该保护特性可保护器件免受过大功率耗散的影响。例如，在输出端发生短路时，通过串联元件的电流被限制为 $I_{OUT(LIM)}$ ，以保护器件免受过度功率耗散的影响。

6.3.2 集成电感感应钳位保护

在输出关断期间，电缆电感会继续从器件的输出端提供电流。该器件在 OUT 引脚上集成了一个电感钳位电路，用于消耗电缆中储存的电感能量。OUT 和 GND 引脚之间连接了一个内部二极管，具有 600mA 的直流电流承载能力，用于实现电感钳位保护。

6.3.3 OUT 输出端短路至电池及反极性保护

TPS7B4254-Q1 器件可承受输出端的电池短路，如 图 6-1 所示。因此，不会损坏器件。

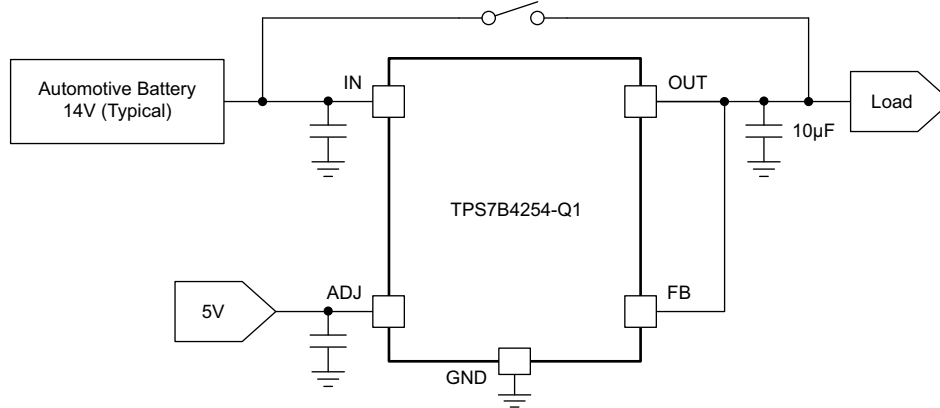


图 6-1. OUT 输出端短路至电池， $V_{IN} = V_{BAT}$

当由电压较低的隔离电源供电时，也会发生短路至电池，如 图 6-2 所示。在本例中，当 OUT 引脚（工作电压为 5V）发生输出端短路至电池（典型值为 14V）时，TPS7B4254-Q1 电源输入端电压被限制为 7V。内部背对背 PMOS 保持导通 1ms，在此期间，TPS7B4254-Q1 器件的输入电压可充电至电池电压。如果直流/直流转换器后连接的其他负载无法承受汽车电池的电压，则需要在直流/直流转换器输出端和 TPS7B4254-Q1 输入端之间串联一个二极管。要实现较低的压降电压，TI 建议使用肖特基二极管。如果直流/直流转换器的输出及由其供电的负载能够承受汽车电池电压，则可以省略该二极管。

当发生反极性 or 输出端短路至电池持续 1ms 时，内部背对背 PMOS 被切换为关闭状态。之后，流经 IN 引脚的反向电流小于 $10\mu A$ 。同时，在输入端实现的特殊 ESD 结构有助于该器件承受 $-40V$ 的电压。

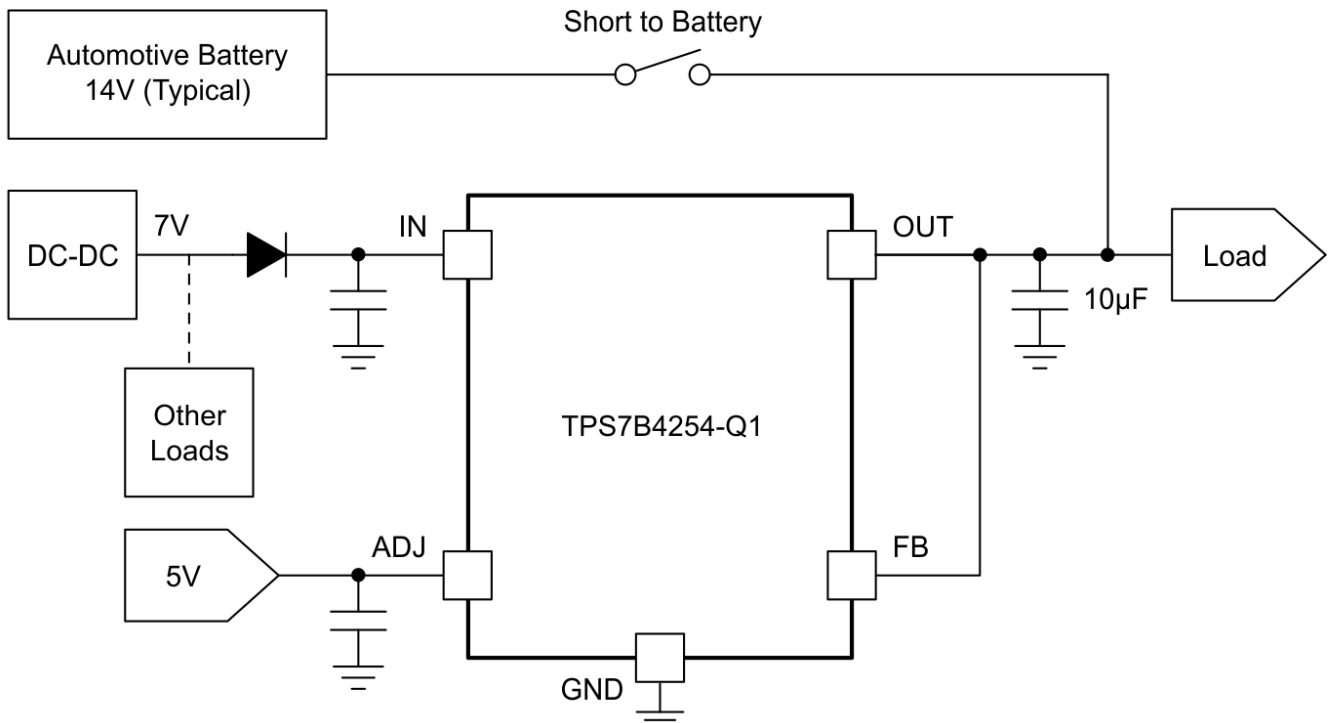


图 6-2. OUT 输出端短路至电池， $V_{IN} < V_{BAT}$

大多数情况下，TPS7B4254-Q1 器件的输出通过汽车电缆短接到电池。当发生输出端短路至电池时，电缆上的寄生电感会导致 TPS7B4254-Q1 器件的输出端 LC 振荡。在 LC 振荡期间，TPS7B4254-Q1 器件输出端的峰值电压必须低于绝对最大电压额定值 (45V)。

6.3.4 欠压关断

该器件具有内部固定的欠压关断阈值。当 IN 引脚上的输入电压降至 UVLO 以下时，欠压关断功能将被启动。该功能可防止稳压器在输入电压过低时陷入未知状态。当输入电压出现负向瞬变跌至 UVLO 阈值以下后恢复时，稳压器会先关断，并在输入电压恢复到要求电平后按标准上电时序重新启动。

6.3.5 热保护

该器件集成热关断 (TSD) 电路，以防过热。在持续正常运行期间，结温不得超过 TSD 触发温度。如果结温超过 TSD 跳变点，输出将关闭。当结温降至比 TSD 触发温度低约 15°C (典型值) 时，输出恢复。

备注

TPS7B4254-Q1 器件内部保护电路旨在防止过载，不可替代适当散热措施。持续使器件进入热关断状态会降低其可靠性。

6.3.6 稳压输出 (OUT)

OUT 引脚是基于所需电压的稳压输出。输出具有电流限制。在初始上电期间，稳压器具有集成的软启动功能，可控制通过串联元件的初始电流。

6.3.7 调节输出电压 (FB 和 ADJ)

6.3.7.1 OUT 电压等于参考电压

当参考电压直接施加在 ADJ 引脚上，并且 FB 引脚连接到 OUT 引脚时，OUT 引脚电压等于 ADJ 引脚的参考电压，如 图 6-3 所示。

$$V_{\text{OUT}} = V_{\text{ADJ}} \quad (1)$$

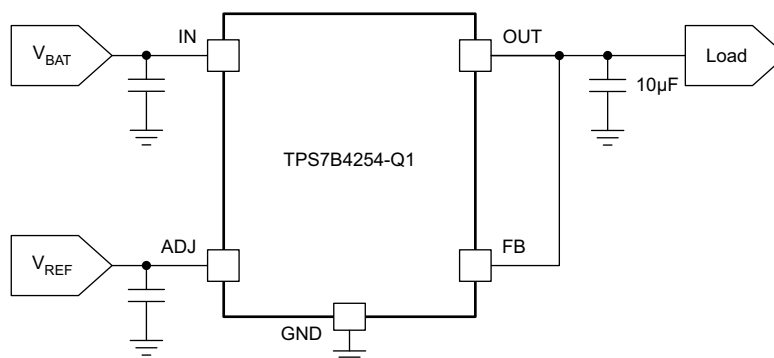


图 6-3. OUT 电压等于参考电压

6.3.7.2 高于参考电压的 OUT 电压

通过使用连接在 OUT 和 FB 引脚之间的外部电阻分压器，可以生成高于参考电压的输出电压，如 图 6-4 所示。使用 方程式 2 计算输出电压的最小值。建议 R1 和 R2 的阻值范围为 10kΩ 至 100kΩ。

$$V_{\text{OUT}} = V_{\text{ADJ}} \times \left(1 + \frac{R1}{R2} \right) \quad (2)$$

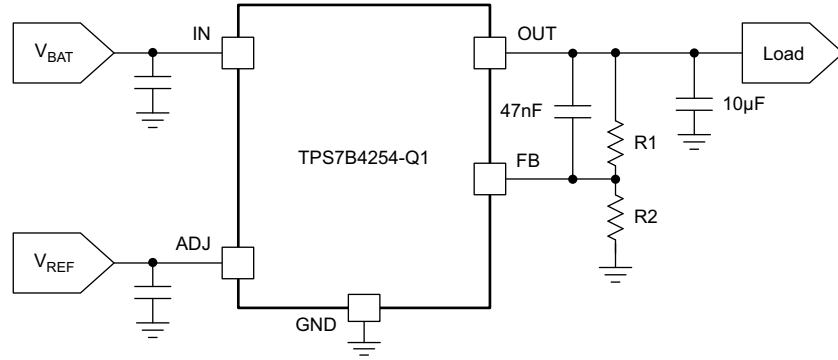


图 6-4. 高于参考电压的 OUT 电压

6.3.7.3 输出电压低于参考电压

通过使用连接在 ADJ 引脚上的外部电阻分压器，可以实现低于参考电压的输出电压，如 图 6-5 所示。使用 方程式 3 计算输出电压。R1 和 R2 的建议值都小于 100kΩ。

$$V_{OUT} = V_{REF} \times \frac{R2}{R1 + R2} \quad (3)$$

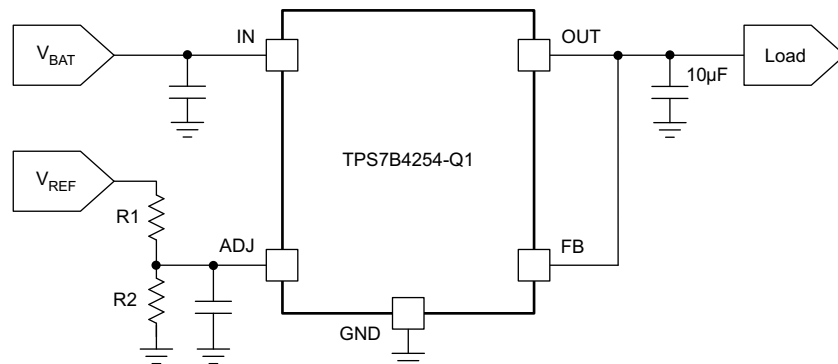


图 6-5. 低于参考电压的 OUT 电压

6.4 器件功能模式

6.4.1 在 $V_{IN} < 4V$ 的情况下运行

最大 UVLO 电压为 3.65V，该器件通常在高于 4V 的输入电压下工作。该器件也可在更低的输入电压下工作；未指定最低 UVLO 电压。当输入电压低于实际 UVLO 电压时，该器件不工作。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS7B4254-Q1 器件是一款具有超低跟踪容差的 150mA 低压降跟踪稳压器。PSpice 瞬态模型可从产品文件夹中下载，并可用于评估器件的基本功能。

7.2 典型应用

7.2.1 输出电压等于参考电压的应用

图 7-1 显示了 TPS7B4254-Q1 器件的典型应用电路。根据最终应用的不同，使用不同的外部元件值。在快速负载变化过程中，一些应用需要使用容量更大的输出电容器，以防输出电压出现大幅跌落。TI 建议使用电介质类型为 X5R 或 X7R 的低 ESR 陶瓷电容器。

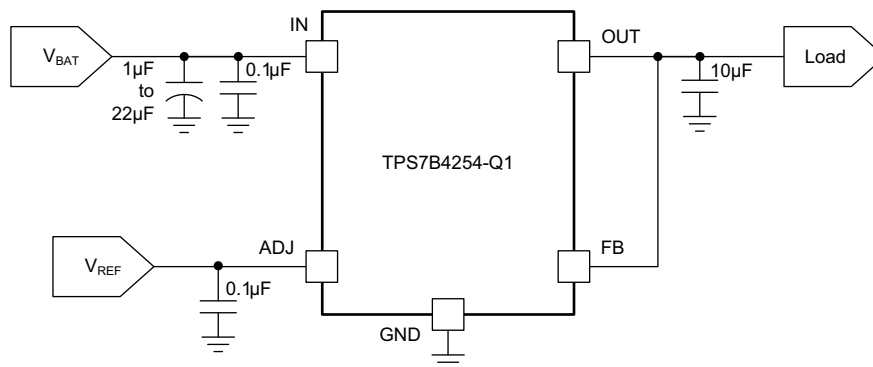


图 7-1. 输出电压等于参考电压

7.2.1.1 设计要求

本设计示例使用表 7-1 中所列的参数作为设计参数。

表 7-1. 设计参数

设计参数	示例值
输入电压	4V 至 40V
输出电压	2V 至 40V
ADJ 电压	2V 至 18V
输出电容器	10 µF 至 500 µF
输出电容器 ESR 范围	0.001 Ω 至 20 Ω

7.2.1.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
- 输出电压
- 基准电压
- 输出电流
- 电流限制

7.2.1.2.1 输入电容器

该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值是 $10\ \mu\text{F}$ ，并联 $0.1\ \mu\text{F}$ 陶瓷旁路电容器。额定电压必须大于最大输入电压。

7.2.1.2.2 输出电容器

为实现稳定运行，当 FB 引脚直接连接到 OUT 引脚时，TPS7B4254-Q1 器件需要一个容量在 $10\ \mu\text{F}$ 至 $500\ \mu\text{F}$ 、ESR 范围为 $0.001\ \Omega$ 至 $20\ \Omega$ 的输出电容器。TI 建议选择具有低 ESR 的陶瓷电容器来改善负载瞬态响应。

为实现高于参考电压的输出电压，在 OUT 引脚和 FB 引脚之间连接了一个电阻分压器。在这种情况下，必须在 OUT 和 FB 引脚之间连接一个 47nF 前馈电容器，用于确保环路稳定性。输出电容器的 ESR 必须介于 $0.001\ \Omega$ 和 $10\ \Omega$ 之间。

当两个或更多电容器在 OUT 引脚上并联连接时，每个输出电容器的 ESR 范围必须介于 $0.001\ \Omega$ 和 $3\ \Omega$ 之间，以实现环路稳定性。

如果 FB 引脚接地短路，则 TPS7B4254-Q1 器件可用作电源开关，无需输出电容器。

7.2.1.3 应用曲线

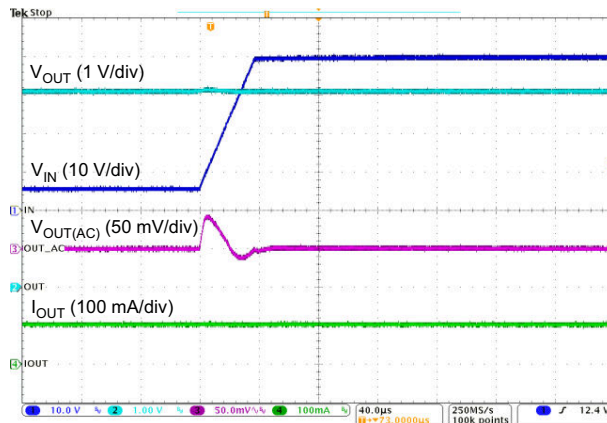


图 7-2. 6V 至 40V 线路瞬态

7.2.2 高精度 LDO

凭借精确的电压导轨，按照图 7-3 所示配置器件，TPS7B4254-Q1 器件可用作具有超高精确度输出电压的 LDO。

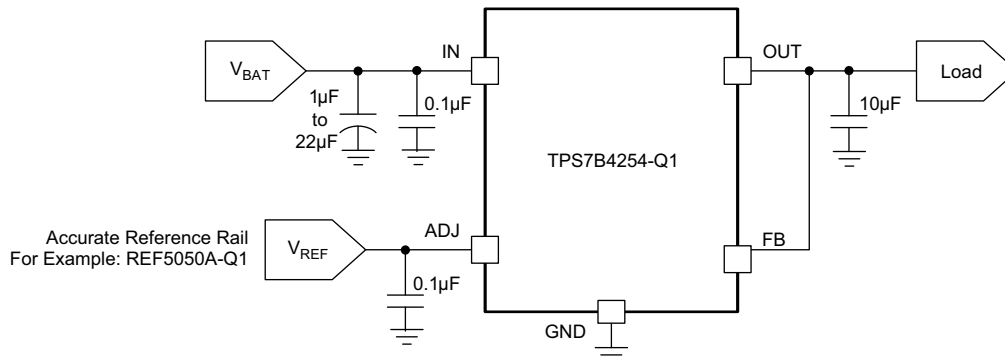


图 7-3. 高精度 LDO 应用

例如，假定参考电压为具有 0.1% 精度的 5V 导轨。由于 ADJ 和 OUT 引脚之间的跟踪精度在整个温度范围内规定为小于 4mV，因此 TPS7B4254-Q1 器件的输出精度可通过 [方程式 4](#) 计算得出。

$$\text{Accuracy of } V_{\text{OUT}} = \frac{V_{\text{ADJ}} \times 0.1\% + 4 \text{ mV}}{V_{\text{OUT}}} \times 100\% = \frac{5 \times 0.1\% + 0.004}{5} \times 100\% = 0.18\% \quad (4)$$

7.3 电源相关建议

该器件设计为可在 4V 至 40V 的输入电源电压内运行。该输入电源必须经过良好调节。若输入电源距离 TPS7B4254-Q1 超过数英寸，TI 建议在输入端添加一个具有 10 μF 值的电解电容器与一个陶瓷旁路电容器。

7.4 布局

7.4.1 布局指南

在 TPS7B4254-Q1 器件布局中，请将输入和输出电容器尽量靠近器件，如 [功能方框图](#) 中所示。为了提高热性能，TI 建议在器件周围使用一些过孔。尽量减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，以最大化性能并确保稳定性。将每个电容器尽量靠近器件，并与稳压器位于 PCB 同一侧。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。TI 强烈不建议在输出电容器与 OUT 引脚之间的路径上使用过孔和长布线，因为过孔会对系统性能产生负面影响，甚至导致系统不稳定。

7.4.2 布局示例

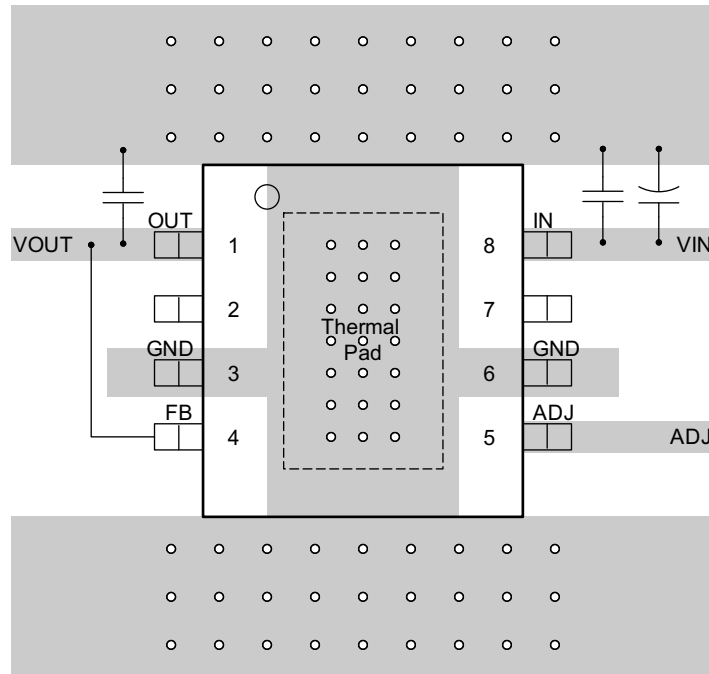


图 7-4. TPS7B4254-Q1 布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品	V _{OUT}
TPS7B4254QyyyRQ1	<p>Q 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。</p> <p>yyy 为封装标识符 (DDA = HSOIC)。</p> <p>Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。</p> <p>该器件可能配备多个引线框出货。卷带封装标签提供 ASO 信息，以区分所使用的引线框。ASO：FMX 标签表示来自新制造工厂和 ASO 的物料；ASE 标签表示来自旧制造工厂的物料。</p>

8.1.2 开发支持

有关 TPS7B4254-Q1 PSpice 瞬态模型，请访问。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI)，[TPS7B4254-Q1 功能安全 FIT 率、FMD 和引脚 FMA](#)，数据表

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2016) to Revision C (November 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

• 通篇将 SO 更改为 HSOIC	1
• 更改了 <i>特性</i> 部分中的汽车特定要点.....	1
• 更新了 <i>热性能信息表</i> ，以包含来自多个制造工厂（ASE、FMX）的 DDA 封装的热性能信息.....	5
• 更新了器件命名规则部分，增加了一个说明，用于区分来自不同组装厂的 DDA 物料.....	17
• 将机械图纸从 DDA0008J 更新为了 DDA0008J-C02.....	19

Changes from Revision A (May 2016) to Revision B (June 2016)


Page

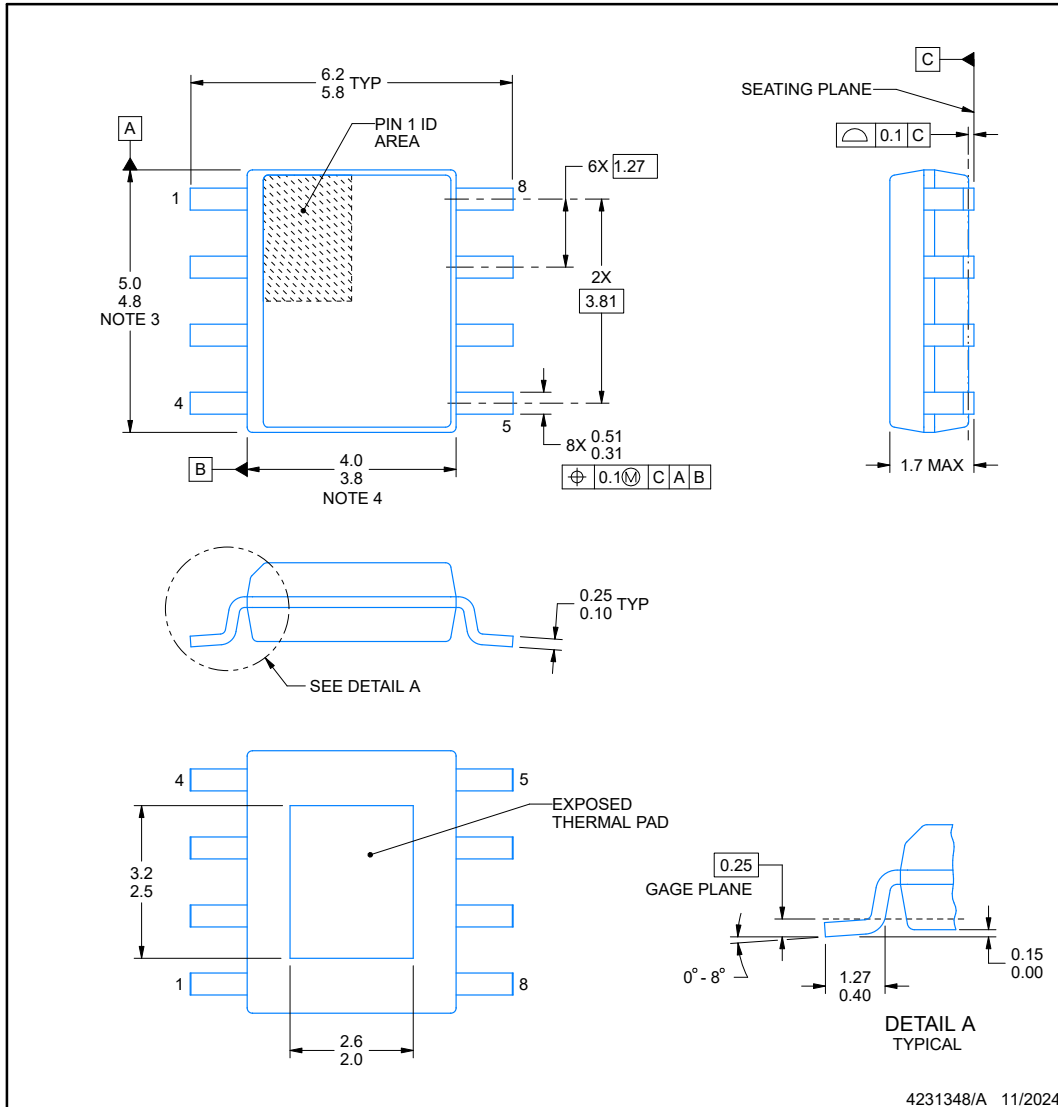
• 更改了 <i>建议运行条件</i> 表中 V_{ADJ} 、 V_{FB} 和 V_{OUT} 的最小值.....	4
---	---

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

10.1 机械数据

DDA0008J-C02  **PACKAGE OUTLINE**
PowerPAD™ SOIC - 1.7 mm max height
PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

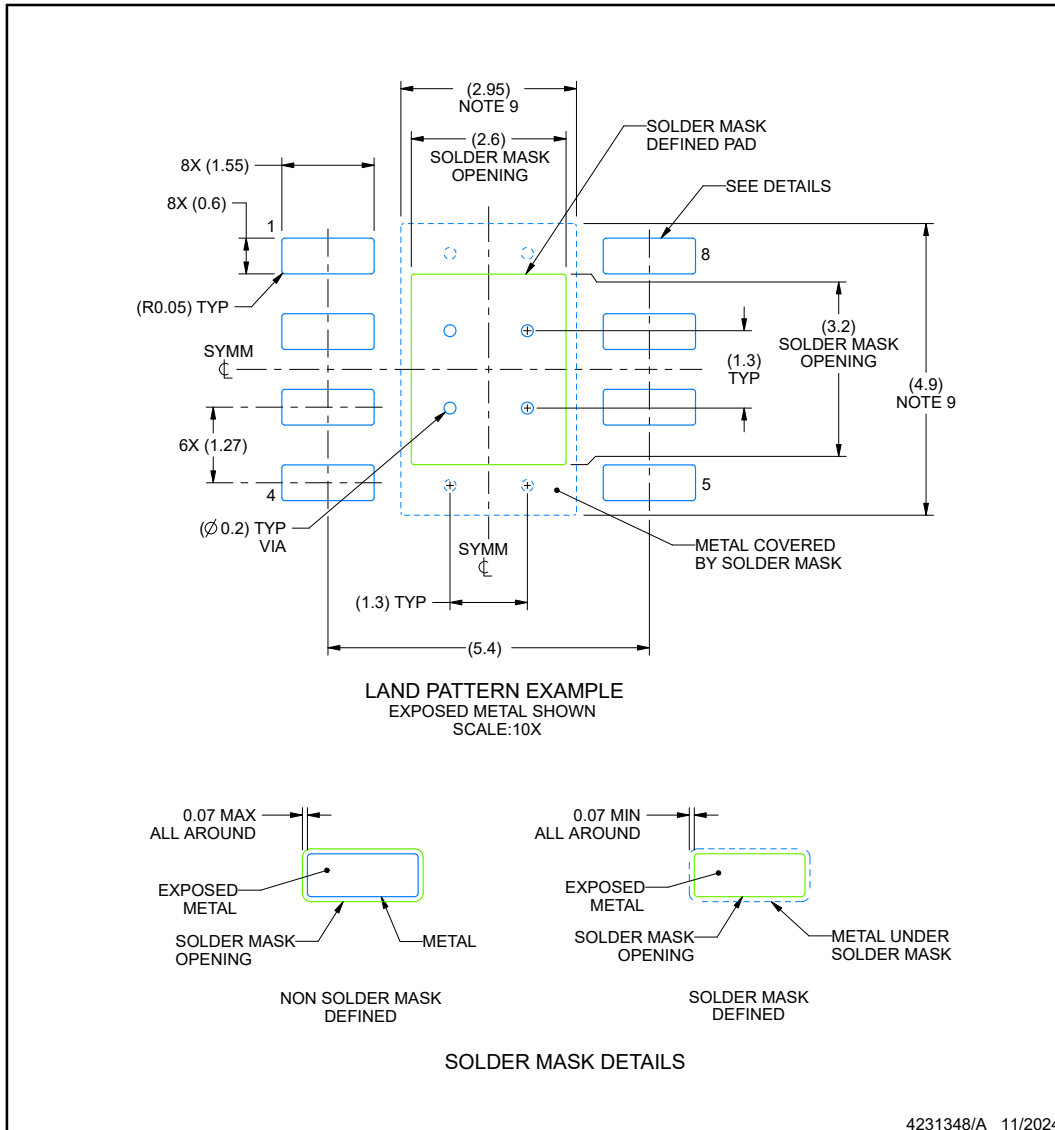
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

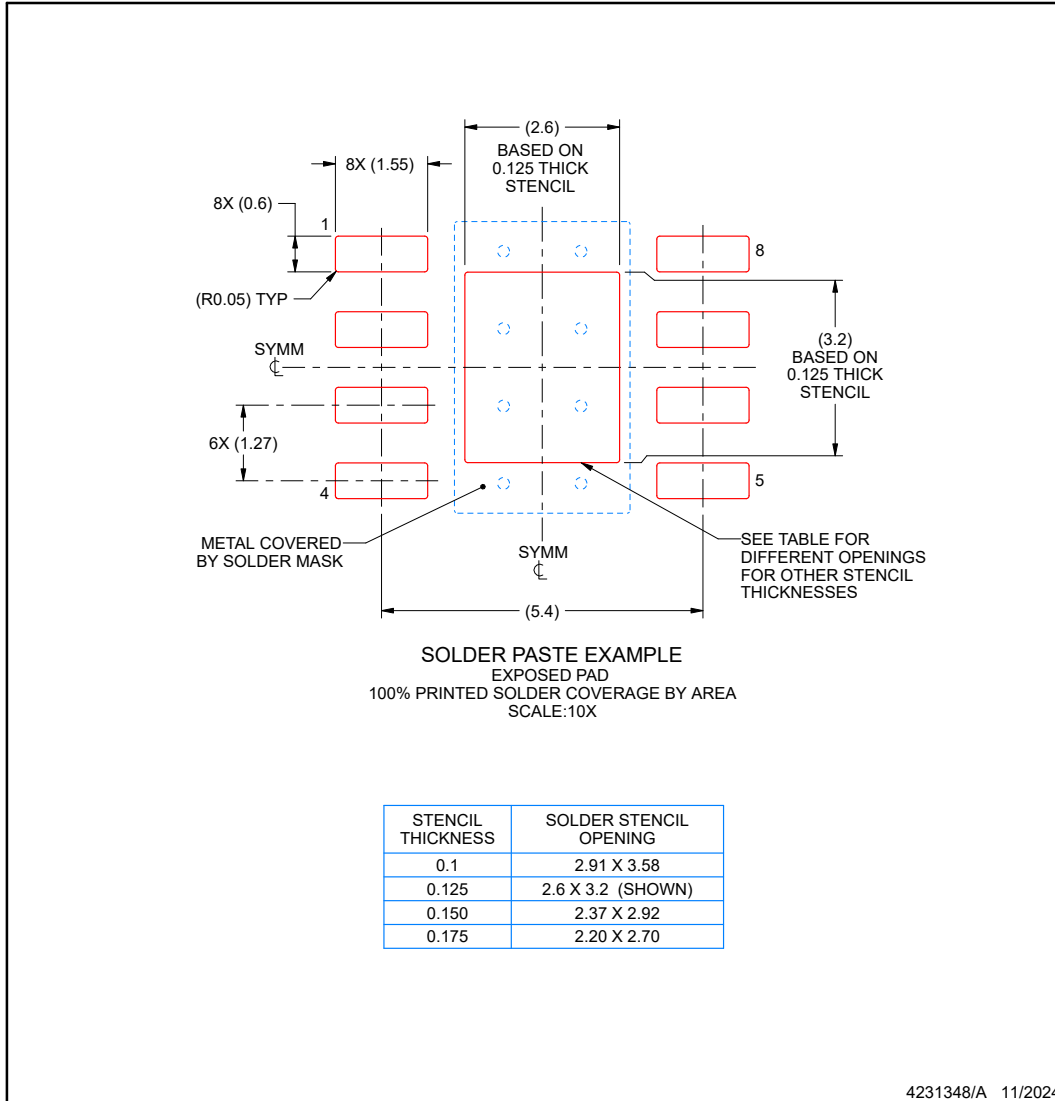
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B4254QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	4254
TPS7B4254QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4254

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

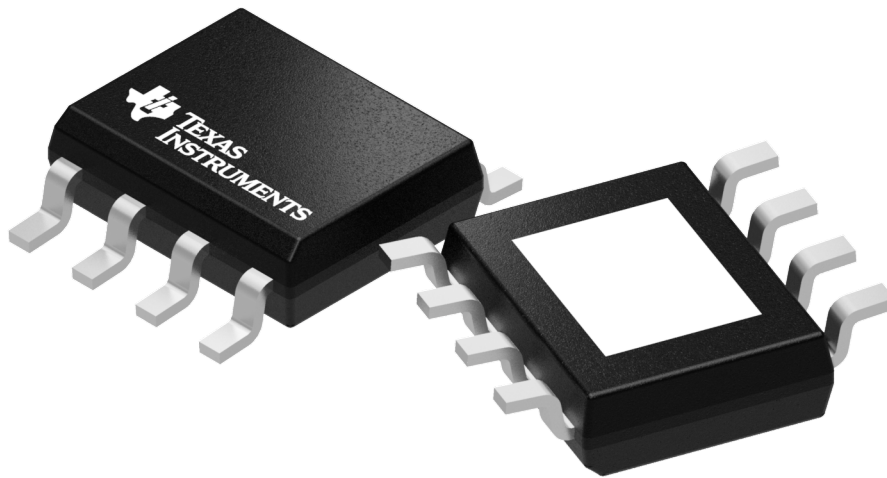

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4254QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

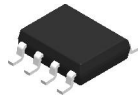

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4254QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

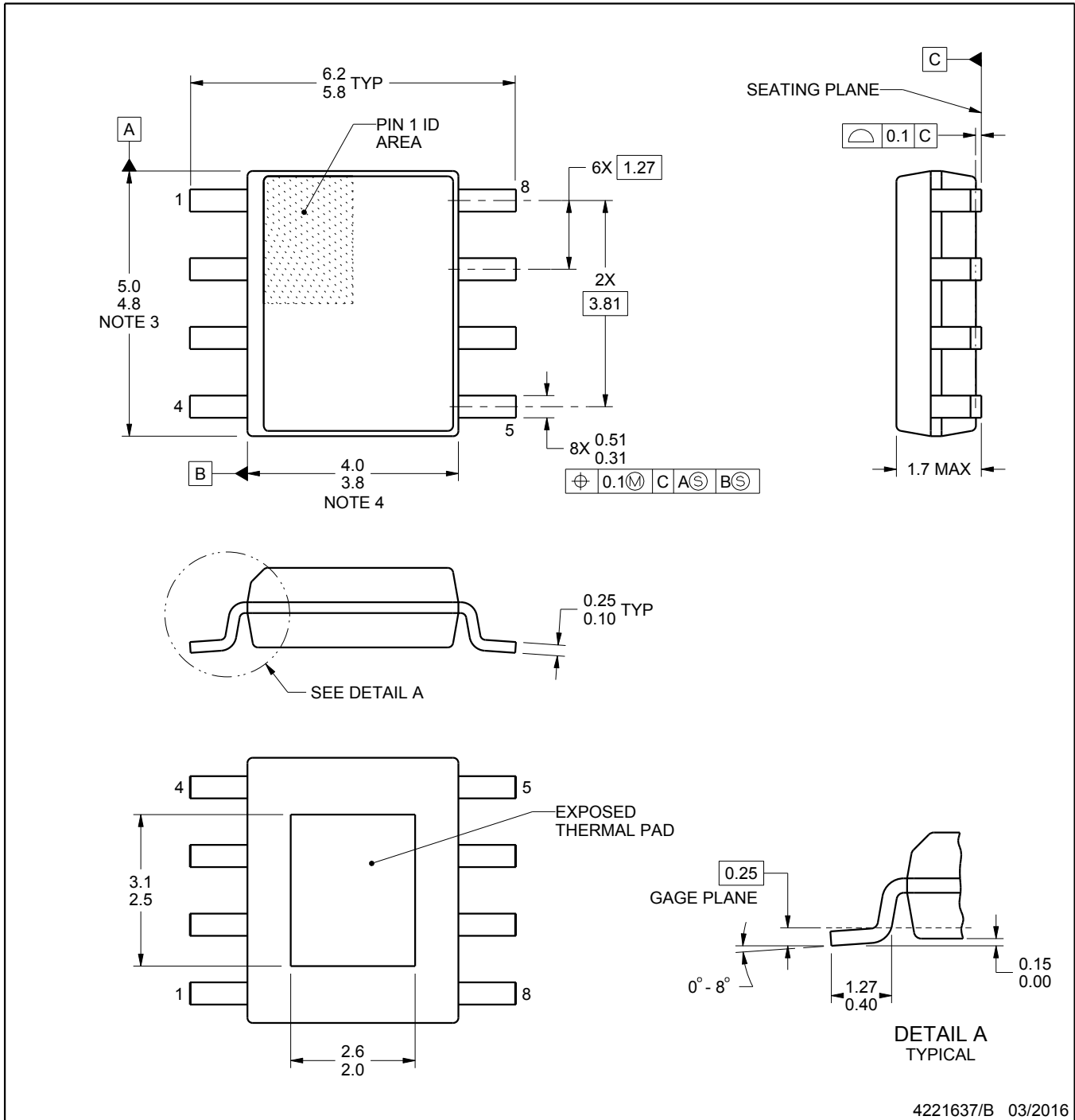
DDA0008J



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

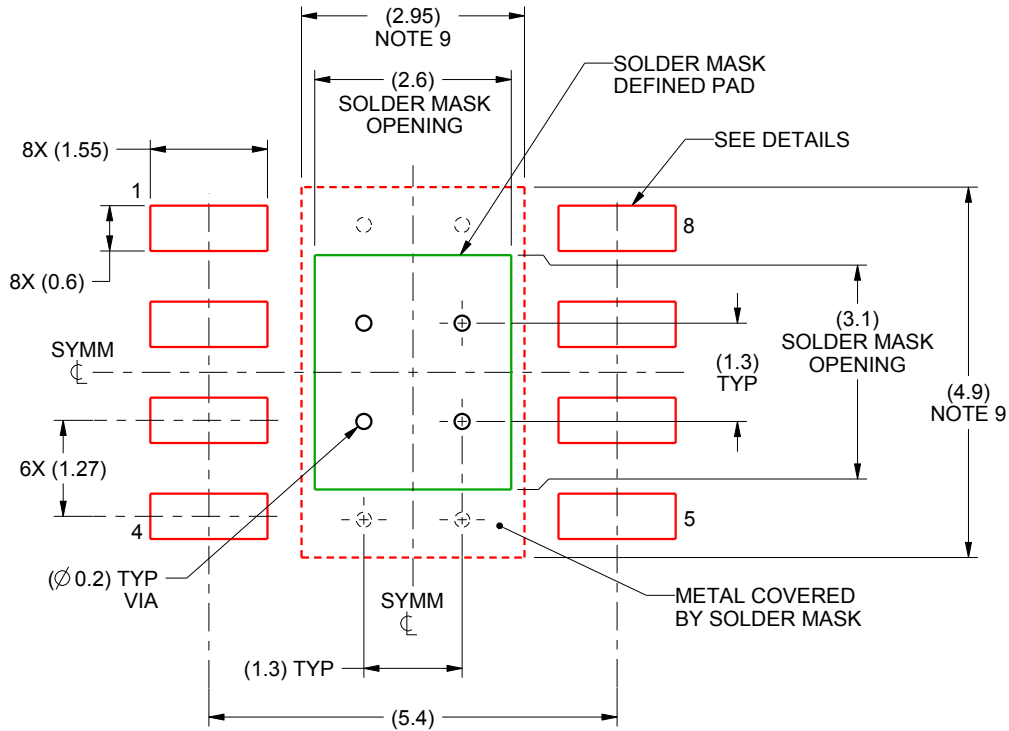
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

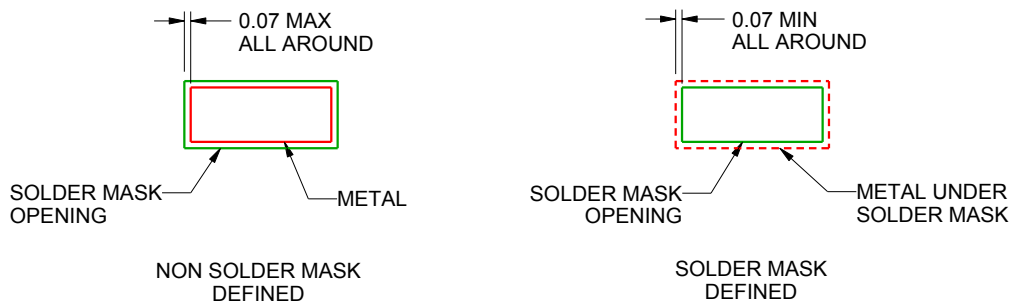
DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

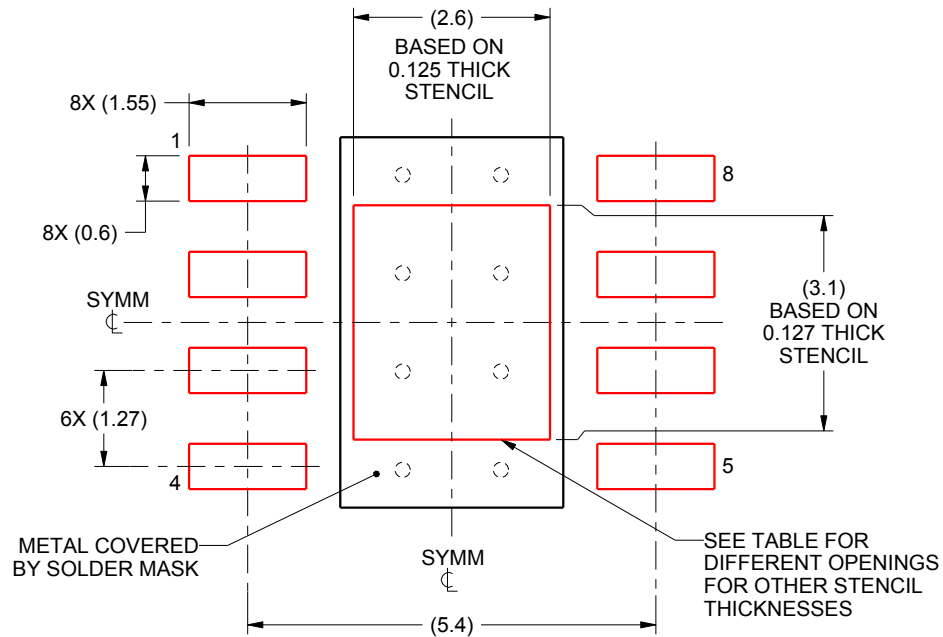
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

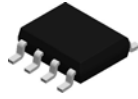
STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

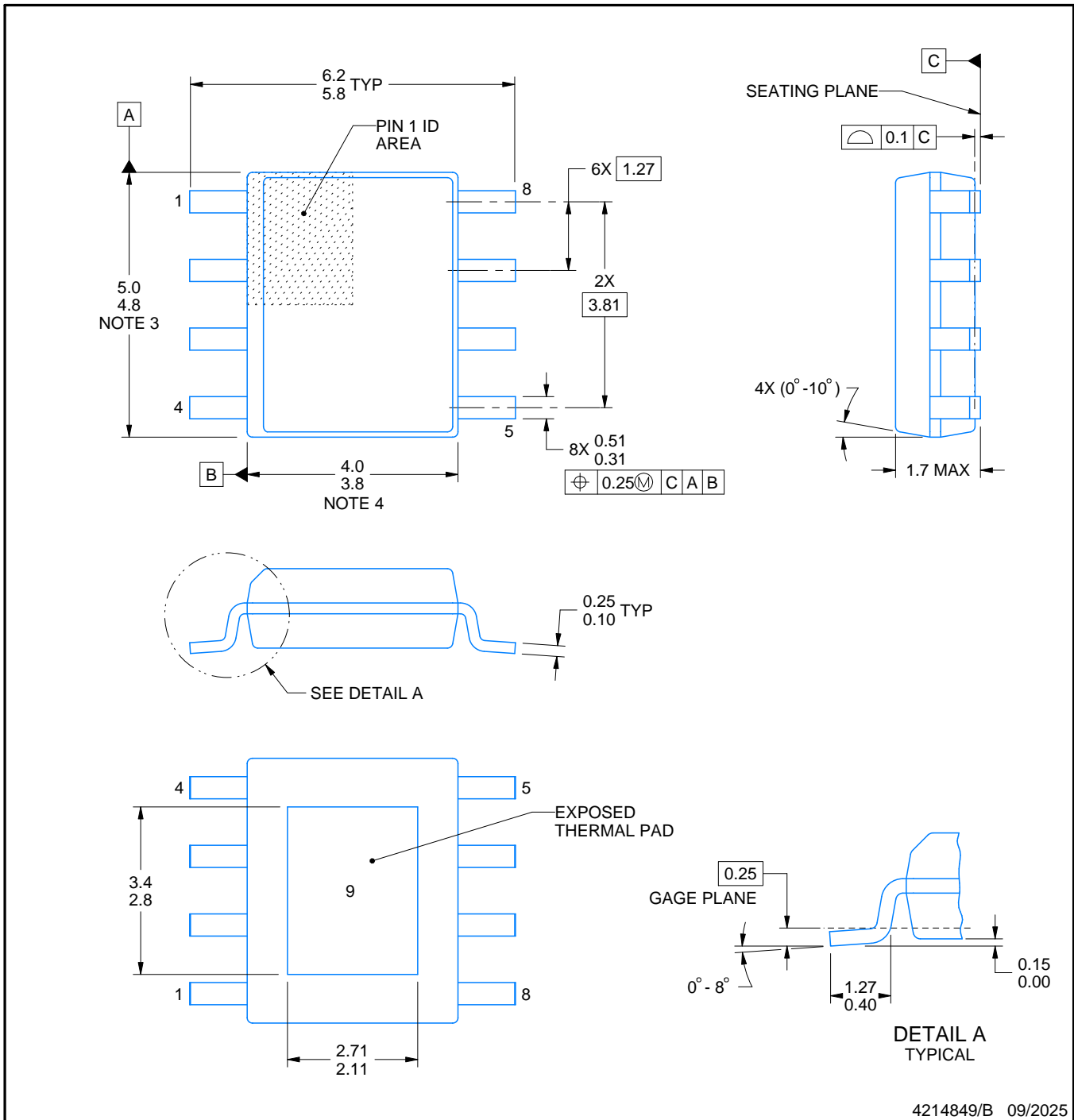
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

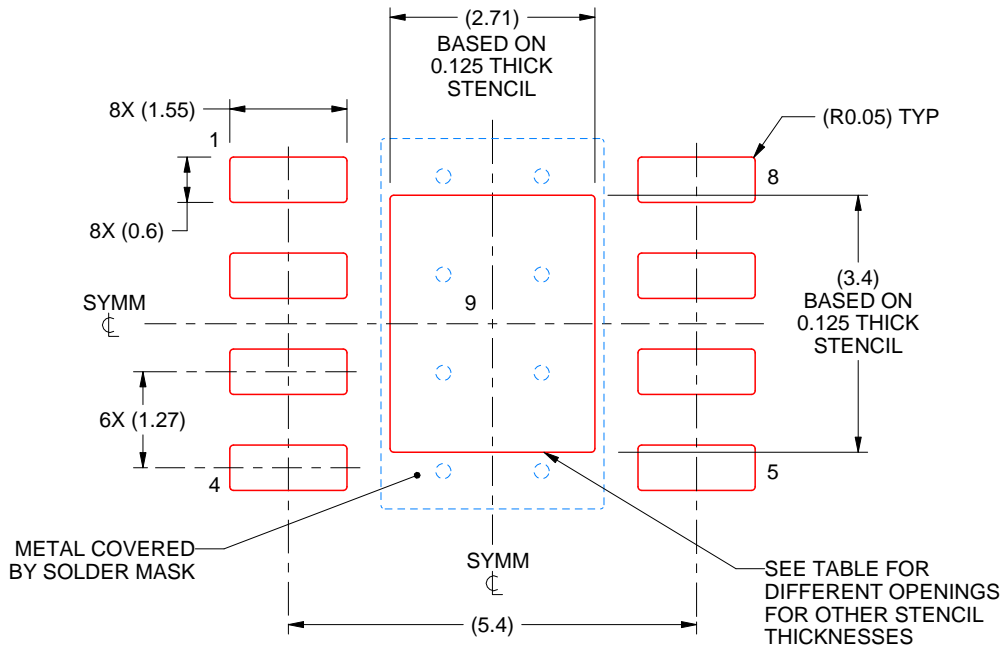
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月