TPS7H3301-SP 具有内置 VTTREF 缓冲器的灌电流和拉电流耐辐射 3A DDR 终端稳压器

1 特性

- 5962R14228 (1)：
  - 耐辐射加固保障 (RHA) 符合高达 100krad(Si) 总电离剂量 (TID) 标准
  - 单粒子锁定 (SEL)、单粒子栅穿 (SEGR)、单粒子烧毁 (SEB) 对于 LET 的抗扰度 = 70MeV-cm^2/mg(2)
  - 单粒子瞬变 (SET)、单粒子功能中断 (SEFI) 和单粒子翻转 (SEU) 特征值为 70MeV-cm^2/mg(2)
- 支持 DDR、DDR2、DDR3、DDR3L 和 DDR4 端接应用
- 输入电压：支持 2.5V 和 3.3V 电源轨(3)
- 低至 0.9V 的独立低压输入 (VLDOIN)，可提高电源效率(3)
- 3A 灌电流和拉电流终端稳压器包含压降补偿功能
- 可实现电源时序的使能输入和电源正常输出
- VTT 终端稳压器
  - 输出电压范围：0.5 至 1.75V
  - 3A 灌电流和拉电流
- 具有检测输入的精密集成分压器网络
- 遥感 (VTTSNS)
- VTTREF 缓冲基准
  - 相对于 VDDQSNS (±3mA) 的精度为 49% 至 51%
  - ±10mA 灌电流和拉电流
- 集成了欠压锁定 (UVLO) 和过流限制 (OCL) 功能

2 应用

- 命令和数据处理 (C&DH)
- 光学成像有效载荷
- 雷达成像有效载荷

3 说明

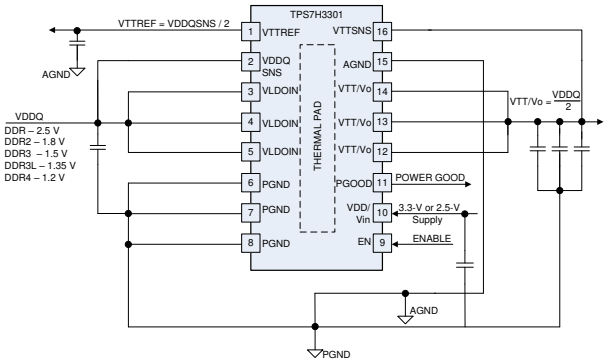
TPS7H3301-SP 是一款具有内置 VTTREF 缓冲器的 TID 和 SEE 耐辐射双倍数据速率 (DDR) 3A 终端稳压器。该稳压器专门设计用于为单板计算机、固态记录器和有效载荷处理等航天 DDR 端接应用提供完整的紧凑型低噪声解决方案。

TPS7H3301-SP 支持使用 DDR、DDR2、DDR3 和 DDR4 的 DDR VTT 端接应用。凭借快速瞬态响应，TPS7H3301-SP VTT 稳压器可在读取/写入状态下提供非常稳定的电源。在瞬变期间，VTTREF 电源的快速跟踪功能可以更大限度地减少 VTT/Vo 和 VTTREF 之间的任何失调电压。为了实现简单的电源时序，TPS7H3301-SP 中集成了使能输入和电源正常输出 (PGOOD)。PGOOD 输出是开漏输出，因此可在所有电源进入稳压状态时将其与多个开漏输出相连来进行监控。使能信号还可用于在挂起至 RAM (S3) 断电模式期间使 VTT/Vo 放电。

器件信息 (1)

器件型号(3)	等级	封装
5962R1422801VXC(2)	耐辐射等级 RHA 100krad(Si)	16 引脚 CFP 9.60mm × 11.00mm 重量：1.55g(5)
5962-1422801VXC(2)	耐辐射等级 QMLV	
TPS7H3301HKR/EM	工程模块(4)	
TPS7H3301EVM-CVAL	陶瓷评估板	EVM

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 有关详细信息，请参阅*辐射报告*。
(3) 适用于 DDR2、DDR3、DDR3L 和 DDR4 对于 DDR，标称输入电压 = 3.3V。对于 DDR1，V_{IN} 为 2.95 至 3.5V；对于所有 DDR，$V_{LDOIN} > V_{TT}/V_O$。
对于 DDR2 3A 负载条件，V_{IN} 为 2.45 至 3.5V。
V_{IN} 余量：$V_{IN_MIN} \geq V_{TT}/V_O + 1.5V$。
(4) 这些器件仅适用于工程评估。按非合规性流程对其进行了处理（即未进行老化处理等操作）并且仅在 25°C 的额定温度下进行了测试。这些器件不适用于鉴定、量产、辐射测试或飞行。也不保证这些器件在 MIL 规定的 –55°C 至 125°C 完整温度范围内或运行寿命中的性能。
(5) 重量误差在 ±10% 以内。



标准 DDR 应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 6
6.4 热性能信息 6
6.5 电气特性 7
6.6 典型特性 9
7 详细说明 12
7.1 概述 12
7.2 功能方框图 12
7.3 特性说明 12
7.4 器件功能模式 14
8 应用和实施 15
8.1 应用信息 15
8.2 典型应用 15
9 布局 24
9.1 布局指南 24
9.2 布局示例 24
9.3 散热注意事项 24
10 器件和文档支持 26
10.1 器件支持 26
10.2 文档支持 26
10.3 接收文档更新通知 26
10.4 支持资源 26
10.5 商标 26
10.6 静电放电警告 26
10.7 术语表 26

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2020) to Revision C (September 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 在 -55ºC 至 125ºC 的环境条件下对电气特性进行了测试，将先前对 T_J 的引用更新为 T_A	7
• 更改了 VTTSNS 测试条件以显示 -5mA 测试条件并更新了限制；添加了 5mA 和 -1A 至 1A 下的 VTTSNS 测试条件和限制	7
• 将规格名称 VLDOIN-VTT/V_O 澄清为 V_{DO}，删除了注释 1	7
• 在整个温度范围内实现了 V_{DO} (VLDOIN-VTT/V_O) 的生产测试覆盖范围；对于以前附加了注释 2 的测试条件，删除了注释 2	7
• 更新了 I_{VOSCRL} 限制以及 I_{VOSRCL} 和 I_{VOSNCL} 的测试条件	7
• 在整个温度范围内实现了 R_{DSCHRG} 的生产测试覆盖范围	7
• 阐明了 $V_{TH(PG)}$ 的测试条件	7
• 从“电气特性”表中删除了 VDDQSNS 电压范围，因为“建议运行条件”表中包含该电压范围	7
• 将 V_{VTTREF} 名称更新为 $V_{VTTREF(load_reg)}$ 并添加了新的精度规格 $V_{VTTREFaccuracy}$	7
• 阐明了 $I_{VTTREFSRCL}$ 和 $I_{VTTREFSNCCL}$ 的测试条件	7
• 在整个温度范围内对 $V_{VINUVVIN}$ 进行了测试	7
• 在整个温度范围内对 I_{ENLEAK} 进行了测试	7
• 删除了 T_{SON} 的注释，注释对于典型规格是多余的	7
• 修订了对 100kΩ 上拉电阻器的引用	13
• 更新了 VDD/V_{IN} 和 VLDOIN 的功率耗散计算	24

Changes from Revision A (June 2016) to Revision B (June 2020)	Page
• 更改了 DLA 图编号	1
• 更改了辐射性能特性摘要	1
• 更改了支持的 DDR 终端应用的特性说明	1
• 更改了 VTTREF 精度特性	1

Copyright © 2024 Texas Instruments Incorporated

- 更改了支持的 DDR 应用的说明 1
- 向“器件信息”表中添加了封装重量 1
- 通篇更改了引脚名称引用，以保持一致性 4
- 添加了其他热指标 6
- 向*电气特性*表中添加了 T_J 温度范围说明 7
- 更改了 VTT/V_O 的模糊容差规格，明确指定了最小值/最大值范围 7
- 将 UVLO 阈值迟滞更改为其自己的表条目 7
- 更改了 VTTREF 图的命名以保持一致性 9
- 向电容器说明中添加了陶瓷以满足稳定性要求 13
- 为输出电流限值添加了正确的交叉参考 13
- 更改了措辞，以使 V_{IN}/VDD 更加清晰 16
- 更改了注释以反映总 ESR 16
- JEDEC 规格参考 18
- 更改为改进的瞬态图和说明 18
- 对于布局散热过孔尺寸，添加了“或更小” 24
- 更改为改进的建议布局图 24

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

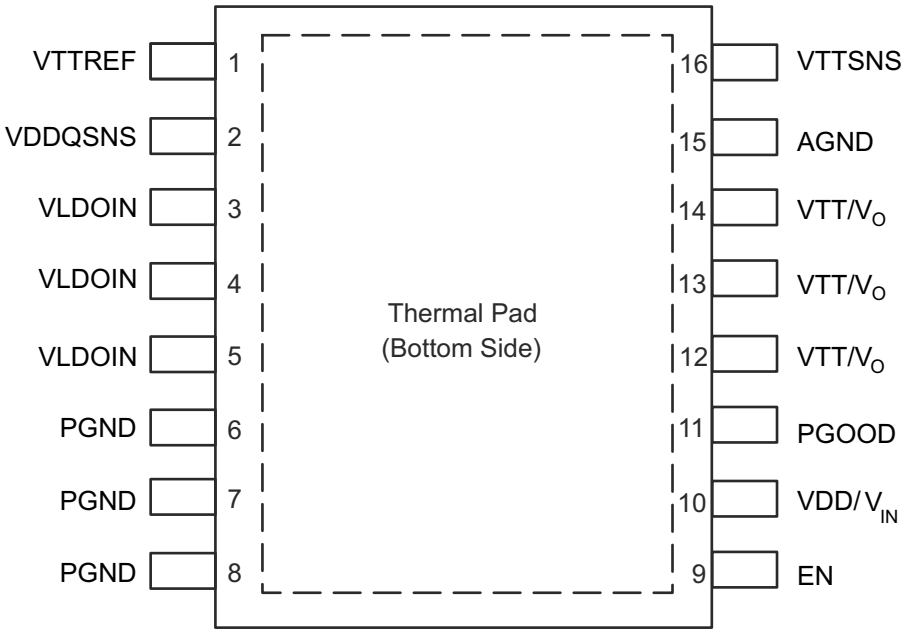


图 5-1. HKR 封装，16 引脚 CFP（顶视图）

表 5-1. 引脚功能

引脚		I/O	说明
名称	编号		
VTTREF	1	O	基准输出。通过 0.1μF 陶瓷电容器连接到 GND。
VDDQSNS	2	I	VDDQ 检测输入。VTTREF 的基准输入。
VLDOIN	3	I	LDO 的电源电压。连接到 VDDQ 电压或备用电压源。
	4		
	5		
PGND	6	—	电源接地。将 VTT/V_O LDO 的输出连接到输出电容器的负极引脚。
	7		
	8		
EN	9	I	使能引脚。将此引脚驱动为逻辑高电平可启用器件；将此引脚驱动为逻辑低电平可禁用器件。
VDD/V_{IN}	10	I	2.5V 或 3.3V 电源。需要一个容值介于 1μF 和 10μF 之间的陶瓷去耦电容器。
PGOOD	11	O	PGOOD 输出引脚。PGOOD 引脚是一个开漏输出，用于指示输出电压处于规格范围内。
VTT/V_O	12	O	VTT/V_O LDO 的电源输出。
	13		
	14		
AGND	15	—	信号地。连接到输出电容器的负极引脚。(1)
VTTSNS	16	I	VTT/V_O 的电压检测。连接到输出电容器或负载的正极引脚。

(1) 散热焊盘和封装盖在内部接地。

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入电压(2)	VDD/V_{IN}、VLDOIN、VTTSNS、VDDQSNS	-0.36	3.6	V
	EN	-0.3	3.6	
	PGND 至 AGND	-0.3	0.3	
输出电压(2)	VTT/V_O、VTTREF	-0.3	3.6	V
	PGOOD	-0.3	3.6	
T_J 工作结温		-55	150	°C
T_{stg} 贮存温度		-55	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些仅仅是应力等级，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，否则所有电压值都以网络接地 (AGND) 引脚为基准。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±4000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2024 Texas Instruments Incorporated

6.3 建议运行条件

除非另有说明，否则所有电压值都以网络接地 (AGND) 引脚为基准。

		最小值	标称值	最大值	单位
电源电压	VDD/V_{IN}	2.375		3.5	V
电压	VLDOIN	0.9		3.5	V
	EN、VTTSNS	-0.1		3.5	
	VDDQSNS	1		3.5	
	VTT/V_O、PGOOD	-0.1		3.5	
	VTTREF	-0.1		1.8	
	PGND	-0.1		0.1	
T_J	工作结温	-55		125	°C

6.4 热性能信息

热指标(2) (1) (3)		TPS7H3301-SP	单位
		HKR (CFP)	
		16 引脚	
$R_{\theta JA}$	结至环境热阻	24.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	5.8	°C/W
$R_{\theta JB}$	结至电路板热阻	8.4	°C/W
ψ_{JT}	结至顶部特征参数	1.6	°C/W
ψ_{JB}	结至电路板特征参数	8.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.54	°C/W

(1) 任何时候都不要使封装主体温度超过 265°C，否则可能会导致永久性损坏。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。
(3) 过流保护可以限制最大功率耗散。

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性

在整个温度范围内，T_A = –55°C 至 125°，VDD/V_{IN} = 3.3V 和 2.375V（VDD/V_{IN} > VLDOIN 时），VLDOIN = 1.8V，VDDQSNS = 1.8V，VTTSNS = 0.9V，EN = VDD/V_{IN}，*标准 DDR 应用*（除非另有说明）。除非另有说明，否则所有电压值都以网络接地 (AGND) 引脚为基准。

参数		测试条件		最小值	典型值	最大值	单位
电源电流							
$I_{VDD/Vin}$	电源电流	EN = 3.3V，空载			18	30	mA
$I_{VDD(SDN)}$	关断电流	EN = 0V，VDDQSNS = 0，空载			3	5	mA
		EN = 0V，VDDQSNS > 0.78V，空载			6.5	8	
I_{VLDOIN}	VLDOIN 的电源电流	EN = 3.3V，空载			575	1200	µA
$I_{VLDOIN(SDN)}$	VLDOIN 的关断电流	EN = 0V，空载			50	100	µA
输入电流							
$I_{VDDQSNS}$	输入电流，VDDQSNS	EN = 3.3V			4	6	µA
V_{TT}/V_O 输出							
VTTSNS	输出直流电压，V_{TT}/V_O	I_{VTT} = 5mA	VDDQSNS = VLDOIN 2.5V (DDR1)	1.219	1.25	1.276	V
			VDDQSNS = VLDOIN 1.8V (DDR2)	0.889	0.9	0.921	
			VDDQSNS = VLDOIN 1.5V (DDR3)	0.743	0.75	0.769	
			VDDQSNS = VLDOIN 1.35V (DDR3L)	0.668	0.67	0.691	
			VDDQSNS = VLDOIN 1.2V (DDR4)	0.593	0.6	0.617	
		I_{VTT} = -5mA	VDDQSNS = VLDOIN 2.5V (DDR1)	1.22	1.25	1.272	V
			VDDQSNS = VLDOIN 1.8V (DDR2)	0.89	0.9	0.923	
			VDDQSNS = VLDOIN 1.5V (DDR3)	0.744	0.75	0.767	
			VDDQSNS = VLDOIN 1.35V (DDR3L)	0.669	0.675	0.691	
			VDDQSNS = VLDOIN 1.2V (DDR4)	0.594	0.6	0.616	
		-1A ≤ I_{VTT} ≤ 1A	VDDQSNS = VLDOIN 2.5V (DDR1)	1.219	1.26	1.301	V
			VDDQSNS = VLDOIN 1.8V (DDR2)	0.879	0.91	0.933	
			VDDQSNS = VLDOIN 1.5V (DDR3)	0.734	0.76	0.781	
			VDDQSNS = VLDOIN 1.35V (DDR3L)	0.655	0.69	0.708	
			VDDQSNS = VLDOIN 1.2V (DDR4)	0.58	0.6	0.633	
V_{DO}	压降电压，V_{DO} = VLDOIN - VTTREF。V_{DO}（VTTREF - VTT = 50mV 时记录）	VDDQSNS = 2.5V (DDR1)	I_{VTT} = 0.5A		50	230	mV
			I_{VTT} = 1A		101	300	
			I_{VTT} = 2A		209	400	
		VDDQSNS = 1.8V (DDR2)	I_{VTT} = 0.5A		54	230	
			I_{VTT} = 1A		108	300	
			I_{VTT} = 2A		228	400	
		VDDQSNS = 1.5V (DDR3)	I_{VTT} = 0.5A		52	230	
			I_{VTT} = 1A		104	300	
			I_{VTT} = 2A		216	400	
		VDDQSNS = 1.35V (DDR3)	I_{VTT} = 0.5A		50	230	
			I_{VTT} = 1A		102	300	
			I_{VTT} = 2A		212	400	
		VDDQSNS = 1.2V (DDR4)	I_{VTT} = 0.5A		50	230	
			I_{VTT} = 1A		102	300	
			I_{VTT} = 2A		210	400	

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性（续）

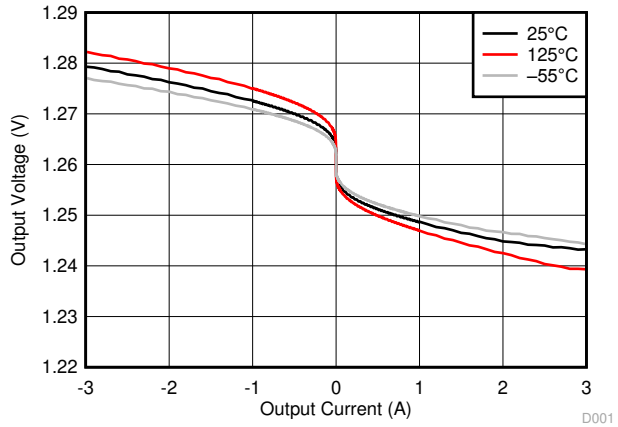
在整个温度范围内，T_A = –55°C 至 125°，VDD/V_{IN} = 3.3V 和 2.375V（VDD/V_{IN} > VLDOIN 时），VLDOIN = 1.8V，VDDQSNS = 1.8V，VTTSNS = 0.9V，EN = VDD/V_{IN}，*标准 DDR 应用*（除非另有说明）。除非另有说明，否则所有电压值都以网络接地 (AGND) 引脚为基准。

参数		测试条件		最小值	典型值	最大值	单位
$V_{TT}/V_{O(TOL)}$	输出电压相对于 VTTREF 的容差	$I_{VTT/VO}$ = –3A，在整个 VDD/V_{IN} 电压范围内		12	25	34	mV
		$I_{VTT/VO}$ = 3A，在整个 VDD/V_{IN} 电压范围内		-34	-25	-12	
I_{VOSRCL}	VTT/V_O 拉电流限值	将输出从 0A 斜升至 10A，当 VTT 达到最低值时记录电流		3.25		8	A
I_{VOSNCL}	VTT/V_O/VTT 灌电流限值	将输出从 0A 斜降至 -10A，当 VTT 达到最高值时记录电流		3.5		10	A
R_{DSCHRG}	放电阻抗	VDDQSNS = 0V，VTT/V_O = 0.3V，EN = 0V			18	25	Ω
电源正常比较器							
$V_{TH(PG)}$	VTT/V_O PGOOD 阈值	相对于 V_{VTTREF} 的 PGOOD 窗口阈值下限（下降）		-23.5%	-20%	-17.5%	
		相对于 V_{VTTREF} 的 PGOOD 窗口阈值上限（上升）		17.5%	20%	23.5%	
		PGOOD 迟滞			5%		
$T_{PGSTUPDLY}$	PGOOD 启动延迟	启动上升沿，VTTSNS 处于 V_{VTTREF} 的 15% 以内			2		ms
$V_{PGOODLOW}$	输出低电压	I_{SINK} = 4mA				0.4	V
$T_{PBADDLY}$	PGOOD 不良延迟	VTTSNS 超出 ±20% PGOOD 窗口			1		µs
$I_{PGOODLK}$	漏电流	VTTSNS = VTTREF（PGOOD 高阻抗），PGOOD = VDD/$_{IN}$ + 0.2V				1	µA
VDDQSNS 和 VTTREF 输出							
$V_{VDDQSNS_UVLO}$	VDDQSNS 欠压锁定	V_{DDQSNS} 上升			780		mV
$V_{VDDQSNSUVHYS}$	VDDQSNS 欠压锁定迟滞				20		mV
V_{VTTREF}	VTTREF 电压				VDDQSNS/2		V
$VTTREF_{(load_reg)}$	负载调整率 ΔVTTREF	–10mA < I_{VTTREF} < 10mA	VDDQSNS = 2.5V	-15		15	mV
			VDDQSNS = 1.8V	-15		15	
			VDDQSNS = 1.5V	-15		15	
			VDDQSNS = 1.35V	-15		15	
			VDDQSNS = 1.2V	-15		15	
$VTTREF_{accuracy}$	VTTREF 电压相对于 VDDQSNS 的容差	–10mA < I_{VTTREF} < 10mA	VDDQSNS = 2.5V	49%		51%	
			VDDQSNS = 1.8V	49%		51%	
			VDDQSNS = 1.5V	49%		51.25%	
			VDDQSNS = 1.35V	49%		51.5%	
			VDDQSNS = 1.2V	49%		51.5%	
		–3mA < I_{VTTREF} < 3mA	VDDQSNS = 1.5V	49%		51%	
			VDDQSNS = 1.35V	49%		51%	
			VDDQSNS = 1.2V	49%		51%	
$I_{VTTREFSRCL}$	V_{VTTREF} 拉电流限值	拉电流从 0A 斜升至 55mA。VTTREF 下降至其原始值的一半时找到。		10	40		mA
$I_{VTTREFSNCCL}$	V_{VTTREF} 灌电流限值	灌电流从 0A 斜升至 16.5mA。VTTREF 达到峰值时找到。		12	15		mA
$I_{VTTREFDIS}$	VTTREF 放电电流	EN = 0V，VDDQSNS = 0V，VTTREF = 0.5V			1.3		mA
UVLO/EN 逻辑阈值							
$V_{VINUVVIN}$	UVLO 阈值	唤醒			2.18	2.25	V
$V_{VINUVVINHYS}$	UVLO 阈值迟滞	迟滞			50		mV
V_{ENIH}	高电平输入电压	启用		1.7			V
V_{ENIL}	低电平输入电压	启用				0.3	V
V_{ENYST}	迟滞电压	启用			0.5		V
I_{ENLEAK}	逻辑输入漏电流	EN		-1		1	µA
热关断							
T_{SON}	热关断阈值	关断温度			210		°C
		迟滞			12		

Copyright © 2024 Texas Instruments Incorporated

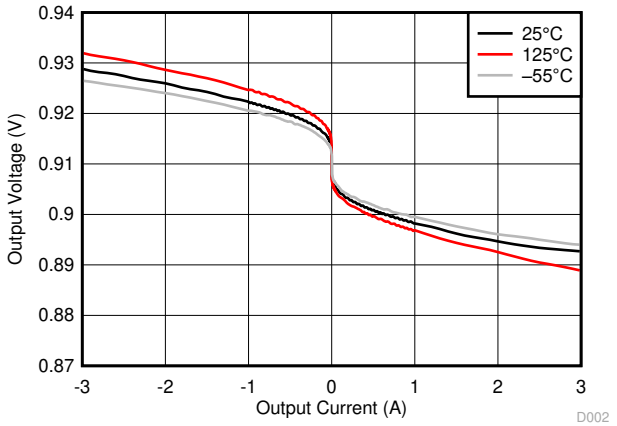
6.6 典型特性

对于图 6-1 至图 6-10，VTT 输出上使用（3 × 150µF T530D157M010ATE005 钽 + 4 × 4.7µF MLCC）或等效电容/ESR



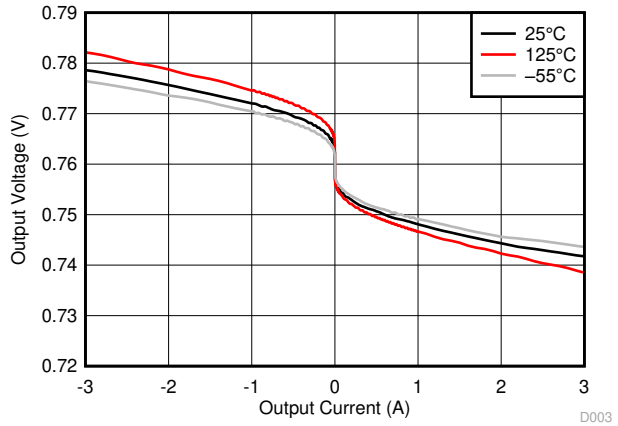
VDD/V_{IN} = 3.3V　VDDQSNS = 2.5V

图 6-1. 输出电压与输出电流间的关系



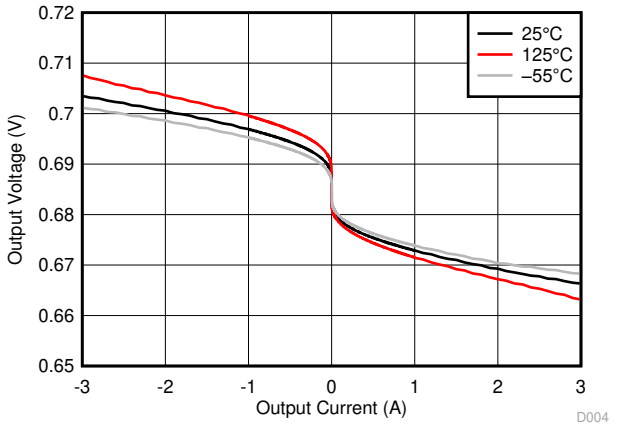
VDD/V_{IN} = 3.3V　VDDQSNS = 1.8V

图 6-2. 输出电压与输出电流间的关系



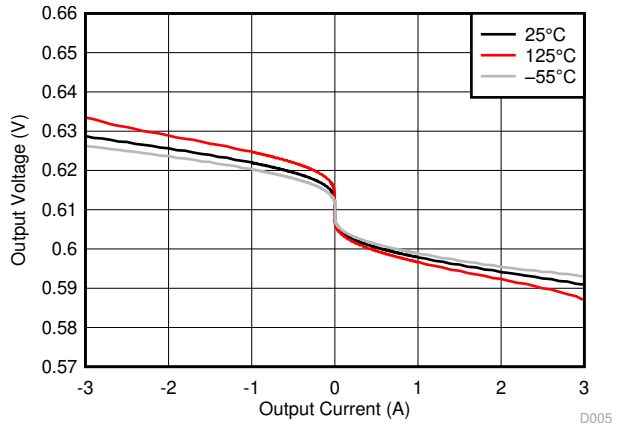
VDD/V_{IN} = 3.3V　VDDQSNS = 1.5V

图 6-3. 输出电压与输出电流间的关系



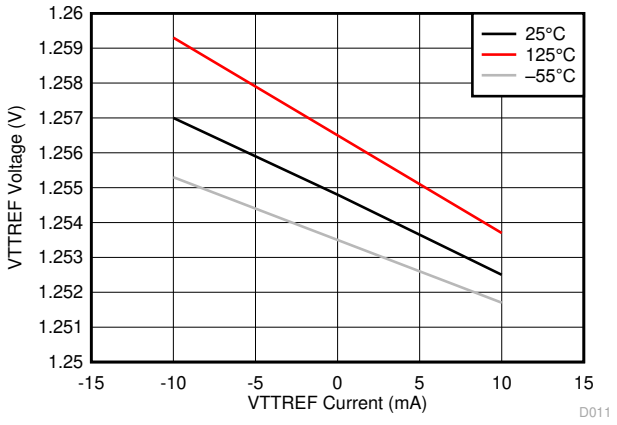
VDD/V_{IN} = 3.3V　VDDQSNS = 1.35V

图 6-4. 输出电压与输出电流间的关系



VDD/V_{IN} = 3.3V　VDDQSNS = 1.2V

图 6-5. 输出电压与输出电流间的关系



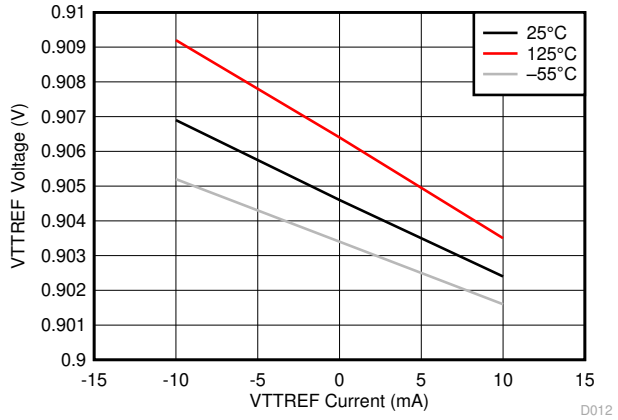
VDDQSNS = 2.5V

图 6-6. VTTREF 电压与 VTTREF 电流间的关系

Copyright © 2024 Texas Instruments Incorporated

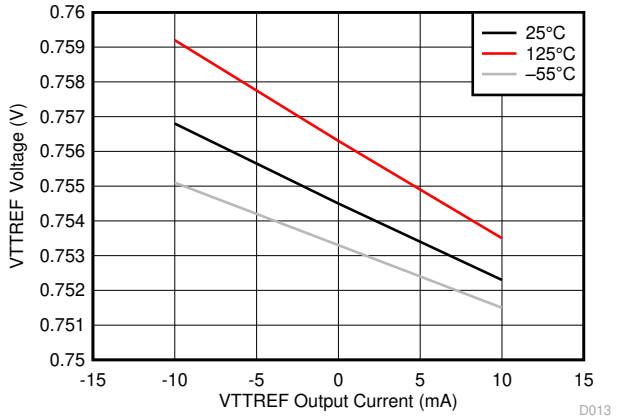
6.6 典型特性（续）

对于图 6-1 至图 6-10，VTT 输出上使用（3 × 150µF T530D157M010ATE005 钽 + 4 × 4.7µF MLCC）或等效电容/ESR



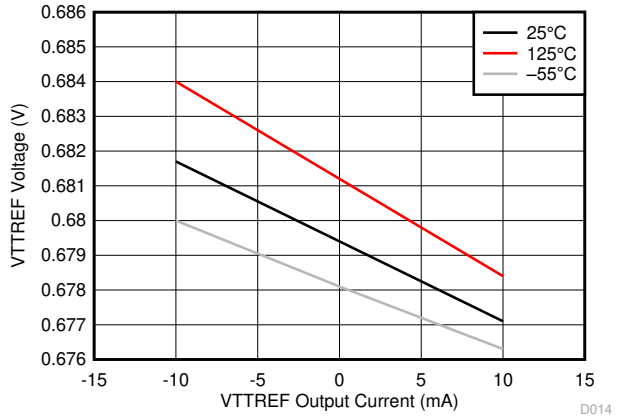
VDDQSNS = 1.8V

图 6-7. VTTREF 电压与 VTTREF 电流间的关系



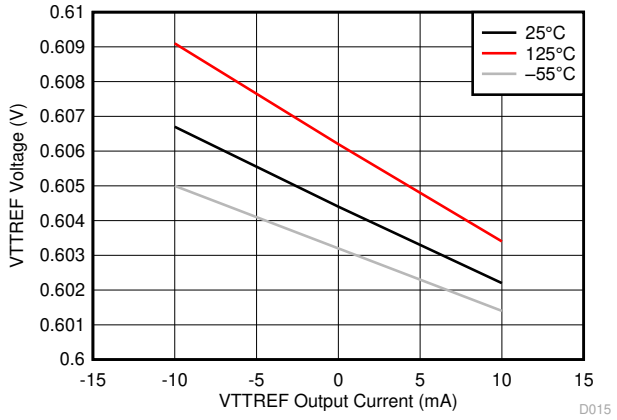
VDDQSNS = 1.5V

图 6-8. VTTREF 电压与 VTTREF 电流间的关系



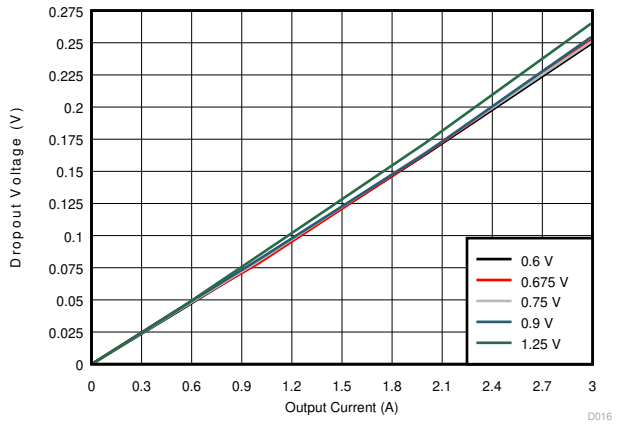
VDDQSNS = 1.35V

图 6-9. VTTREF 电压与 VTTREF 电流间的关系



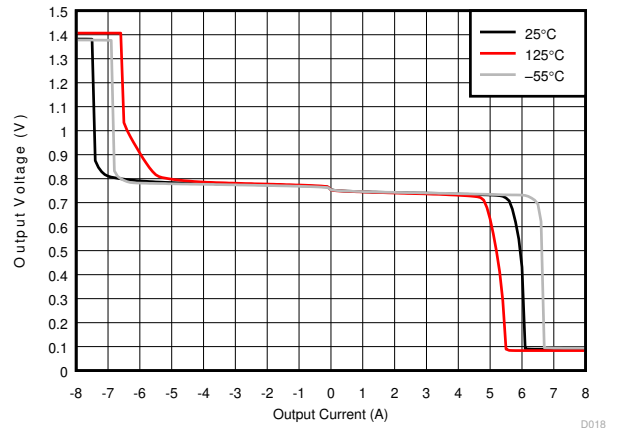
VDDQSNS = 1.2V

图 6-10. VTTREF 电压与 VTTREF 电流间的关系



VDD/V_{IN} = 3.6V

图 6-11. 压降电压与输出电流间的关系



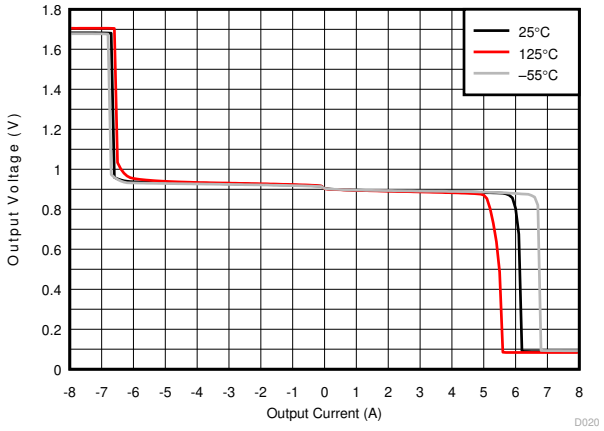
VDD/V_{IN} = 3.5V　VDDQSNS = 1.5V

图 6-12. 输出电压与输出电流间的关系，DDR3

Copyright © 2024 Texas Instruments Incorporated

6.6 典型特性（续）

对于图 6-1 至图 6-10，VTT 输出上使用（3 × 150µF T530D157M010ATE005 钽 + 4 × 4.7µF MLCC）或等效电容/ESR



VDD/V_{IN} = 3.5V　　VDDQSNS = 1.8V

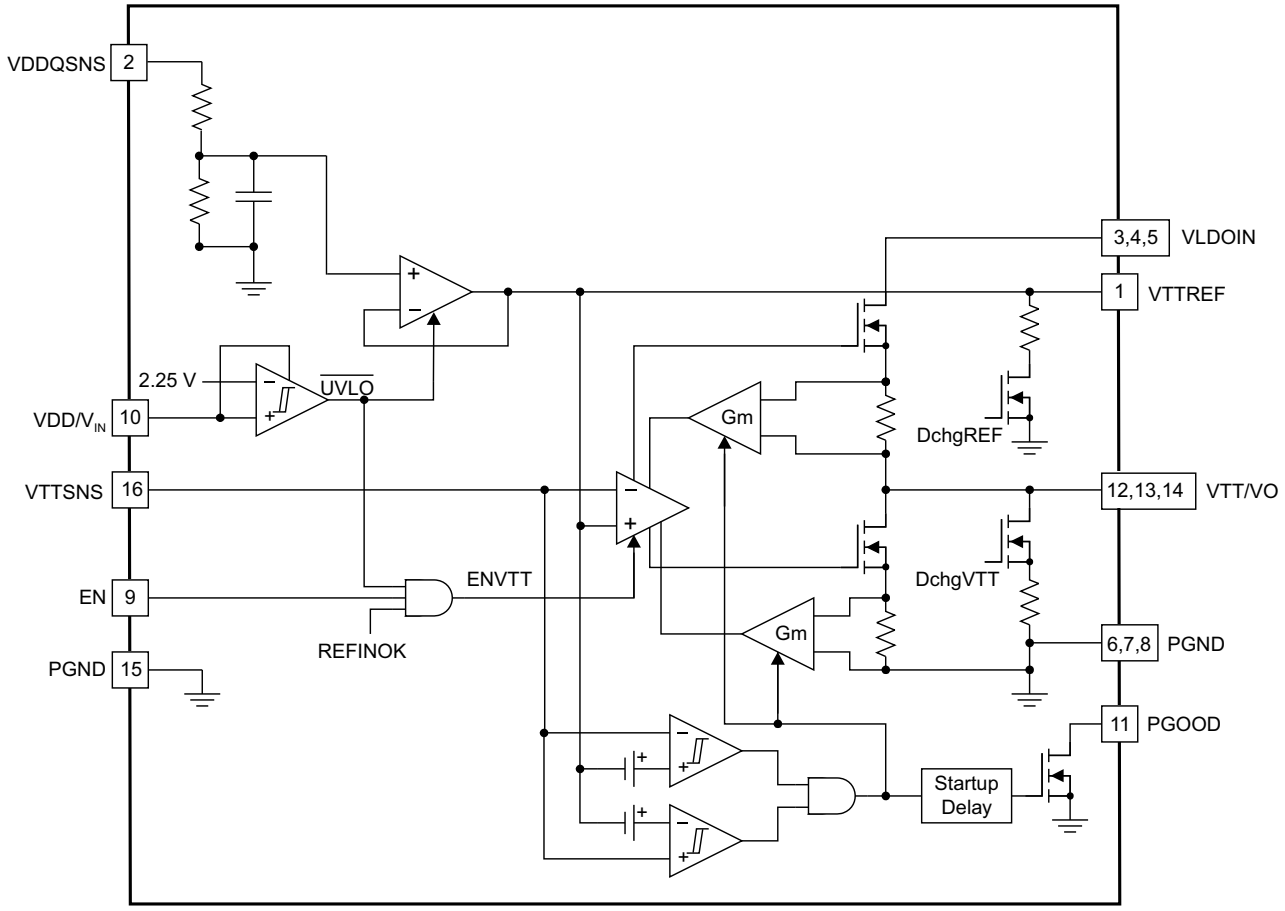
图 6-13. 输出电压与输出电流间的关系，DDR2

7 详细说明

7.1 概述

TPS7H3301-SP 器件是一款灌电流和拉电流双倍数据速率 (DDR) 终端稳压器，专为空间和重量是重要考虑因素的低输入电压、低噪声系统而设计。

7.2 功能方框图



7.3 特性说明

7.3.1 VTT/V_O 灌电流和拉电流稳压器

TPS7H3301-SP 是一款 3A 灌电流和拉电流跟踪终端稳压器，专为空间是关键应用参数的低输入电压和低外部元件数系统而设计。TPS7H3301-SP 集成了一个能够灌入和拉取电流的高性能低压降 (LDO) 线性稳压器。LDO 稳压器采用快速反馈环路，因此可以使用陶瓷电容器来支持快速负载瞬态响应。为了在尽可能降低引线电阻影响的情况下实现严格调节，应将遥感引脚 (VTTSNS) 与输出电容器的正极引脚连接，作为与 VTT/V_O 的高电流路径分离的布线。

TPS7H3301-SP 具有用于 VTT 电源的专用引脚 (VLDOIN)，可最大限度地降低用户应用中的 LDO 功率耗散。在各种负载条件下，最小 VLDOIN 电压比 1/2 VDDQSNS 电压高 400mV，或如 *节 6.5* 中突出显示的 (VLDOIN 至 VTT 余量) 。

7.3.2 基准输入 (VDDQSNS)

输出电压 VTT/V_O 被调节至 VTTREF。VDDQSNS 包含一个集成电阻分压器网络。VDDQSNS 应连接至存储器电源总线 (VDDQ)。TPS7H3301-SP 支持 1V 至 3.5V 的 VDDQSNS 电压，因此用途广泛，非常适合许多类型的低功耗 LDO 应用。

Copyright © 2024 Texas Instruments Incorporated

7.3.3 基准输出 (VTTREF)

当针对 DDR 终端应用进行配置时，VTTREF 会缓冲存储器应用的 DDR VTT 基准电压。VTTREF 块包含一个片上 1/2 电阻分压器和一个低通滤波器 (LPF)。VTTREF 在 15mV 内跟踪 1/2 VDDQSNS。它能够支持 10mA 的拉电流和灌电流负载。当 VDDQSNS 电压上升至 0.78V 且 UVLO/V_{IN} 高于 UVLO 阈值时，VTTREF 变为有效状态。当 VTTREF 小于 0.76V 时，VTTREF 被禁用，随后通过内部 MOSFET 放电至 GND。VTTREF 放电后，VTT/V_O 也会放电。VTTREF 不受 EN 引脚状态的影响。为了符合稳定性标准，必须在 VTTREF（引脚 1）附近安装一个最小 0.1µF 的陶瓷电容器。VTTREF（引脚 1）处的电容器容值不得超过 2.2µF。

7.3.4 EN Control (EN)

当 EN 被驱动为高电平时，TPS7H3301-SP VTT/V_O 稳压器开始正常运行。当 EN 被驱动为低电平时，VTT/V_O 通过内部 18Ω MOSFET 放电至 GND。当 EN 被驱动为低电平时，VTTREF 保持开启。EN 未在内部连接至高电平，以防止可能控制使能的外部信号出现电源时序问题。EN 是悬空输入，未在内部连接，因此用户可以完全控制 EN 信号的生成位置和时间。EN 直接馈入电源正常 (PGOOD) 引脚。当使能为低电平时，PGOOD 为低电平。

7.3.5 电源正常功能 (PGOOD)

TPS7H3301-SP 提供开漏 PGOOD 输出，该输出在 VTT/V_O 输出处于 VTTREF 的 20%（典型值）范围内时变为高电平。在输出超过电源正常窗口的大小后，PGOOD 会在 1µs 内被置为无效。在初始 VTT/V_O 启动期间，PGOOD 在 VTT/V_O 进入电源正常窗口后 2ms（典型值）置为高电平。由于 PGOOD 是开漏输出，因此建议在 PGOOD 与稳定的有效电源电压轨之间使用一个 100kΩ 上拉电阻器，以确保正常运行。

7.3.6 V_{TT} 电流保护

LDO 具有恒定过流限制 (OCL)。有关整个温度范围内的典型行为，请参阅图 6-13。

7.3.7 V_{IN} UVLO 保护

为了实现 VDD/V_{IN} 欠压锁定 (UVLO) 保护，TPS7H3301-SP 会监测 VDD/V_{IN} 电压。当 VDD/V_{IN} 电压低于 UVLO 阈值电压时，VTT 和 VTTREF 稳压器均关闭。该关断是一种非锁存保护。

7.3.8 热关断

TPS7H3301-SP 可监测其结温。如果器件结温超过其阈值（通常为 210°C），则 VTT/V_O 和 VTTREF 稳压器均会关断并通过内部放电 MOSFET 进行放电。该关断是一种非锁存保护。

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

TPS7H3301-SP 3A 灌电流和拉电流 LDO 提供低输出噪声，可满足系统需求。为了提高 LDO 的效率，TPS7H3301-SP LDO 可以由低 VLDOIN 电压轨供电，因此使用双电压源：一个用于支持高电流的 VLDOIN，另一个是用于为 VDDQSNS 引脚提供电压的备用电压源。

在某些情况下，VLDOIN 和 VDDQSNS 引脚连接在一起。在存储器系统中，VDDQ 是为内核、I/O 和存储器逻辑供电的高电流电源。VTTREF 是低电流、精密基准电压，提供了适应 I/O 电源电压变化的逻辑高电平 (1) 和逻辑低电平 (0) 之间的阈值。VTTREF 能够提供可适应电源电压的精密阈值，与具有固定阈值以及终端和驱动阻抗正常变化的器件相比，可实现更宽的噪声裕度。不同的 DDR 技术的规格各不相同。例如，DDR3 JEDEC JESD79-3F 规定 VDDQ 的 0.49 至 0.51 倍，仅消耗数十至数百微安的电流。TPS7H3301-SP VTTREF 能够灌入和拉取高达 10mA 的电流。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS7H3301-SP 器件是一款高度集成的灌电流和拉电流 LDO。该器件旨在支持适用于 DDR 存储器应用的 VTT 电压，能够拉取和灌入 3A 负载电流。www.ti.com 上提供了 TPS7H3301-SP 用户指南，SLVUAK2。该指南重点介绍了标准 EVM 测试结果、原理图和物料清单 (BOM)，以供参考。

8.2 典型应用

设计示例介绍了 2.5V V_{IN} DDR3 配置。

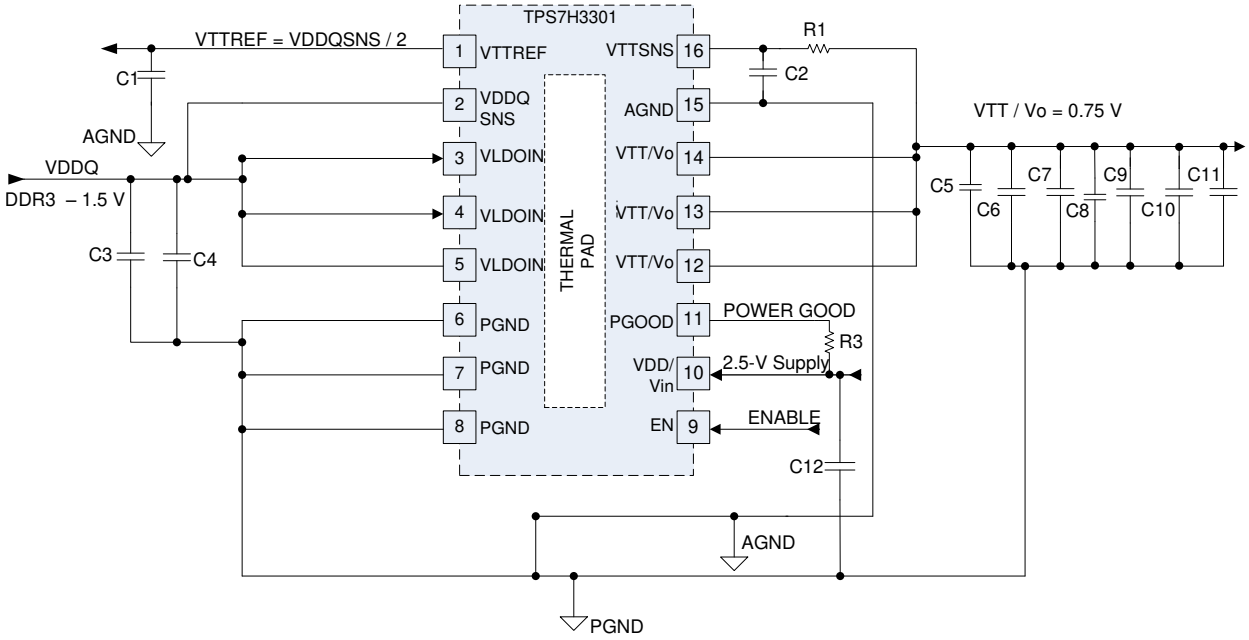


图 8-1. 典型应用电路

8.2.1 设计要求

有关建议的限值，请参阅 *节 6.3*。

8.2.2 详细设计过程

表 8-1. 设计示例 1 物料清单

参考位号	说明	规格	器件型号	制造商
R1	电阻器	392Ω	CRCW0603392RFKEA	
R3		100kΩ	CRCW0603100KJNEA	
C3、C5、C6、C7	电容器	150µF，10V	T530D157M010ATE005	Kemet
C2		1000pF	GRM188R71H102KA01D	MuRata
C1		0.1µF	08053C104KAT2A	AVX
C4、C8、C9、C10、C11		4.7µF，10V	1210ZC475KAT2A	Murata
C12		10µF，10V	GRM21BR71A106KE51L	Murata

8.2.2.1 VDD/V_{IN} 电容器

在靠近 VDD/V_{IN} 引脚的位置添加一个容值介于 1 µ F 和 10 µ F 之间的陶瓷电容器，以最大限度地降低电源的高频噪声。

8.2.2.2 VLDO 输入电容器

根据 VLDOIN/VDDQ 大容量电源与器件之间的布线阻抗，拉电流的瞬态增加主要由 VLDOIN/VDDQ 输入电容器的电荷提供。使用 150 µ F (或更大) 的钽电容器与 4.7µf 陶瓷电容器并联来提供此瞬态电荷。由于在 VTT/V_O 处使用了更大的输出电容，因此应提供更大的输入电容。

8.2.2.3 VTT 输出电容器

为确保稳定运行，VTT/V_O 输出引脚的总电容必须大于 470 µ F。将三个 3 × 150 µ F 低 ESR 钽电容器与陶瓷电容器并联连接，以最大限度地降低等效串联电阻 (ESR) 和等效串联电感 (ESL) 的影响。如果总并联 ESR 大于 2mΩ ，请在输出和 VTTSNS 输入之间插入一个 R-C 滤波器，以实现环路稳定性。R-C 滤波器时间常数应几乎等于或略低于输出电容器及其 ESR 的时间常数。

8.2.2.4 VTTSNS 连接

为了在尽可能降低引线电阻影响的情况下实现严格调节，应将遥感引脚 (VTTSNS) 与 VTT 引脚输出电容器的正极引脚连接，作为与 VTT 的高电流路径分离的布线。如果 VTT 输出电容器的 ESR 大于 2mΩ ，请考虑在 VTTSNS 引脚处添加一个低通 R-C 滤波器。R-C 滤波器时间常数应大致等于或略低于 VTT 输出电容和 ESR 的时间常数。

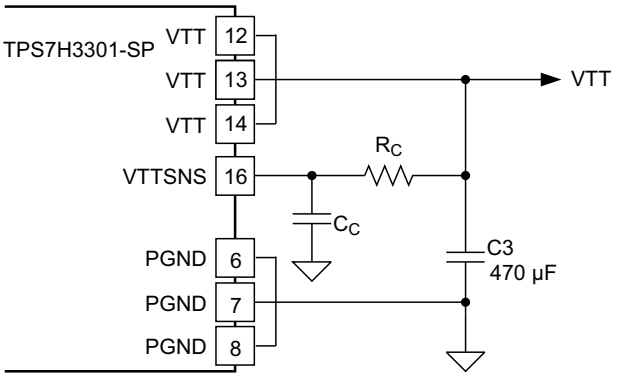


图 8-2. VTTSNS 的 R-C 滤波器

8.2.2.5 低 V_{IN} 应用

TPS7H3301-SP 可用于具有 2.5V 电源轨或 3.3V 电源轨的应用系统。TPS7H3301-SP 的最小输入电压要求为 2.375V。如果使用 2.5V 电源轨，请确保器件引脚上的绝对最小电压 (直流和瞬态) 为 2.375V 或更高。2.5V 电源轨输入的电压容差介于 – 5% 和 5% 精度之间或更佳。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.6 S3 和伪 S5 支持

TPS7H3301-SP 通过 EN 功能提供 S3 支持。EN 引脚可以连接到终端应用中的 SLP_S3 信号。当 EN = 高电平（S0 状态）时，VTTREF 和 VTT/V_O 均开启。VTTREF 在 VTT/V_O 关闭时保持不变，在 EN = 低电平（S3 状态）时通过内部放电 MOSFET 进行放电。请注意，EN 信号仅控制 VTT/V_O 的输出缓冲器，因此，在 S3 状态下，存在 VDDQSNS 是为了将数据保持在易失性存储器中。因此，当 EN 被设置为高电平以退出 S3 状态时，需要尽快使 V_O/VTT 进入稳压状态。这会导致输出电流受到器件和输出电容器的电流限值的控制。

当 EN = 低电平且 VDDQSNS 电压低于 0.78V 时，TPS7H3301-SP 进入伪 S5 状态。当启用伪 S5 支持（S4/S5 状态）时，VTT/V_O 和 VTTREF 输出均关闭并通过内部 MOSFET 放电至 GND。图 8-3 显示了一个使用 S3 和伪 S5 支持的应用的典型启动和关闭时序图。

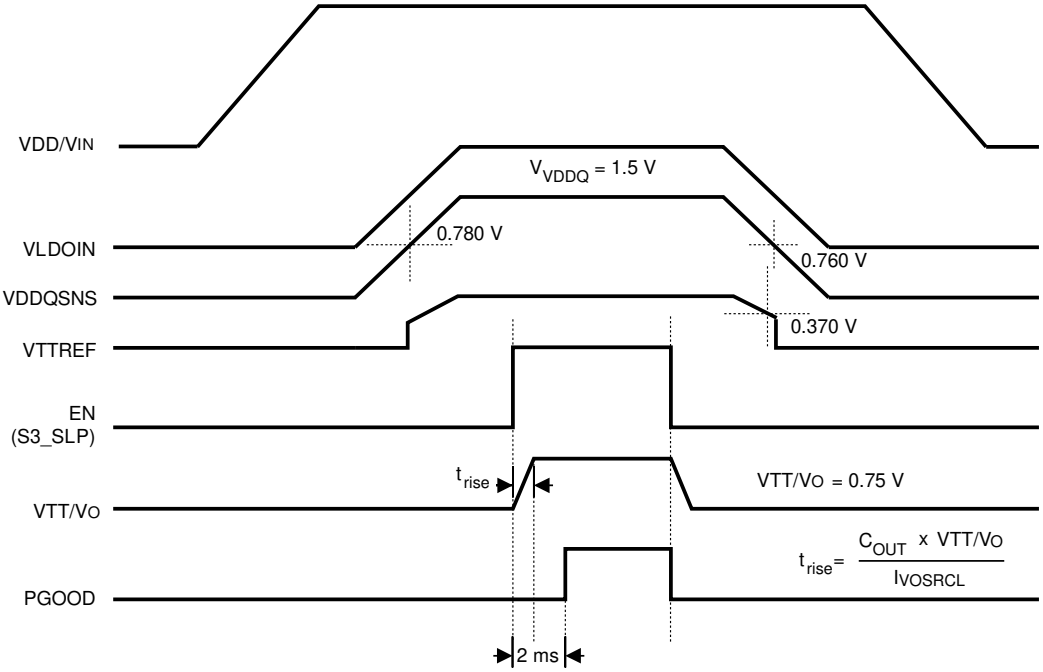


图 8-3. S3 和伪 S5 支持的典型时序图

8.2.2.7 跟踪启动和关断

当 EN 直接连接至系统总线且不用于开启或关闭器件时，TPS7H3301-SP 支持 VDDQ 的跟踪启动和关断。在跟踪启动期间，一旦 VDDQSNS 电压大于 0.78V，VTT/V_O 就会跟随 VTTREF。VDDQSNS 包含一个电阻分压器网络和约为 445µs 的时间常数。VTT/V_O 输出的上升时间是 VDDQSNS 上升时间的函数。如果 VDDQSNS 上升时间大于 445µs，则在 VTT/V_O 处于 VTTREF 的 ±20% 范围内 2ms 后，PGOOD 将被置为有效。在跟踪关断期间，VTT/V_O 将在 VTTREF 之后下降，直到 VTTREF 达到 0.37V。当 VTTREF 降至低于 0.37V 时，内部放电 MOSFET 导通，使 VTTREF 和 VTT/V_O 快速放电至 GND。VTT/V_O 超出 VTTREF ±20% 范围后，PGOOD 被置为无效。图 8-4 显示了使用跟踪启动和关断的应用的典型时序图。

VDD/V_{IN} 和 VLDOIN 之间没有时序要求。如果首先施加 VLDOIN，然后施加 VDD/V_{IN}，则没有问题。VDD/V_{IN} UVLO 保护功能可监测 VDD/V_{IN} 电压。当 VTT/V_{IN} 低于 UVLO 阈值时，VTT 和 VTTREF 稳压器均关闭。

Copyright © 2024 Texas Instruments Incorporated

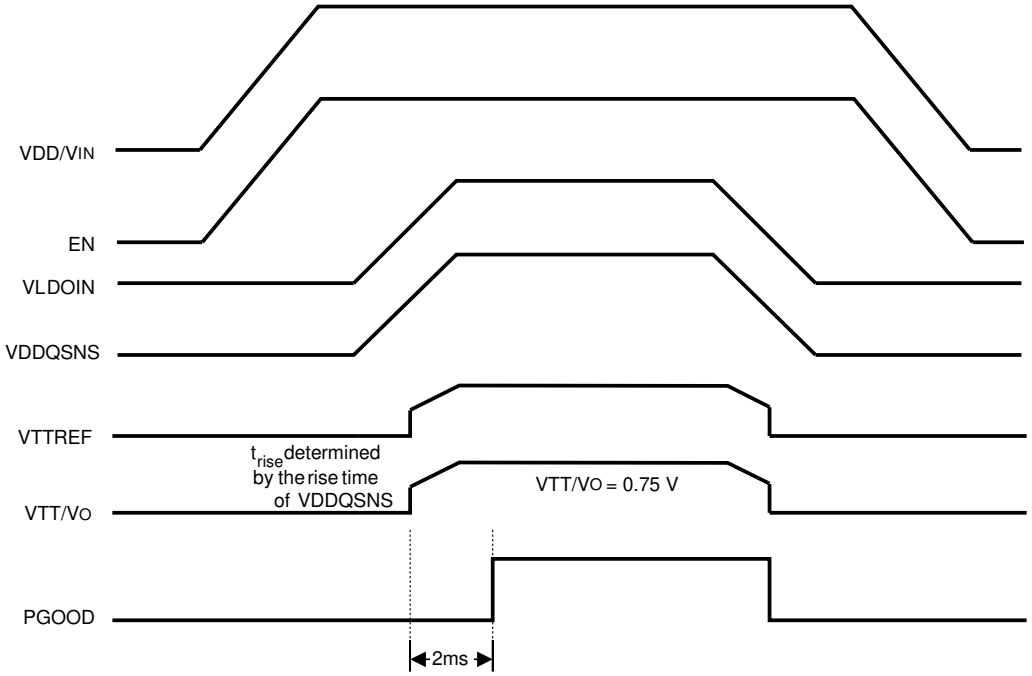


图 8-4. 跟踪启动和关断的典型时序图

8.2.2.8 VTT DIMM 或模块应用的输出容差注意事项

TPS7H3301-SP 专门设计用于为存储器终端电源轨供电（如图 8-5 所示）。DDR 存储器终端结构决定了 VTT 轨的主要特性，可以灌/拉电流来维持合理的 VTT 容差。有关单个存储器单元的典型特性，请参阅图 8-6。

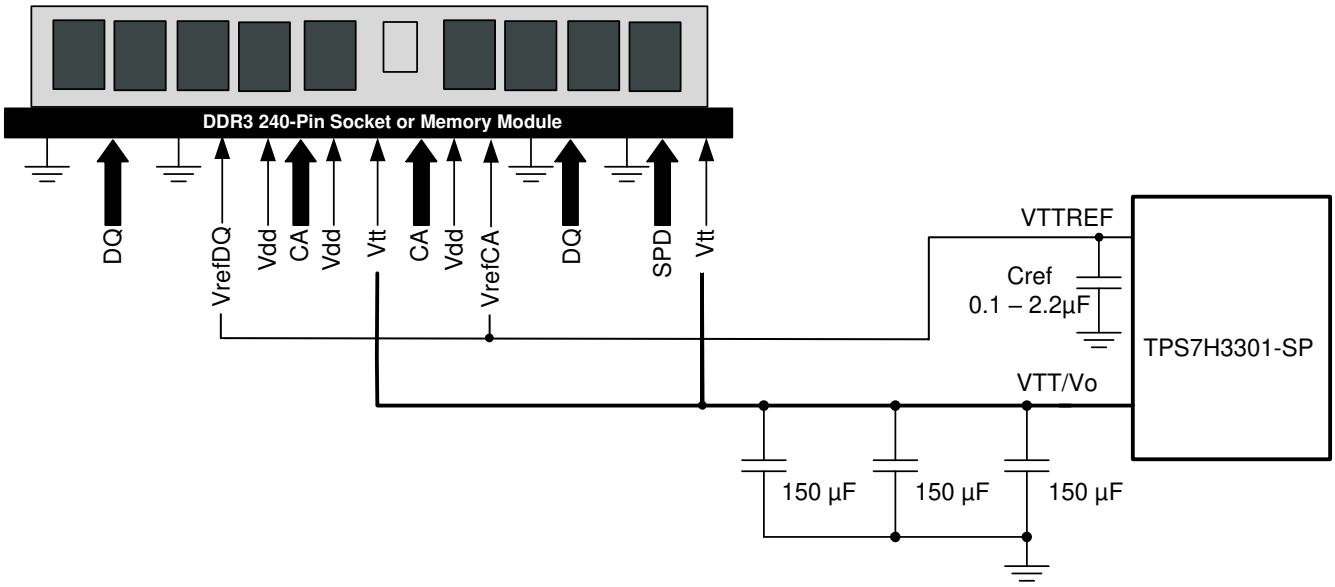


图 8-5. 采用 TPS7H3301-SP 的 DDR3 VTT DIMM/模块的典型应用图

Copyright © 2024 Texas Instruments Incorporated

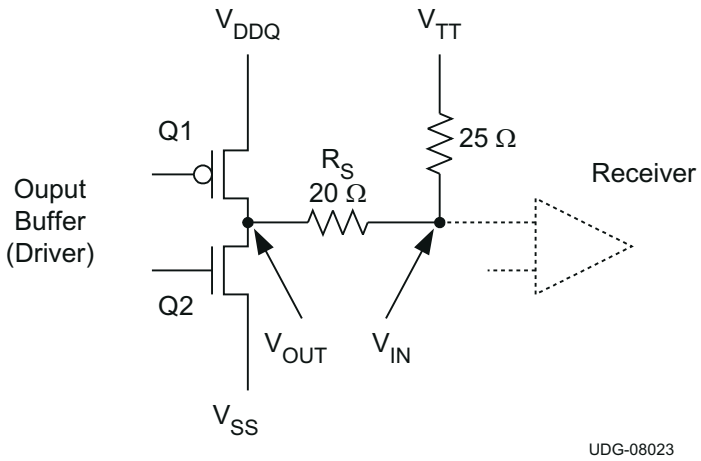


图 8-6. DDR 物理信号系统 SSTL 信号

在图 8-6 中，当 Q1 导通、Q2 关断时：

- 电流从 VDDQ 通过终端电阻器流向 VTT。
- VTT 灌入电流。

在图 8-6 中，当 Q2 导通、Q1 关断时：

- 电流从 VTT 通过终端电阻器流向 GND。
- VTT 拉取电流。

由于 VTT 的精度直接影响存储器信号完整性，因此必须了解 VTT 的容差要求。基于适用于 DDR 和 DDR2 的 JEDEC VTT 规范。有关详细信息和 JEDEC 相关规范，请参阅表 8-2。

VTTREF – 40mV < VTT < VTTREF + 40mV，适用于直流和交流条件

规范本身表明 VTT 必须跟踪 VTTREF 才能实现适当的信号调节。

TPS7H3301-SP 可确保稳压器输出电压：

VTTREF – 34mV < VTT < VTTREF + 34mV（适用于直流和交流条件），–3A < I_{VTT} < 3A

稳压器输出电压在稳压器侧进行测量，而不是在负载侧进行测量。该容差适用于 DDR、DDR2、DDR3 和低功耗 DDR3/DDR4 应用（有关详细信息，请参阅表 8-2）。为了满足稳定性要求，需要使用最小 470 µF 的输出电容，应结合使用钽电容器和陶瓷电容器。考虑到 MLCC 电容器的实际容差，与 3 × 150µF 低 ESR 钽电容器并联的四个或更多 4.7 µF 陶瓷电容器足以满足上述要求。对于 ESR 较大的钽电容器而言，需要使用多个与陶瓷电容器并联的钽电容器，以满足系统需求。

Copyright © 2024 Texas Instruments Incorporated

表 8-2. DDR、DDR2、DDR3 和 LP DDR3 端接技术与差异

	DDR	DDR2	DDR3	低功耗 DDR3 (DDR3L)
FSB 数据速率	200、266、333 和 400MHz	400、533、677 和 800MHz	800、1066、1330 和 1600MHz	与 DDR3 相同
终端	对于所有信号，主板端接至 VTT	对于数据组采用片上端接。 VTT/V_O 用于地址、命令和控制信号的端接。	对于数据组采用片上端接。 VTT/V_O 用于地址、命令和控制信号的端接。	与 DDR3 相同
终止电流需求	最大瞬态灌电流和拉电流高达 2.6A 至 2.9A	要求不高 • 只有 34 个信号（地址、命令、控制）连接至 VTT/V_O • ODT 处理数据信号 突发电流小于 1A	要求不高 • 只有 34 个信号（地址、命令、控制）连接至 VTT/V_O • ODT 处理数据信号 突发电流小于 1A	与 DDR3 相同
电压电平	2.5V 内核和 I/O 1.25V VTT	1.8V 内核和 I/O 0.9V VTT	1.5V 内核和 I/O 0.75V VTT	1.35V 内核和 I/O 0.68V VTT
相关 JEDEC 规范	JESD79F (SSTL_2 JESD8-9B)	DDR2 JESD79-2F (SSTL_18 JESD8-15)	DDR3 JESD79-3F	DDR3L JESD79-3-1A.01

TPS7H3301-SP 是一款由 Gm 驱动的 LDO。基准输入和输出稳压器之间的压降由器件的跨导和输出电流决定。典型的 Gm 在 3A 电流下为 250S，并会相对于负载发生变化，以节省静态电流（即 Gm 在空载条件下非常低）。Gm LDO 稳压器是单极系统。由于 Gm 的带宽性质，其电压环路的单位增益带宽仅由输出电容决定（请参阅方程式 1）。

$$F_{UGBW} = \frac{Gm}{2 \times \pi \times C_{OUT}} \quad (1)$$

其中

- f_{UGBW} 是单位增益带宽
- Gm 是跨导
- C_{OUT} 是输出电容

对于输出大容量电容器要求，此类稳压器有两项限制。为了保持稳定性，输出电容器 ESR 影响的零点位置应大于电流环路的 –3dB 点。此约束意味着设计中不应使用具有更高 ESR 的电容器。此外，应该很好地了解陶瓷电容器的阻抗特性，以防止由于大 ESL、输出电容器和 VTT/V_O 引线的寄生电感而导致 Gm –3dB 点附近的增益峰值效应。

图 8-7 显示了 TPS7H3301-SP 典型 DDR3 配置的波德图仿真，其中：

- VDD/V_{IN} = 2.4V
- V_{VLDOIN} = 1.5V
- VTT/V_O = 0.75V
- I_{IO} = 2A
- 3 × 150 µF 低 ESR 钽电容器 (T530D157M010ATE005) 与 4 × 4.7µF 陶瓷电容器并联
- ESR = 1.66mΩ
- ESL = 800pH

单位增益带宽约为 87.3kHz，相位裕度为 82°。由于 ESL 效应，当超过 0dB 电平时，增益达到峰值。然而，峰值保持在远低于 0dB。

Copyright © 2024 Texas Instruments Incorporated

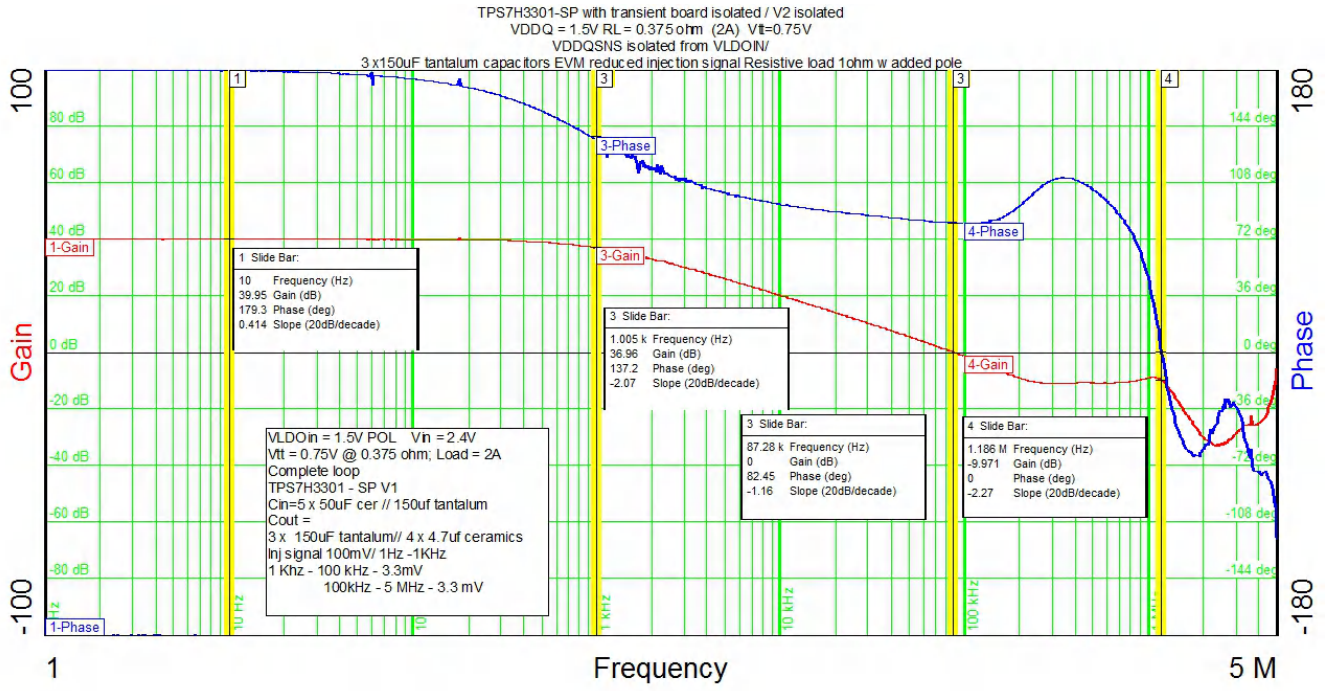


图 8-7. 典型 DDR3 配置的波德图

图 6-3 显示了典型 DDR3 配置的负载调整率，图 8-8 显示了其瞬态响应。在最坏情况下，稳压器承受 ±3A 的负载阶跃。由于电流探头的位置，所示电流仅表示器件拉取 3A 电流。

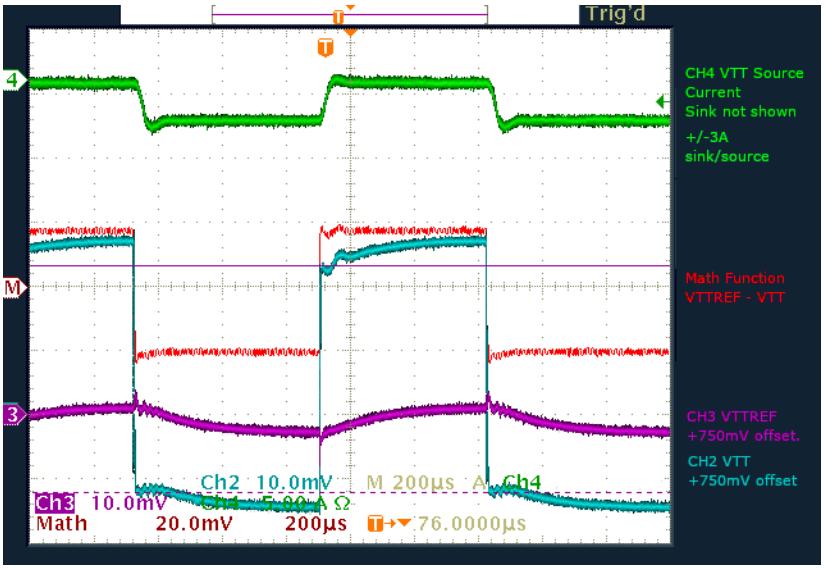


图 8-8. 瞬态图

8.2.2.9 LDO 设计指南

最小输入 (VLDOIN) 至输出电压 (VTT/V_O) 差值（余量）决定了用于驱动特定负载的 Gm 驱动最低可用电源电压。对于 TPS7H3301-SP，根据 VLDOIN = 3.3V 且 C_{OUT} = 470 µF 的设计，为了支持 3A 的 Gm 驱动拉电流，至少需要 300mV ($VLDOIN_{MIN}$ – $VTT/V_{O\ MAX}$)。由于 TPS7H3301-SP 本质上是 Gm 驱动的 LDO，因此其阻抗特性是拉电流 MOSFET 的 1/Gm 和 $R_{DS(on)}$ 的函数（请参阅图 8-9）。该设计的电流拐点介于 3A 和 4A 之间。当 I_{SRC}

小于拐点时，LDO 被视为在 Gm 区域运行；当 I_{SRC} 大于拐点但小于过流限制点时，LDO 在 $R_{DS(on)}$ 区域运行。典型拉电流 $R_{DS(on)}$ 为 154mΩ，V_{IN} = 3V 且 T_J = 125°C。

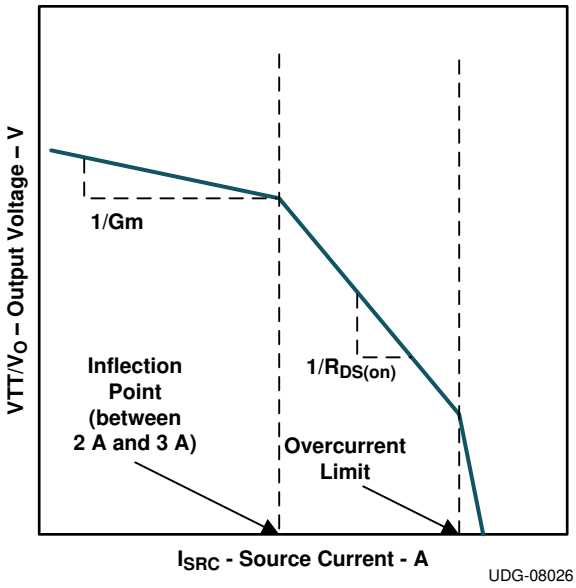


图 8-9. TPS7H3301-SP 阻抗特性

8.2.3 应用曲线

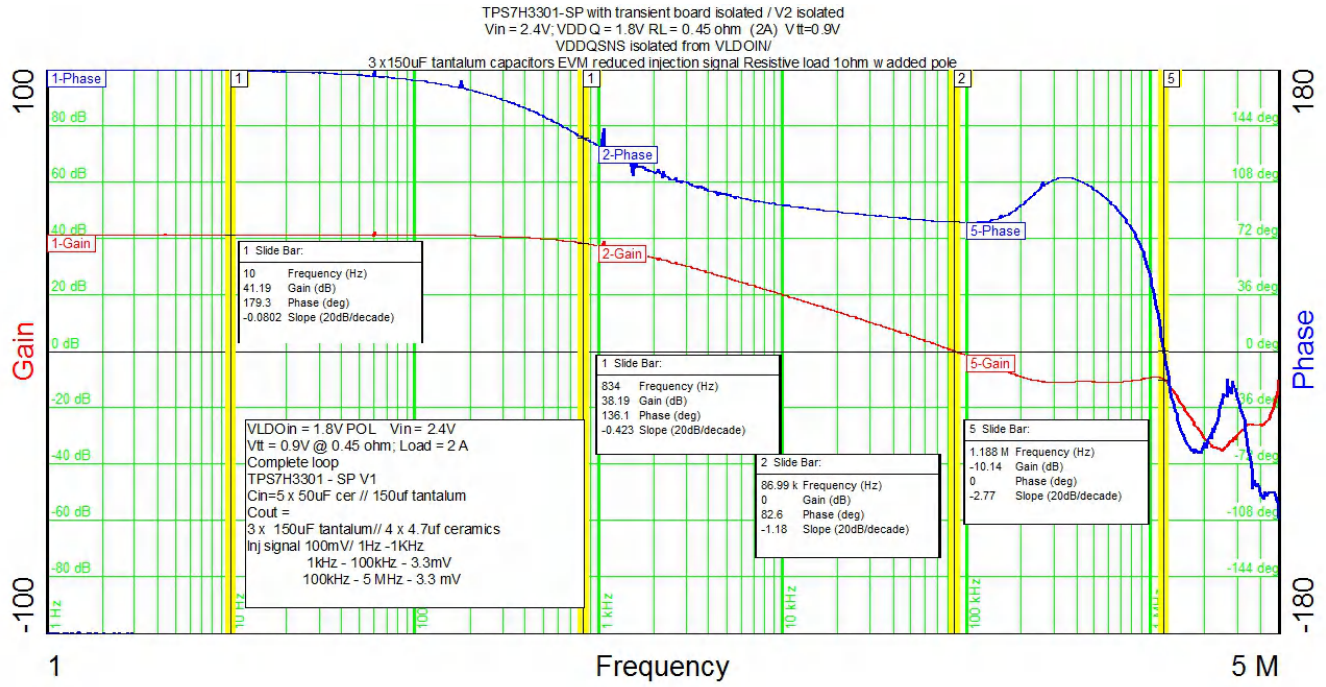


图 8-10. DDR2 2A 负载 V_{IN} = 2.4V，VTT/V_O = 0.9V

电源相关建议

TPS7H3301-SP 支持 DDR、DDR2、DDR3、DDR3L 和 DDR4 VTT 应用。TPS7H3301-SP VLDOIN 支持 0.9V 至 3.5V 的电压范围。电源必须经过良好的调节。通过将 VLDOIN 电源与 DDR VDDQ 分开，设计人员可以优化系

Copyright © 2024 Texas Instruments Incorporated

统效率。VDD/V_{IN} 用于偏置 TPS7H3301-SP IC，其电压范围为 2.375V 至 3.5V。该电源必须经过良好的调节，并使用容值为 1µF 和 10µF 的陶瓷电容器进行旁路。TI 建议 VLDOIN 和 DDR 电源 VDDQ 相互隔离。如果这无法实现，则必须使用 RC 滤波器来隔离 VLDOIN 和 VDDQSNS。但是，在这种情况下，VTT 和 VTTREF 的动态跟踪将丢失。有关更多详细信息，请参阅以下 EVM 用户指南 SLVUAK2。

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

在开始 TPS7H3301-SP 布局设计之前，请考虑以下几点。

- VLDOIN 的输入旁路电容器应尽可能靠近引脚放置，并具有短而宽的连接。
- VTT/V_O 的输出电容器应靠近引脚放置，并具有短而宽的连接，从而避免额外的 ESR 和/或 ESL 引线电感。
- VTTSNS 应连接到 VTT/V_O 输出电容器的正节点，作为与高电流电源线分离的布线。强烈建议使用此配置，以避免额外的 ESR 和/或 ESL。如果需要检测负载点的电压，建议在该点连接一个或多个输出电容器。此外，建议尽量减少 GND 引脚和输出电容器之间接地引线的任何额外 ESR 和/或 ESL。
- 如果 VTT/V_O 输出电容器的 ESR 大于 2mΩ，请考虑在 VTTSNS 处添加低通滤波器。
- VDDQSNS 可与 VLDOIN 分开连接。请记住，该检测电势是 VTTREF 的基准电压。避免任何产生噪声的线路。
- VTT/V_O 输出电容器的负节点和 VTTREF 电容器应连接在一起，避免出现连接到 VTT/V_O 灌电流和拉电流的高电流路径的公共阻抗。
- GND 和 PGND 引脚应连接到芯片焊盘下方的导热焊盘，并通过多个过孔连接到内部系统接地平面（为了获得更好的结果，至少使用两个内部接地平面）。使用尽可能多的过孔来减小 PGND/GND 与系统接地平面之间的阻抗。此外，将大容量电容器放置在靠近 DIMM/模块或存储器负载点的位置并将 VTTSNS 路由至 DIMM/模块负载检测点。
- 为了有效地去除封装中的热量，请适当地准备导热焊盘。将焊料直接涂在封装的散热焊盘上。元件的宽布线和连接到导热焊盘的侧覆铜有助于散热。还应使用连接在导热焊盘与内部/焊接面接地平面之间的多个直径为 0.33mm 或更小的过孔，以帮助散热。

9.2 布局示例

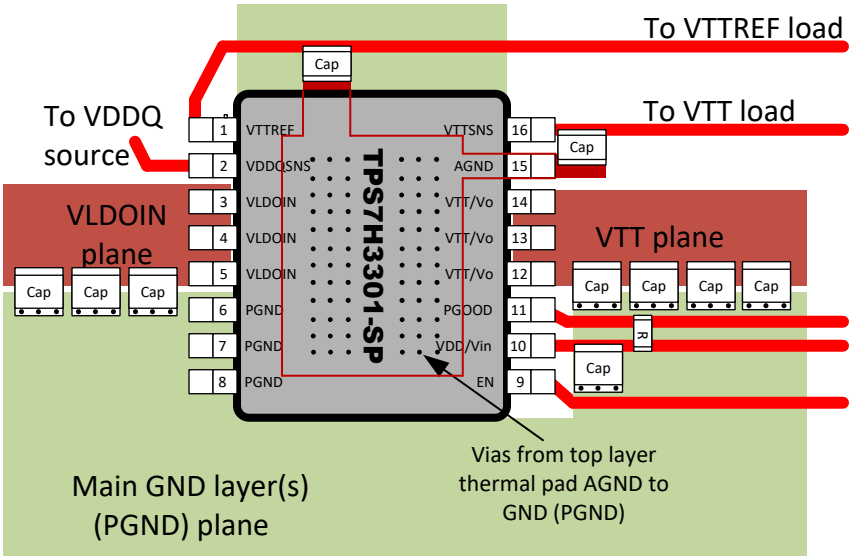


图 9-1. 布局建议

9.3 散热注意事项

VTT/V_O 电流可以在拉电流和灌电流两个方向上流动。由于 TPS7H3301-SP 是线性稳压器，因此功率在器件内部耗散。当器件拉取电流时，VLDOIN 和 VTT/V_O 之间的电压差乘以 IO (I_{IO}) 电流将得到功率耗散，如方程式 2 所示。

$$P_{DISS_SRC} = (V_{VLDOIN} - V_{VO}) \times I_{O_SRC} \quad (2)$$

Copyright © 2024 Texas Instruments Incorporated

在这种情况下，如果 VLDOIN 连接到低于 VDDQ 电压的替代电源，则可以降低总体功率损耗。对于灌电流阶段，会在内部 LDO 稳压器上施加 V_O 电压，可以通过方程式 3 计算功率耗散 (P_{DISS_SNK})。

$$P_{DISS_SNK} = V_{VO} \times I_{O_SNK} \quad (3)$$

由于该器件不会同时灌入和拉取电流，IO 电流可能随时间快速变化，因此实际功率耗散应为系统热弛豫持续时间内上述耗散的时间平均值。另一个功耗源是来自 VDD/V_{IN} 电源和 VLDOIN 电源的内部电流控制电路使用的电流。在正常工作条件下，可以将其估算为 $P_{VDD/V_{IN}}$ = 105mW 和 P_{VLODIN} = 4.2mW 或更低。必须有效地从封装中耗散该功率。

LDO 的热性能取决于印刷电路板 (PCB) 布局布线。由于 TPS7H3301-SP 器件在发货时未成型，因此仅显示建议的散热焊盘布局。引线焊盘的放置取决于最终外形尺寸。

为了进一步改善该器件的散热性能，使用大于建议值的导热焊盘以及增加过孔数量有助于降低结至散热片的热阻。

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TPS7H3301-SP 单粒子效应摘要辐射报告* (SLAK008)
- 德州仪器 (TI)，*TPS7H3301EVM-CVAL (HREL022) 用户指南* (SLVUAK2)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-1422801VXC	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	5962-1422801VXC TPS7H3301-SP
5962R1422801VXC	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	Call TI	N/A for Pkg Type	-55 to 125	5962R1422801VXC TPS7H3301-RHA
TPS7H3301HKR/EM	Active	Production	CFP (HKR) | 16	25 | TUBE	ROHS Exempt	Call TI	N/A for Pkg Type	25 to 25	TPS7H3301HKREM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

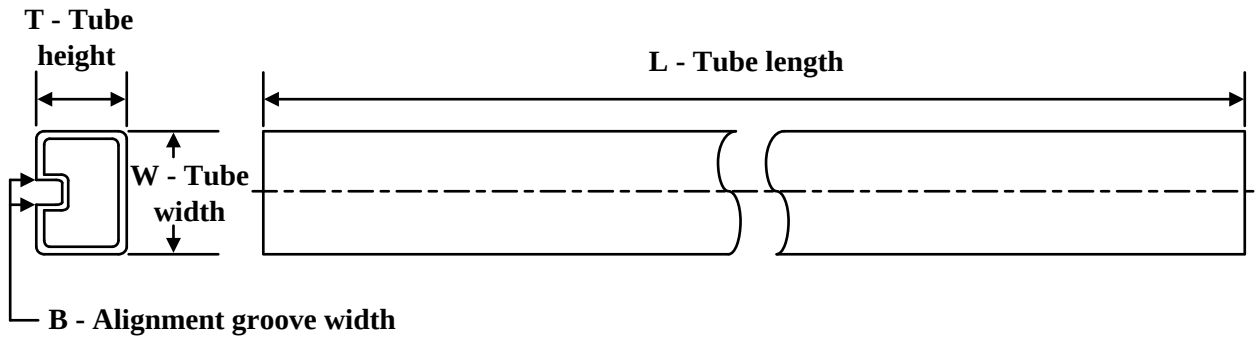
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

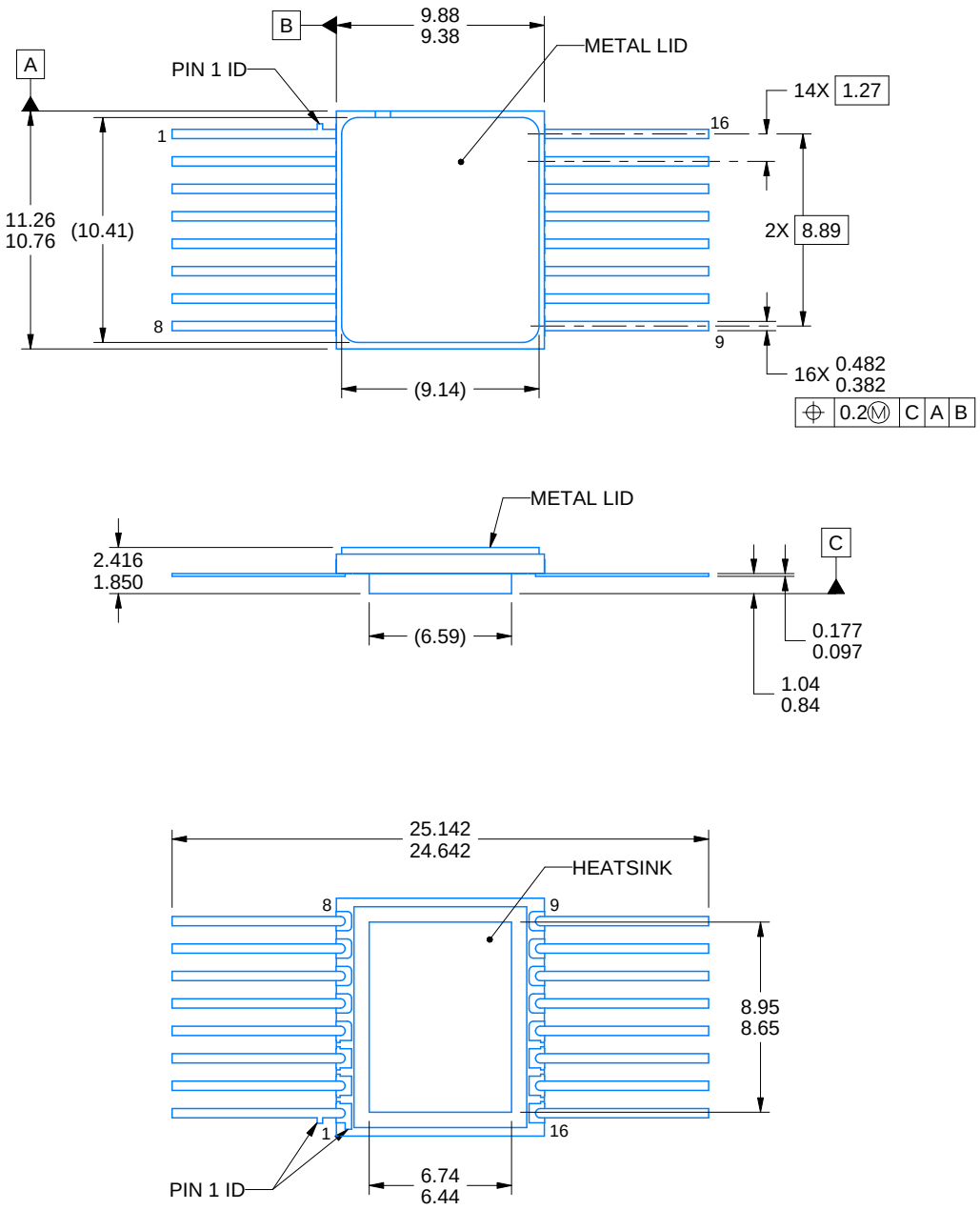
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-1422801VXC	HKR	CFP	16	25	506.98	26.16	6220	NA
5962R1422801VXC	HKR	CFP	16	25	506.98	26.16	6220	NA
TPS7H3301HKR/EM	HKR	CFP	16	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

HKR0016A

CFP - 2.416 mm max height

CERAMIC DUAL FLATPACK



4226020/C 08/2022

NOTES:

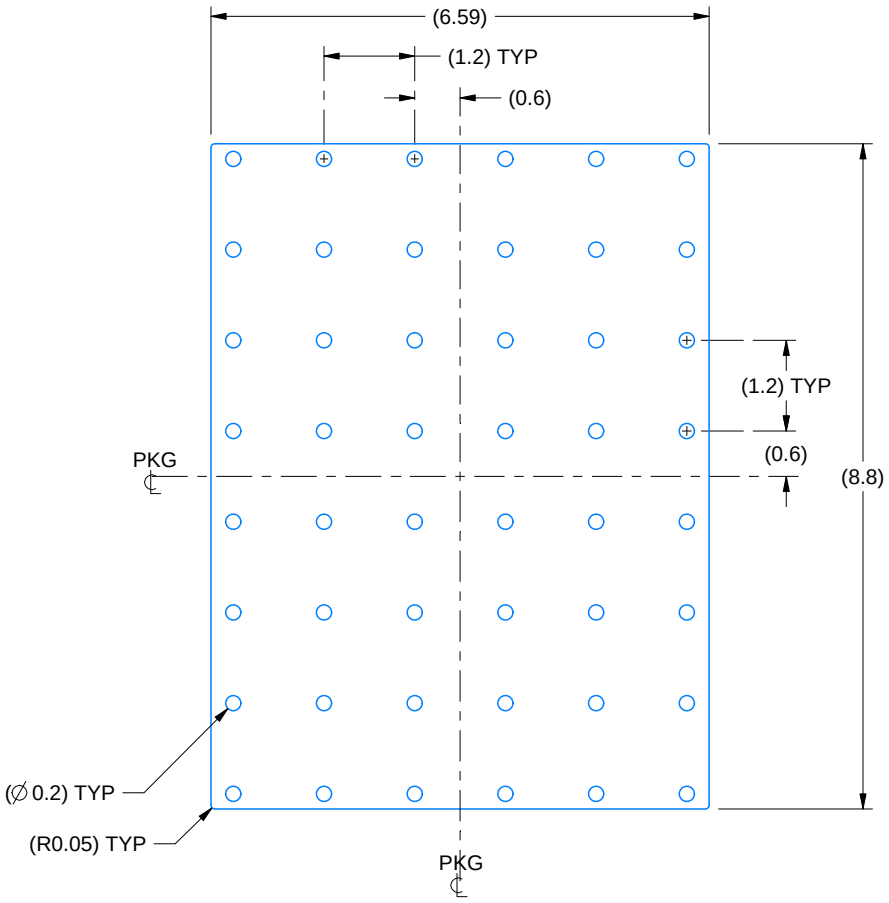
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. Lid is connected to Heatsink.
4. The terminals are gold plated.
5. Falls within MIL-STD-1835 CDFP-F11A.

EXAMPLE BOARD LAYOUT

HKR0016A

CFP - 2.416 mm max height

CERAMIC DUAL FLATPACK



HEATSINK LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

4226020/C 08/2022

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月