

TPSI3100 具有 17V 栅极驱动、集成辅助电源和双通道隔离式比较器的隔离式开关驱动器

1 特性

- 驱动外部电源开关 (MOSFET、IGBT、SiC FET、SCR)
- 集成辅助电源, 无需隔离式次级电源
- 17V 栅极驱动, 1.5A 和 2.5A 峰值拉电流和灌电流
- 3kV_{RMS} 基础型隔离
- 适用于外部辅助电路的高达 25mW、5V 电源
- 具有集成电压基准 $\pm 1.5\%$ 的双通道隔离式高速比较器
- 用于故障和警报指示灯的开漏输出
- -40°C 至 +125°C, T_A
- **功能安全型**
 - 可提供用于功能安全系统设计的文档
- 安全相关认证
 - 计划: 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 4243V_{PK} 基础型隔离
 - 计划: 符合 UL 1577 标准且长达 1 分钟的 3kV_{RMS} 隔离

2 应用

- 固态继电器
- 楼宇自动化
- 工厂自动化和控制

3 说明

TPSI3100 是一款完全集成的隔离式开关驱动器, 与外部电源开关结合使用时, 可构成完整的隔离式固态继电器。当栅极驱动电压为 17V, 峰值拉电流和灌电流为 1.5A 和 2.5A 时, 可以使用大量电源开关来满足多种应用需求。TPSI3100 可通过初级侧电源自行产生次级辅助电源, 因此无需隔离式次级电源偏置。TPSI3100 通过标称 5V 电源轨 (VDDM) 提供额外电源, 供辅助电路使用以执行各种功能, 例如电流和电压监测或远程温度检测。TPSI3100 隔离非常稳健, 与使用传统机械继电器和光耦合器的隔离相比, 其可靠性更高, 功耗更低, 且温度范围更宽。

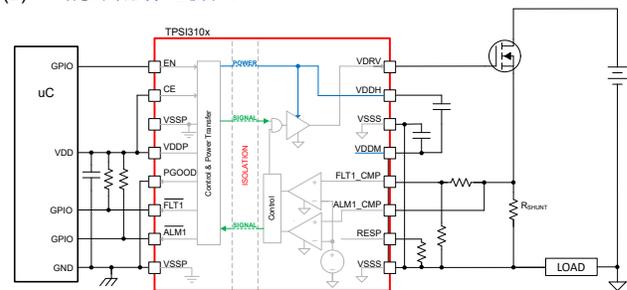
TPSI3100 集成一个通信反向通道, 该反向通道可通过开漏输出、PGOOD (电源正常状态)、FLT1 (故障 1) 和 ALM1 (警报 1) 将状态信息从次级侧传输到初级侧。两个具有集成共享电压基准的高速比较器用于将 FLT1 和 ALM1 置为有效。当比较器输入 FLT1_CMP 超过基准电压时, 驱动器立即被置为低电平, 并且 FLT1 也被驱动为低电平, 向系统指示发生了故障。这对于在发生紧急事件 (例如过流检测) 时以低延迟禁用外部开关非常有用。当比较器输入 ALM1_CMP 超过电压基准时, ALM1 信号被置为低电平, 但驱动器不执行任何操作。这可用作过热或过压事件的警报或警告指示器。

TPSI310xL 系列提供基于锁存器的故障指示器。当检测到故障时, 驱动器和故障指示器被置为低电平并保持锁存状态, 直到 EN 被置为低电平。TPSI310x 系列具有非锁存故障指示器。如果故障事件不再存在, 则 FLT1 被置为无效, 并且驱动器在指定的恢复期后遵循 EN 引脚的状态。如果故障事件仍然存在, 则故障指示器和驱动器都继续被置为低电平。

器件信息

器件型号	REF ⁽²⁾	比较器 ⁽²⁾	封装 ⁽¹⁾
TPSI3100	0.31V	1 个故障, 1 个警报	DVX (SSOP, 16)
TPSI3100L	0.31V	1 个锁存故障, 1 个警报	

- (1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- (2) 请参阅 [器件比较表](#)。



TPSI3100 简化原理图



内容

1 特性	1	8.1 概述.....	22
2 应用	1	8.2 功能方框图.....	22
3 说明	1	8.3 特性说明.....	24
4 器件比较表	3	8.4 器件操作.....	28
5 引脚配置和功能	4	8.5 器件功能模式.....	32
6 规格	8	9 应用和实施	33
6.1 绝对最大额定值	8	9.1 应用信息	33
6.2 ESD 等级	8	9.2 典型应用	36
6.3 建议运行条件	8	9.3 电源相关建议	40
6.4 热性能信息	9	9.4 布局	40
6.5 功率等级	9	10 器件和文档支持	42
6.6 绝缘规格	9	10.1 文档支持	42
6.7 安全相关认证	10	10.2 接收文档更新通知	42
6.8 安全限值	11	10.3 支持资源	42
6.9 电气特性	11	10.4 商标	42
6.10 开关特性	14	10.5 静电放电警告	42
6.11 绝缘特性曲线	17	10.6 术语表	42
6.12 典型特性	18	11 修订历史记录	42
7 参数测量信息	20	12 机械、封装和可订购信息	42
8 详细说明	22		

4 器件比较表

型号	REF	比较器	锁存故障
TPSI3100	0.31V	1 个故障, 1 个警报	否
TPSI3103 ⁽³⁾	1.23V		是
TPSI3100L	0.31V		是
TPSI3103L ⁽³⁾	1.23V		是
TPSI3110 ⁽³⁾	0.31V	2 个故障	否
TPSI3113 ⁽³⁾	1.23V		是
TPSI3110L ⁽³⁾	0.31V		是
TPSI3113L ⁽³⁾	1.23V		是
TPSI3120 ⁽³⁾	0.31V	2 个警报	不适用 ⁽²⁾
TPSI3123 ⁽³⁾	1.23V		
TPSI3133 ⁽³⁾	1.23V	1 个故障 ⁽¹⁾ , 1 个警报	否

- (1) 当 EN 为低电平时, FLT1_CMP 输入被主动下拉。这些器件对于主要搭配 IGBT 功率晶体管使用 DESAT 技术的过流检测非常有用。
(2) 不适用。
(3) 产品预发布。

5 引脚配置和功能

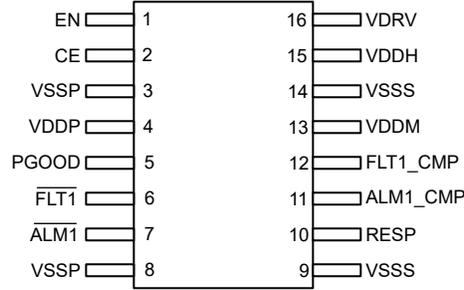


图 5-1. TPSI310x 和 TPSI310xL DVX 封装，16 引脚 SSOP（顶视图）

引脚		I/O	类型 ⁽¹⁾	说明
编号	名称			
1	EN	I	—	高电平有效驱动器使能。内部 500k Ω 下拉至 VSSP。
2	CE	I	—	高电平有效输入。当被置为低电平时，禁用器件。不使用时连接至 VDDP。内部 500k Ω 下拉至 VSSP。
3	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
4	VDDP	—	P	初级侧的电源
5	PGOOD	O	—	电源正常状态指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
6	FLT1	O	—	故障 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
7	ALM1	O	—	警报 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
8	VSSP	—	GND	初级侧的接地电源。所有 VSSP 必须连接至初级侧接地端。
9	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
10	RESP	O	—	与连接至 VSSS 的外部电阻器配合使用，以调整比较器响应时间。不使用时连接至 VSSS。
11	ALM1_CMP	I	—	模拟比较器输入。当 ALM1_CMP 电压超过内部基准电压时， $\overline{\text{ALM1}}$ 将在 $t_{\text{ALM_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
12	FLT1_CMP	I	—	模拟比较器输入。当 FLT1_CMP 电压超过内部基准电压时，无论 EN 状态如何，VDRV 都会自动置为低电平，并且 $\overline{\text{FLT1}}$ 在 $t_{\text{FLT_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
13	VDDM	—	P	生成 1/2Vs，标称值为 5V。
14	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
15	VDDH	—	P	生成高电源电压，标称值为 17V。
16	VDRV	O	—	高电平有效驱动器输出。

(1) P = 电源，GND = 接地，NC = 无连接

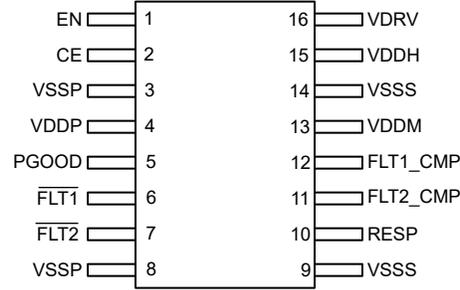


图 5-2. TPSI311x 和 TPSI311xL DVX 封装，16 引脚 SSOP（顶视图）

引脚		I/O	类型 ⁽¹⁾	说明
编号	名称			
1	EN	I	—	高电平有效驱动器使能。内部 500k Ω 下拉至 VSSP。
2	CE	I	—	高电平有效输入。当被置为低电平时，禁用器件。不使用时连接至 VDDP。内部 500k Ω 下拉至 VSSP。
3	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
4	VDDP	—	P	初级侧的电源
5	PGOOD	O	—	电源正常状态指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
6	FLT1	O	—	故障 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
7	FLT2	O	—	故障 2 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
8	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
9	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
10	RESP	O	—	与连接至 VSSS 的外部电阻器配合使用，以调整比较器响应时间。不使用时连接至 VSSS。
11	FLT2_CMP	I	—	模拟比较器输入。当 FLT2_CMP 电压超过内部基准电压时，无论 EN 状态如何，VDRV 都会自动置为低电平，并且 FLT2 在 $t_{FLT_LATENCY}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
12	FLT1_CMP	I	—	模拟比较器输入。当 FLT1_CMP 电压超过内部基准电压时，无论 EN 状态如何，VDRV 都会自动置为低电平，并且 FLT1 在 $t_{FLT_LATENCY}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
13	VDDM	—	P	生成 1/2Vs，标称值为 5V。
14	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
15	VDDH	—	P	生成高电源电压，标称值为 17V。
16	VDRV	O	—	高电平有效驱动器输出。

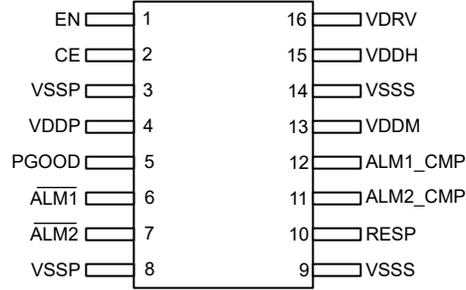


图 5-3. TPSI312x DVX 封装，16 引脚 SSOP（顶视图）

引脚		I/O	类型 ⁽¹⁾	说明
编号	名称			
1	EN	I	—	高电平有效驱动器使能。内部 500k Ω 下拉至 VSSP。
2	CE	I	—	高电平有效输入。当被置为低电平时，禁用器件。不使用时连接至 VDDP。内部 500k Ω 下拉至 VSSP。
3	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
4	VDDP	—	P	初级侧的电源
5	PGOOD	O	—	电源正常状态指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
6	ALM1	O	—	警报 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
7	ALM2	O	—	警报 2 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
8	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
9	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
10	RESP	O	—	与连接至 VSSS 的外部电阻器配合使用，以调整比较器响应时间。不使用时连接至 VSSS。
11	ALM2_CMP	I	—	模拟比较器输入。当 ALM2_CMP 电压超过内部基准电压时，ALM2 将在 $t_{\text{ALM_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
12	ALM1_CMP	I	—	模拟比较器输入。当 ALM1_CMP 电压超过内部基准电压时，ALM1 将在 $t_{\text{ALM_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
13	VDDM	—	P	生成 1/2Vs，标称值为 5V。
14	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
15	VDDH	—	P	生成高电源电压，标称值为 17V。
16	VDRV	O	—	高电平有效驱动器输出。

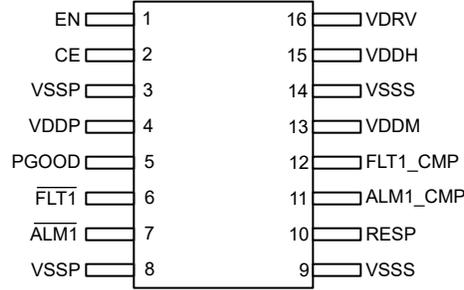


图 5-4. TPSI3133 DVX 封装，16 引脚 SSOP（顶视图）

引脚		I/O	类型 ⁽¹⁾	说明
编号	名称			
1	EN	I	—	高电平有效驱动器使能。内部 500k Ω 下拉至 VSSP。
2	CE	I	—	高电平有效输入。当被置为低电平时，禁用器件。不使用时连接至 VDDP。内部 500k Ω 下拉至 VSSP。
3	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
4	VDDP	—	P	初级侧的电源
5	PGOOD	O	—	电源正常状态指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
6	FLT1	O	—	故障 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
7	ALM1	O	—	警报 1 指示器。开漏输出。使用时，需要从外部上拉至 VDDP。不使用时悬空或连接至 VSSP。
8	VSSP	—	GND	初级侧的接地电源。所有 VSSP 引脚必须连接至初级侧接地端。
9	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
10	RESP	O	—	与连接至 VSSS 的外部电阻器配合使用，以调整比较器响应时间。不使用时连接至 VSSS。
11	ALM1_CMP	I	—	模拟比较器输入。当 ALM1_CMP 电压超过内部基准电压时， $\overline{\text{ALM1}}$ 将在 $t_{\text{ALM_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
12	FLT1_CMP	I/O	—	模拟比较器输入/输出。当 EN 状态为低电平时，FLT1_CMP 主动拉至低电平。如果 EN 状态为高电平并且 FLT1_CMP 电压超过内部基准电压，则 VDRV 会自动置为低电平，并且 $\overline{\text{FLT1}}$ 在 $t_{\text{FLT_LATENCY}}$ 内被置为低电平。内部 2.8M Ω 下拉至 VSSS。不使用时连接至 VSSS。
13	VDDM	—	P	生成 1/2Vs，标称值为 5V。
14	VSSS	—	GND	次级侧的接地电源。所有 VSSS 引脚必须连接至次级侧接地端。
15	VDDH	—	P	生成高电源电压，标称值为 17V。
16	VDRV	O	—	高电平有效驱动器输出。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数 ⁽¹⁾		最小值	最大值	单位
初级侧电源 ⁽²⁾	VDDP、EN、CE、PGOOD、 FLT1 (TPSI310x、TPSI311x、TPSI3133)、 FLT2 (TPSI311x)、 ALM1 (TPSI310x、TPSI312x、TPSI3133)、 ALM2 (TPSI312x)	-0.3	6	V
次级侧电源 ⁽³⁾	FLT1_CMP (TPSI310x、TPSI311x、TPSI3133)、 FLT2_CMP (TPSI311x)、 ALM1_CMP (TPSI310x、TPSI312x、TPSI3133)、 ALM2_CMP (TPSI312x)	-3	6	V
次级侧电源 ⁽³⁾	VDRV	-0.3	18	V
	VDDH	-0.3	18	V
	VDDM	-0.3	6	V
	VDDH-VDDM	-0.3	13	V
次级侧电源 ⁽³⁾	RESP	-0.3	6	V
结温, T _J	结温, T _J	-40	150	°C
贮存温度, T _{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 所有电压值均以 VSSP 为基准。并非列出的所有信号都可能存在,具体取决于器件型号。
- (3) 所有电压值均以 VSSS 为基准。并非列出的所有信号都可能存在,具体取决于器件型号。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±750	
		其他引脚	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。如果采取了必要的预防措施,则可以在低于 500V HBM 时进行生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。如果采取了必要的预防措施,则可以在低于 250V CDM 时进行生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
VDDP	初级侧电源电压 ⁽¹⁾	4.5		5.5	V
EN	使能 VDRV ⁽¹⁾ (1)	0		5.5	V
CE	芯片使能 ⁽¹⁾	0		5.5	V
PGOOD	电源正常状态指示器 ^{(4) (1)}	0		5.5	V
FLT \bar{n}	故障指示器。 ^{(4) (1)} FLT1 (TPSI310x、TPSI311x、TPSI3133) FLT2 (TPSI311x)	0		5.5	V
ALM \bar{n}	警报指示器。 ^{(4) (1)} ALM1 (TPSI310x、TPSI311x、TPSI3133) ALM2 (TPSI312x)	0		5.5	V

6.3 建议运行条件 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
C _{VDDP}	VDDP 和 VSSP 上的去耦电容 ⁽³⁾	1		20	μF
C _{DIV1} ⁽²⁾	VDDH 和 VDDM 之间的去耦电容 ⁽³⁾	0.003		15	μF
C _{DIV2} ⁽²⁾	VDDM 和 VSSS 之间的去耦电容 ⁽³⁾	0.1		40	μF
Q _{TOTAL}	要由 VDRV 驱动的总电荷。			2500	nC
R _{RESP}	RESP 和 VSSS 之间的比较器响应电阻器。	0		1000	kΩ
I _{AUX}	来自 VDDM 的辅助电流。	0		5	mA
T _A	环境工作温度	-40		125	°C
T _J	工作结温	-40		150	°C

- (1) 所有电压值均以 VSSP 为基准。
- (2) C_{DIV1} 和 C_{DIV2} 应具有相同的类型和容差。C_{DIV2} 电容值应至少为 C_{DIV1} 电容值的三倍, 即 $C_{DIV2} \geq 3 \times C_{DIV1}$ 。
- (3) 所有电容值都是绝对值。必要时应进行降额。
- (4) 开漏失效防护输出。使用时, 建议在 VDDP 上连接一个大于 20kΩ 的外部上拉电阻器。不使用时, 将引脚悬空或连接至 VSSP。

6.4 热性能信息

热指标 ⁽¹⁾		器件	单位
		DVX (SSOP)	
		16 引脚	
R _{θJA}	结至环境热阻	82.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	39.3	°C/W
R _{θJB}	结至电路板热阻	42.3	°C/W
ψ _{JT}	结至顶部特征参数	14.7	°C/W
ψ _{JB}	结至电路板特征参数	41.3	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P _D	最大功率耗散, VDDP。	T _A = 25°C, V _{VDDP} = 5.0V, f _{EN} = 1kHz 方波, C _{VDRV} = 1nF			250	mW

6.6 绝缘规格

参数		测试条件	值	单位
爬电距离和起痕				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	≥ 8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	≥ 8	mm
DTI	绝缘穿透距离	最小内部间隙	> 120	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11); IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 600V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	

6.6 绝缘规格 (续)

参数		测试条件	值	单位
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1697	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压 (正弦波)	1200	V_{RMS}
		直流电压	1697	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$; $t = 60s$ (鉴定测试)	4243	V_{PK}
		$V_{TEST} = 1.2 \times V_{IOTM}$; $t = 1s$ (100% 生产测试)	5091	V_{PK}
V_{IMP}	最大脉冲电压 ⁽²⁾	在空气中测试 ; 符合 IEC 62638-1 标准的 1.2/50 μs 波形	4500	V_{PK}
V_{IOSM}	最大浪涌隔离电压 ⁽³⁾	在油中进行测试 (鉴定测试) ; 符合 IEC 62638-1 的 1.2/50 μs 波形	5850	V_{PK}
q_{pd}	视在电荷 ⁽⁴⁾	方法 a : 输入/输出安全测试子组 2/3 后 , $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$; $V_{pd(m)} = 1.2 \times V_{IORM} = 2036V_{PK}$, $t_m = 10s$ 。	≤ 5	pC
		方法 a : 环境测试子组 1 后 , $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$; $V_{pd(m)} = 1.3 \times V_{IORM} = 2206V_{PK}$, $t_m = 10s$ 。	≤ 5	
		方法 b1 : 常规测试 (100% 生产测试) 和预调节 (类型测试) , $V_{ini} = V_{IOTM}$, $t_{ini} = 1s$; $V_{pd(m)} = 1.5 \times V_{IORM} = 2546V_{PK}$, $t_m = 1s$ 。	≤ 5	
C_{IO}	势垒电容, 输入至输出 ⁽⁵⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$	3	pF
R_{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	$V_{IO} = 500V$, $T_A = 25^\circ C$	$> 10^{12}$	Ω
		$V_{IO} = 500V$, $100^\circ C \leq T_A \leq 125^\circ C$	$> 10^{11}$	
		$V_{IO} = 500V$, $T_S = 150^\circ C$	$> 10^9$	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	$V_{TEST} = V_{ISO} = 3000V_{RMS}$, $t = 60s$ (鉴定测试) , $V_{TEST} = 1.2 \times V_{ISO} = 3600V_{RMS}$, $t = 1s$ (100% 生产测试)	3000	V_{RMS}

- 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- 在空气中进行测试, 以确定封装的固有浪涌抗扰度。
- 在油中进行测试, 以确定隔离栅的固有浪涌抗扰度。
- 视在电荷是局部放电 (pd) 引起的电气放电。
- 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.7 安全相关认证

VDE	UL
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 UL 1577 组件认证计划进行认证
基本绝缘; 最大瞬态隔离电压 4243 V_{PK} ; 最大重复峰值隔离电压 1414 V_{PK} ; 最大浪涌隔离电压 5850 V_{PK}	单一保护, 3000 V_{RMS}
已计划获得证书	已计划获得证书

6.8 安全限值

参数 ^{(1) (2)}		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流	R _{θJA} = 82.5°C/W, V _{VDDP} = 5.5V, T _J = 150°C, T _A = 25°C			275	mA
P _S	安全输入、输出或总功率	R _{θJA} = 82.5°C/W, T _J = 150°C, T _A = 25°C			1.52	W
T _S	最高安全温度				150	°C

- (1) 安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。
- (2) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设热性能信息表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

6.9 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, I_{AUX} = 0mA。50kΩ 上拉从 FLT1、ALM1、PGOOD、至 VDDP。R_{RESP} = 100kΩ（连接至 VSSS）。

参数		测试条件	最小值	典型值	最大值	单位
COMMON						
CMTI	共模瞬态抗扰度，静态。	V _{CM} = 1000V, V _{EN} = 0V 或 V _{EN} = 5V。	100			V/ns
TSD	关断温度	V _{VDDP} = 5V		173		°C
TSDH	关断温度迟滞	V _{VDDP} = 5V		32		°C
电源						
I _{VDDP_STBY}	待机模式下的 VDDP 电流	V _{VDDP} = 5V, EN = 0V, CE = 0V。 测量平均电流。		25	45	μA
I _{VDDP_LOW}	稳态下的 VDDP 平均电流	V _{VDDP} = 5V, EN = CE = 5V。 故障和警报输入连接至 VSSP（特定于器件）。 I _{AUX} = 0mA。 最低功耗调节。 稳态下的 V _{VDDH} , 测量 I _{VDDP} 。		5.3		mA
I _{VDDP_HIGH}	稳态下的 VDDP 平均电流	V _{VDDP} = 5V, EN = CE = 5V。 故障和警报输入连接至 VSSS（特定于器件）。 最高功耗调节。 稳态下的 V _{VDDH} , 测量 I _{VDDP} 。		37		mA
V _{VDDH}	VDDH 输出电压	V _{VDDP} = 5V, EN = CE = 5V。 故障和警报输入连接至 VSSS（特定于器件）。	16	17	18	V
V _{VDDM}	未拉取电流时的平均 VDDM 电压。	V _{VDDP} = 5V, EN = CE = 5V。 故障和警报输入连接至 VSSS（特定于器件）。	4.8	5.0	5.2	V
I _{VDDH_STBY}	VDDH 电源的平均待机电流。	V _{VDDP} = 5V, EN = 0V, CE = 5V。 故障和警报输入连接至 VSSS（特定于器件）。		48		μA
I _{VDDM_STBY}	VDDM 电源的平均待机电流。	V _{VDDP} = 5V, EN = 0V, CE = 5V。 故障和警报输入连接至 VSSS（特定于器件）。		105		μA

6.9 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, I_{AUX} = 0mA。50kΩ 上拉从 FLT1、ALM1、PGOOD、至 VDDP。R_{RESP} = 100kΩ (连接至 VSSS)。

参数	测试条件	最小值	典型值	最大值	单位
P _{OUT_VDDH}	到 VDDH 的最大功率传输。	V _{VDDP} = 5V, EN = 0V, CE = 5V。	42	72.8	mW
V _{VDDM_IAUX}	拉取外部电流时的平均 VDDM 电压。	V _{VDDP} = 5V, EN = 0V, 稳态。 故障和警报输入连接至 VSSS (特定于器件)。 拉电流 I _{AUX} = 5mA (来自 VDDM), 测量 V _{VDDM} 。 C _{DIV2} = 1μF	4.7		5.5 V
监控					
V _{VDDP_UV_R}	VDDP 欠压阈值上升	VDDP 上升。	3.9	4.1	4.35 V
V _{VDDP_UV_F}	VDDP 欠压阈值下降	VDDP 下降	3.8	3.9	4.25 V
V _{VDDP_UV_HYS}	VDDP 欠压阈值迟滞			170	mV
V _{VDDH_UV_R}	VDDH 欠压阈值上升	VDDH 上升。	11.9	13	14.2 V
V _{VDDH_UV_F}	VDDH 欠压阈值下降。	VDDH 下降。	9.6	10.4	11.5 V
V _{VDDH_UV_HYS}	VDDH 欠压阈值迟滞。			2.5	V
V _{VDDM_UV_R}	VDDM 欠压阈值上升	VDDM 上升。	3.4	3.7	3.9 V
V _{VDDM_UV_F}	VDDM 欠压阈值下降。	VDDM 下降。	3.1	3.4	3.7 V
V _{VDDM_UV_HYS}	VDDM 欠压阈值迟滞。			0.3	V
驱动器					
V _{VDRV_H}	被驱动为高电平的 VDRV 输出电压	V _{VDDP} = 5V, EN = 5V。 稳态下的 V _{VDDH} , 无直流负载。 故障和警报输入连接至 VSSS (特定于器件)。	16	17	18 V
V _{VDRV_L}	被驱动为低电平的 VDRV 输出电压	V _{VDDP} = 5V, EN = 0V, 稳态下的 V _{VDDH} , VDRV 灌入 10mA 的电流。 故障和警报输入连接至 VSSS (特定于器件)。			0.1 V
I _{VDRV_PEAK}	VDRV 在上升期间的峰值输出电流	V _{VDDP} = 5V, EN = 0V → 5V, 稳态下的 V _{VDDH} , 测量峰值电流。 故障和警报输入连接至 VSSS (特定于器件)。		1.5	A
	VDRV 在下降期间的峰值输出电流	V _{VDDP} = 5V, EN = 5V → 0V, 稳态下的 V _{VDDH} , 测量峰值电流。 故障和警报输入连接至 VSSS (特定于器件)。		2.5	A
R _{DSON_VDRV}	低电平状态下的驱动器导通电阻。	故障和警报输入连接至 VSSS (特定于器件)。		1.5	Ω
	高电平状态下的驱动器导通电阻。	故障和警报输入连接至 VSSS (特定于器件)。		3.5	Ω

6.9 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, I_{AUX} = 0mA。50kΩ 上拉从 FLT1、ALM1、PGOOD、至 VDDP。R_{RESP} = 100kΩ (连接至 VSSS)。

参数	测试条件	最小值	典型值	最大值	单位
V _{ACT_CLAMP}	接合时的有源钳位电压。 V _{VDDP} = 0V。 灌电流 I _{VDRV} = 300mA。 测量 VDRV。		1.9	2.5	V
数字输入/输出					
V _{IT+(EN)}	EN 上的输入阈值电压上升。 V _{VDDP} = 5V	2.3	2.5	2.7	V
V _{IT-(EN)}	EN 上的输入阈值电压下降。 V _{VDDP} = 5V	1.7	1.9	2.0	V
V _{IT_HYS(EN)}	EN 上的输入阈值电压迟滞。 V _{VDDP} = 5V		0.5		V
V _{IT+(CE)}	CE 上的输入阈值电压上升。 V _{VDDP} = 5V	2.3	2.5	2.7	V
V _{IT-(CE)}	CE 上的输入阈值电压下降。 V _{VDDP} = 5V	1.7	1.9	2.0	V
V _{IT_HYS(CE)}	CE 上的输入阈值电压迟滞。 V _{VDDP} = 5V		0.5		V
V _{OL}	低电平输出电压。 PGOOD FLT1 (TPSI310x、TPSI311x、TPSI3133) FLT2 (TPSI311x) ALM1 (TPSI310x、TPSI312x、TPSI3133) ALM2 (TPSI32x)			0.4	V
I _{OL}	低电平输出电流。 PGOOD FLT1 (TPSI310x、TPSI311x、TPSI3133) FLT2 (TPSI311x) ALM1 (TPSI310x、TPSI312x、TPSI3133) ALM2 (TPSI312x)				mA
V _{OL_FLT_CMP}	开漏输出， 低电平输出电压。 FLT_CMP1 (TPSI3133)			0.1	V
I _{OL_FLT_CMP}	开漏输出， 低电平输出电流。 FLT_CMP1 (TPSI3133)				mA
I _{LKG}	漏电流。 PGOOD FLT1 (TPSI310x、TPSI311x、TPSI3133) FLT2 (TPSI311x) ALM1 (TPSI310x、TPSI312x、TPSI3133) ALM2 (TPSI312x)			2	μA
R _{EN_PULLDOWN}	EN 上的内部下拉电阻器。 V _{VDDP} = 5V	390	500	640	kΩ
R _{CE_PULLDOWN}	CE 上的内部下拉电阻器。 V _{VDDP} = 5V	390	500	640	kΩ
基准					

6.9 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。 $T_A = 25^\circ\text{C}$ 时的典型值。 $C_{VDDP} = 1\mu\text{F}$, $C_{DIV1} = 47\text{nF}$, $C_{DIV2} = 220\text{nF}$, $C_{VDRV} = 1\text{nF}$, $I_{AUX} = 0\text{mA}$ 。50k Ω 上拉从 $\overline{\text{FLT1}}$ 、 $\overline{\text{ALM1}}$ 、PGOOD、至 VDDP。 $R_{RESP} = 100\text{k}\Omega$ (连接至 VSSS)。

参数		测试条件	最小值	典型值	最大值	单位
V_{REF}	内部基准电压。 TPSI3100、TPSI3110、TPSI3120 器件。	$T_A = 25^\circ\text{C}$		0.31		V
	内部基准电压。 TPSI3103、TPSI3113、 TPSI3123、TPSI3133 器件。	$T_A = 25^\circ\text{C}$		1.23		V
V_{REF_TOL}	内部基准电压容差。		-1.5		1.5	%
比较器						
$R_{CMP_PULLDOWN}$	内部下拉电阻器。 FLT1_CMP、ALM1_CMP (TPSI310x、TPSI3133) FLT1_CMP、FLT2_CMP (TPSI311x) ALM1_CMP、ALM2_CMP (TPSI312x)		1.3	2.8	3.8	M Ω

6.10 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)。 $T_A = 25^\circ\text{C}$ 时的典型值。 $C_{VDDP} = 1\mu\text{F}$, $C_{DIV1} = 47\text{nF}$, $C_{DIV2} = 220\text{nF}$, $C_{VDRV} = 1\text{nF}$, $I_{AUX} = 0\text{mA}$ 。50k Ω 上拉从 $\overline{\text{FLT1}}$ 、 $\overline{\text{ALM1}}$ 、PGOOD、至 VDDP。 $R_{RESP} = 100\text{k}\Omega$ (连接至 VSSS)。

参数		测试条件	最小值	典型值	最大值	单位
电源和驱动器						
t_{LO_CE}	CE 的低电平时间。	V_{VDDH} , $V_{VDDM} = \text{稳态}$ 。	5			μs
t_{LO_EN}	EN 的低电平时间。	V_{VDDH} , $V_{VDDM} = \text{稳态}$ 。	5			μs
t_{HI_EN}	EN 的高电平时间。	V_{VDDH} , $V_{VDDM} = \text{稳态}$ 。	5			μs
t_{PER_EN}	EN 周期。	V_{VDDH} , $V_{VDDM} = \text{稳态}$ 。	10			μs
t_{LH_VDDH}	从 VDDP 上升到 VDDH (处于 50% 电平) 的传播延迟时间。	EN = 0V, 1V/ μs 时 $V_{VDDP} = 0\text{V} \rightarrow 5\text{V}$, $V_{VDDH} = 7.5\text{V}$ 。		145		μs
t_{LH_VDRV}	在 90% 电平从 EN 上升到 VDRV 的传播延迟时间	$V_{VDDP} = 5\text{V}$, V_{VDDH} , $V_{VDDM} = \text{稳态}$, EN = 0V \rightarrow 5V, $V_{VDRV} = 13.5\text{V}$ 。		3	4.5	μs
t_{HL_VDRV}	从 EN 下降到 VDRV (电平为 10%) 的传播延迟时间	$V_{VDDP} = 5\text{V}$, V_{VDDH} , $V_{VDDM} = \text{稳态}$, EN = 5V \rightarrow 0V, $V_{VDRV} = 1.5\text{V}$ 。		2.5	3.0	μs
$t_{HL_VDRV_PD}$	从 VDDP 下降到 VDRV (电平为 10%) 的传播延迟时间。由于主电源断电导致的超时机制。	EN = 5V, -1V/ μs 时 $V_{VDDP} = 5\text{V} \rightarrow 0\text{V}$, $V_{VDRV} = 1.5\text{V}$ 。		140	210	μs
$t_{LH_VDRV_CE}$	在 10% 电平从 CE 上升到 VDRV 的传播延迟时间	$V_{VDDP} = 5\text{V}$, VDDH 和 VDDM 完全放电。 EN = CE = 0V \rightarrow 5V, $V_{VDRV} = 1.5\text{V}$ 。		185		μs
$t_{HL_VDRV_CE}$	从 CE 下降到 VDRV (电平为 10%) 的传播延迟时间	$V_{VDDP} = 5\text{V}$, V_{VDDH} , $V_{VDDM} = \text{稳态}$, EN = 5V, CE = 5V \rightarrow 0V, $V_{VDRV} = 1.5\text{V}$ 。		3	4	μs

6.10 开关特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, I_{AUX} = 0mA。50kΩ 上拉从 FLT1、ALM1、PGOOD、至 VDDP。R_{RESP} = 100kΩ (连接至 VSSS)。

参数	测试条件	最小值	典型值	最大值	单位
t _{R_VDRV}	V _{VDDP} = 5V, V _{VDDH} , V _{VDDM} = 稳态, EN = 0V → 5V, V _{VDRV} = 2.25V 至 12.75V。		10		ns
t _{F_VDRV}	V _{VDDP} = xV, V _{VDDH} , V _{VDDM} = 稳态, EN = xV → 0V, V _{VDRV} = 12.75V 至 2.25V。		10		ns
t _{REC_VDRV} ⁽¹⁾	V _{VDDP} = 5V, V _{VDDH} 和 V _{VDRV} 处于稳态, EN = 5V, FLTn_CMP 正脉冲为 3V, 50μs 脉冲宽度。 测量从 FLTn_CMP 变为低电平 (1.5V) 到 V _{VDRV} = 7.5V 的时间。		165	270	μs
比较器					
t _{PD_CMP_VDRV_DIS}	EN = CE = VDDP R _{RESP} ≤ 10kΩ V _{UD} = 100mV V _{OD} = 30mV 测量 V _{FLT_CMP} 越过 V _{REF} 到 50% V _{VDRV} 的时间。	320	385	460	ns
	EN = CE = VDDP R _{RESP} = 100kΩ。 V _{UD} = 100mV V _{OD} = 30mV 测量 V _{FLT_CMP} 越过 V _{REF} 到 50% V _{VDRV} 的时间。	630	715	830	ns
	EN = CE = VDDP R _{RESP} = 300kΩ。 V _{UD} = 100mV V _{OD} = 30mV 测量 V _{FLT_CMP} 越过 V _{REF} 到 50% V _{VDRV} 的时间。	890	1375	1970	ns
	EN = CE = VDDP R _{RESP} = 500kΩ。 V _{UD} = 100mV V _{OD} = 30mV 测量 V _{FLT_CMP} 越过 V _{REF} 到 50% V _{VDRV} 的时间。	1275	2020	2950	ns
t _{DEGLITCH_CMP_F}	故障比较器下降输出抗尖峰脉冲。	4.2	5.7	8	μs
t _{FLT_LATENCY}	从故障比较器检测到上升或下降事件到 FLT1 输出上指示的延迟。			30	μs

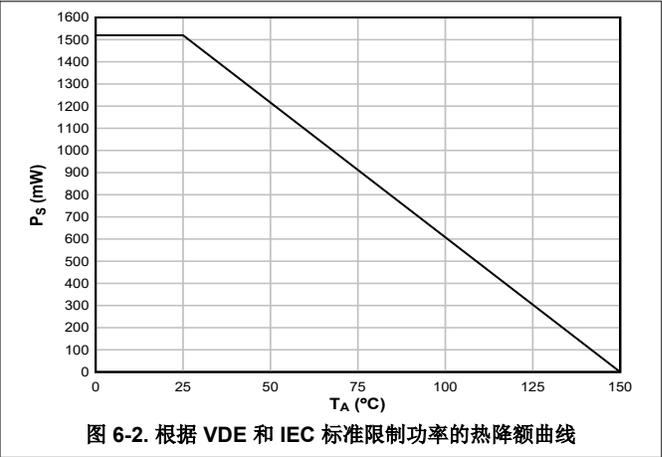
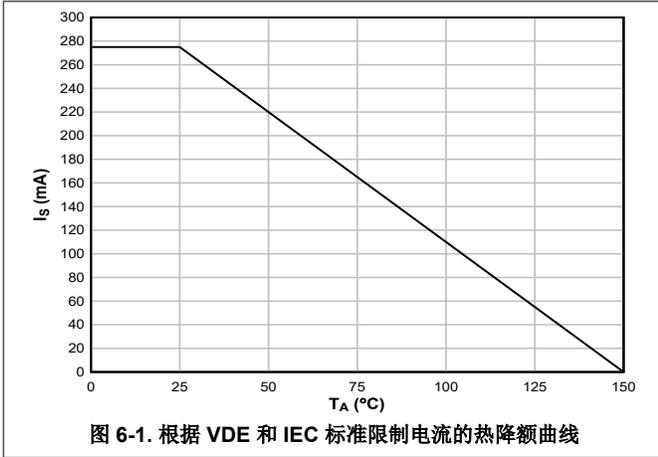
6.10 开关特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。T_A = 25°C 时的典型值。C_{VDDP} = 1μF, C_{DIV1} = 47nF, C_{DIV2} = 220nF, C_{VDRV} = 1nF, I_{AUX} = 0mA。50kΩ 上拉从 FLT1、ALM1、PGOOD、至 VDDP。R_{RESP} = 100kΩ (连接至 VSSS)。

参数		测试条件	最小值	典型值	最大值	单位
t _{ALM_LATENCY}	从警报比较器检测到上升或下降事件到在 ALM1 输出上指示的延迟。	EN = CE = VDDP R _{RESP} = 500kΩ。 V _{UD} = 100mV V _{OD} = 30mV 测量 V _{ALM1_CMP} 上升或下降并越过 V _{REF} 到 50% ALM1 的时间。			30	μs

- (1) 在基于锁存的器件上, 即使 VDRV 被锁存为低电平, 恢复计时器也仍然有效。如果故障条件消失并且 EN 被置为低电平, 然后变为高电平以清除故障, 则 VDRV 仍被置为低电平, 直到恢复计时器到期。

6.11 绝缘特性曲线



6.12 典型特性

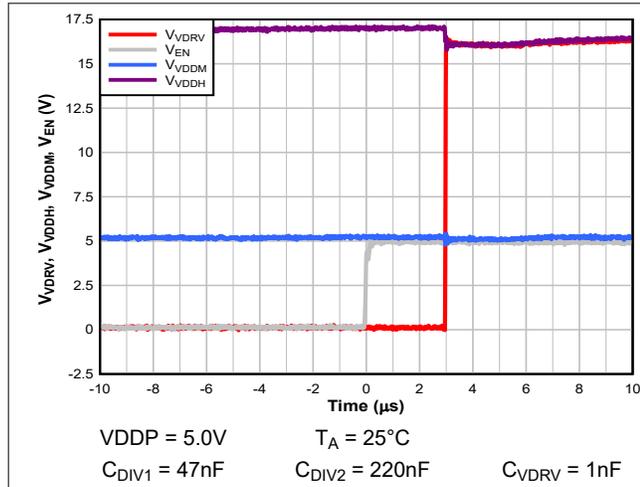


图 6-3. t_{LH_VDRV}

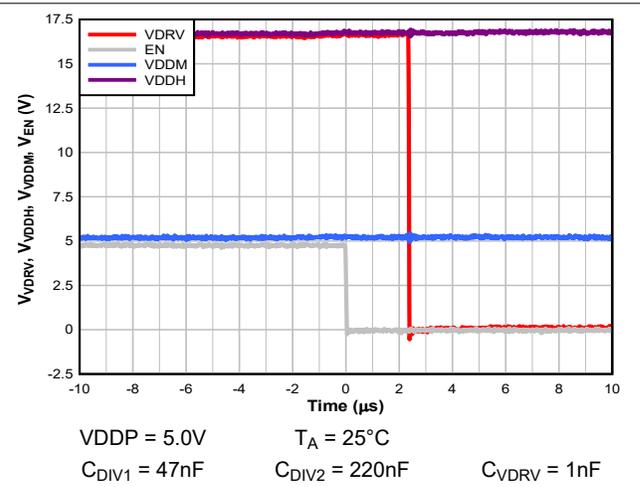


图 6-4. t_{HL_VDRV}

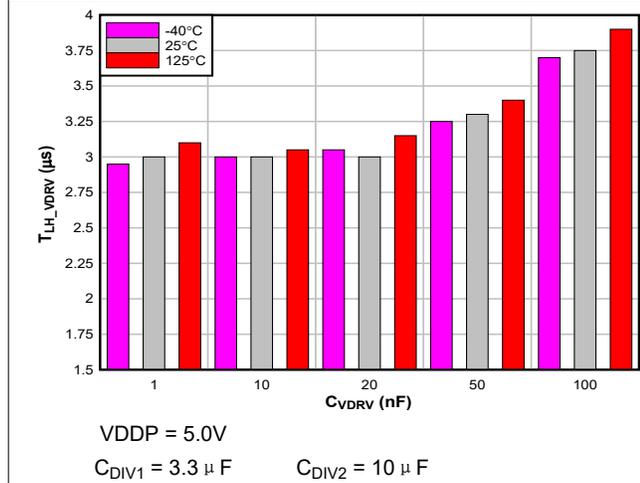


图 6-5. t_{LH_VDRV} 与 C_{VDRV}

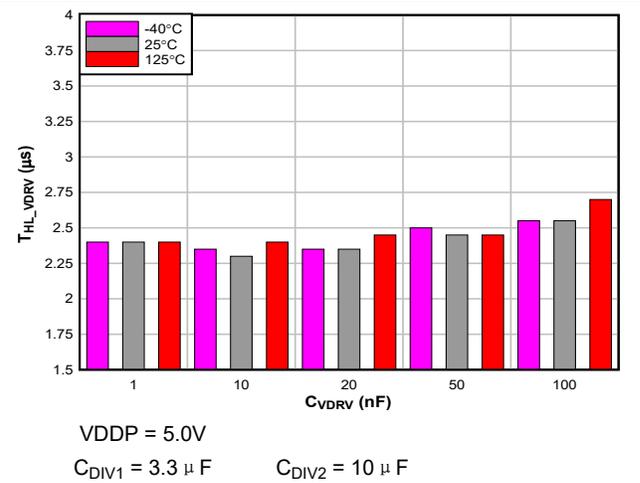


图 6-6. t_{HL_VDRV} 与 C_{VDRV}

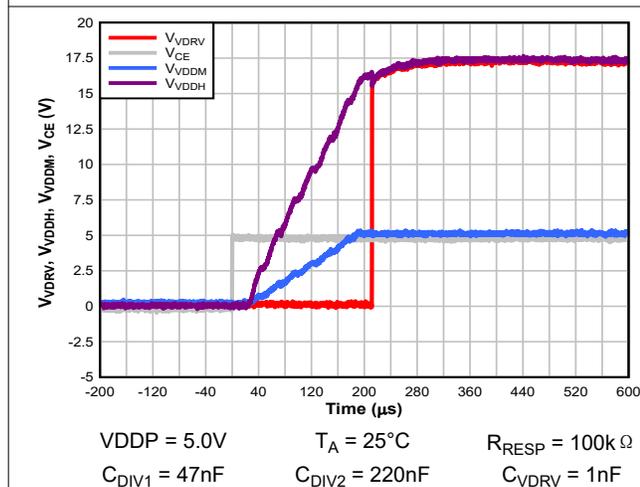


图 6-7. $t_{LH_VDRV_CE}$

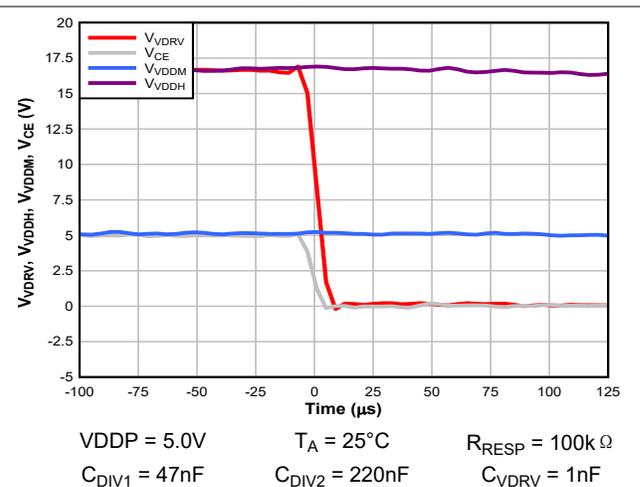


图 6-8. $t_{HL_VDRV_CE}$ (放大图)

6.12 典型特性 (续)

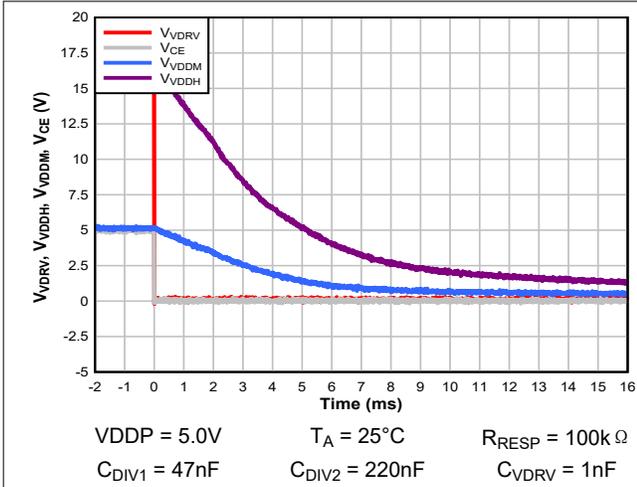


图 6-9. t_{HL_VDRV_CE} (缩小图)

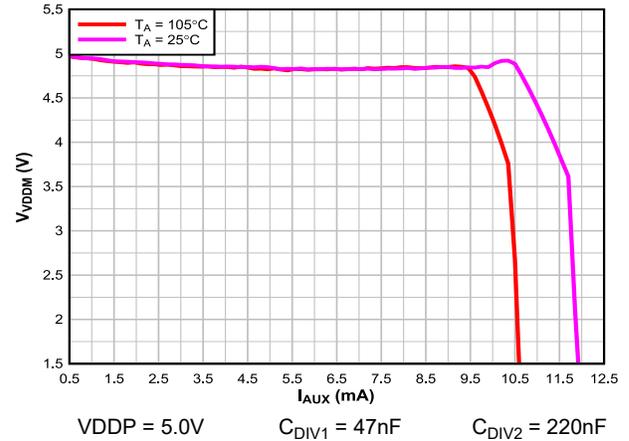


图 6-10. V_VDDM 与 I_AUX 间的关系

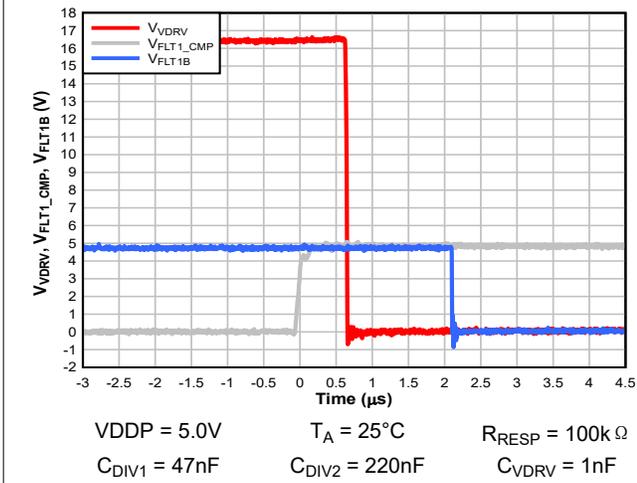


图 6-11. t_{PD_CMP_VDRV_DIS}, t_{FLT_LATENCY}

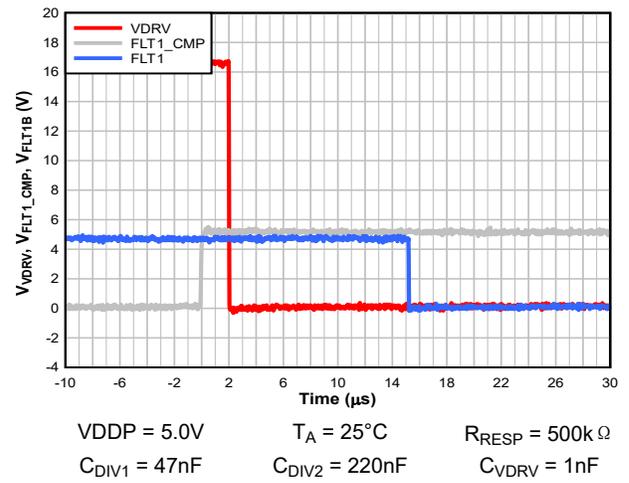


图 6-12. t_{PD_CMP_VDRV_DIS}, t_{FLT_LATENCY}

7 参数测量信息

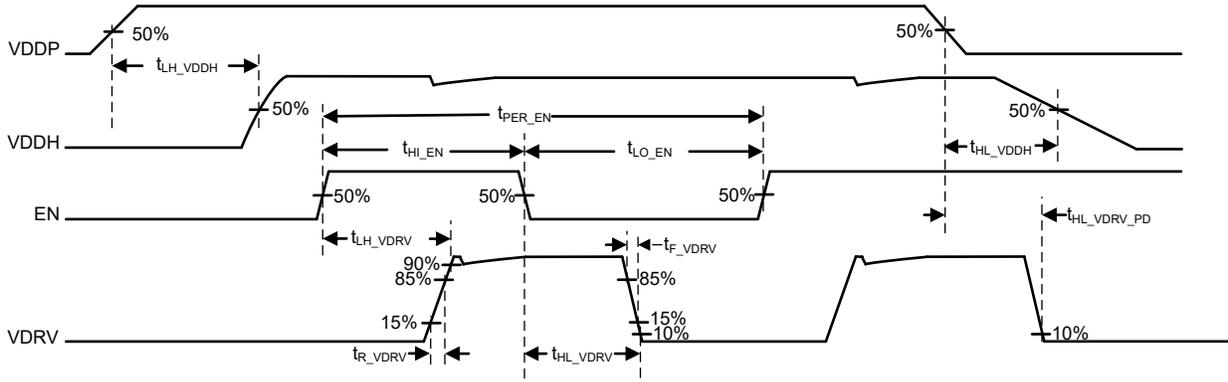


图 7-1. VDRV 时序 (CE = 1 或 CE = VDDP , FLTn_CMP = ALMn_CMP = 0)

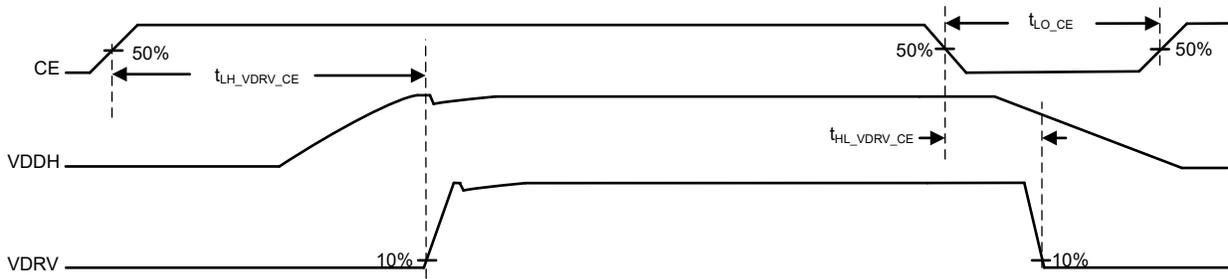


图 7-2. VDRV 时序, (VDDP 存在, FLTn_CMP = ALMn_CMP = 0)

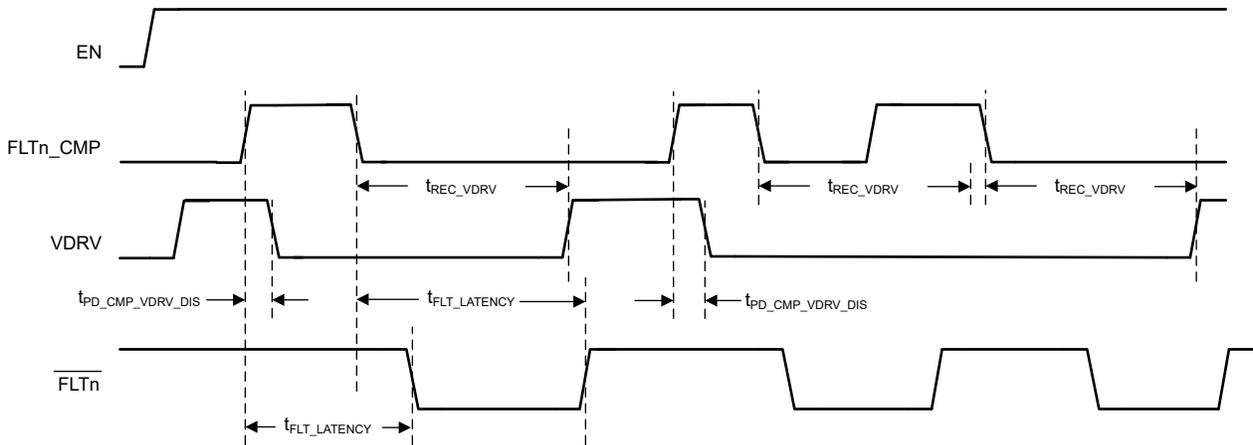


图 7-3. VDRV 自动恢复时序 (CE = 1 或 CE = VDDP)

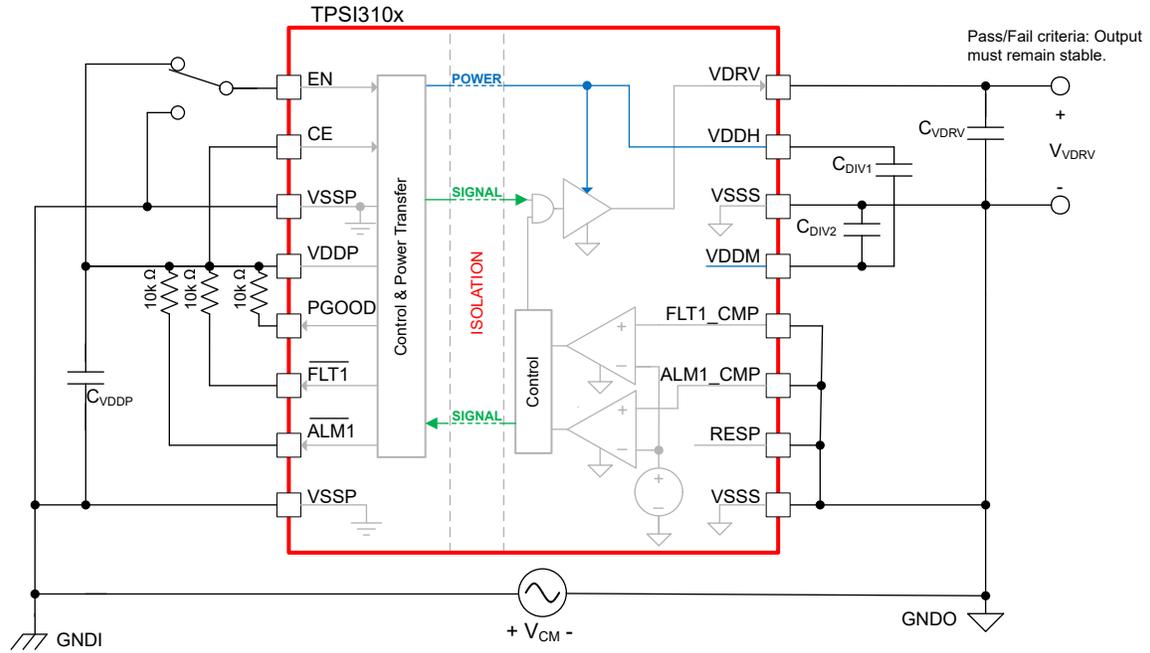


图 7-4. 共模瞬态抗扰度测试电路

8 详细说明

8.1 概述

TPSI3100 是一款完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器。当栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5A 和 2.5A 时，可以使用大量电源开关来满足多种应用需求。TPSI3100 可通过初级侧电源自行产生次级辅助电源，因此无需隔离式次级电源偏置。TPSI3100 通过标称 5V 电源轨 (VDDM) 提供额外电源，供辅助电路使用以执行各种功能，例如电流和电压监测或远程温度检测。TPSI3100 隔离非常稳健，与使用传统机械继电器和光耦合器的隔离相比，其可靠性更高，功耗更低，且温度范围更广。

TPSI3100 集成一个通信反向通道，该反向通道可通过开漏输出、 $\overline{\text{PGOOD}}$ (电源正常状态)、 $\overline{\text{FLT1}}$ (故障 1) 和 $\overline{\text{ALM1}}$ (警报 1) 将状态信息从次级侧传输到初级侧。两个具有集成共享电压基准的高速比较器用于将 $\overline{\text{FLT1}}$ 和 $\overline{\text{ALM1}}$ 置为有效。当比较器输入 FLT1_CMP 超过基准电压时，驱动器立即被置为低电平，并且 $\overline{\text{FLT1}}$ 也被驱动为低电平，向系统指示发生了故障。这对于在发生紧急事件 (例如过流检测) 时以低延迟禁用外部开关非常有用。当比较器输入 ALM1_CMP 超过电压基准时， $\overline{\text{ALM1}}$ 信号被置为低电平，但驱动器不执行任何操作。这可用作过热或过压事件的警报或警告指示器。

TPSI310xL 系列提供基于锁存器的故障指示器。当检测到故障时，驱动器和故障指示器被置为低电平并保持锁存状态，直到 EN 被置为低电平。TPSI310x 系列具有非锁存故障指示器。如果故障事件不再存在，则 $\overline{\text{FLT1}}$ 被置为无效，并且驱动器在指定的恢复期后遵循 EN 引脚的状态。如果故障事件仍然存在，则故障指示器和驱动器都继续被置为低电平。

TPSI310x 和 TPSI310xL 器件系列具有两种集成基准电压选项，可满足各种应用需求。

功能方框图显示初级侧包含一个发送器，该发送器将交流电驱动到集成变压器的初级绕组中，该变压器将功率从初级侧传输到次级侧。该发送器在高频 (80MHz, 标称值) 下运行，以最佳方式驱动变压器达到其峰值效率。此外，该发送器利用展频技术显著提高 EMI 性能，使许多应用能够达到 CISPR 25 5 类标准。在传输过程中，数据信息与功率一起传输到次级侧。在次级侧，变压器次级绕组上感应的电压经过整流和倍增，并调节至 VDDH 电压电平。最后，解调器对接收到的数据信息进行解码并根据 EN 引脚的逻辑状态将 VDRV 驱动为高电平或低电平。

在每次从初级侧到次级侧的功率传输过程中，反向通道状态信息被自动采样和编码，并从次级侧发送回至初级侧，并在初级侧进行解码。

8.2 功能方框图

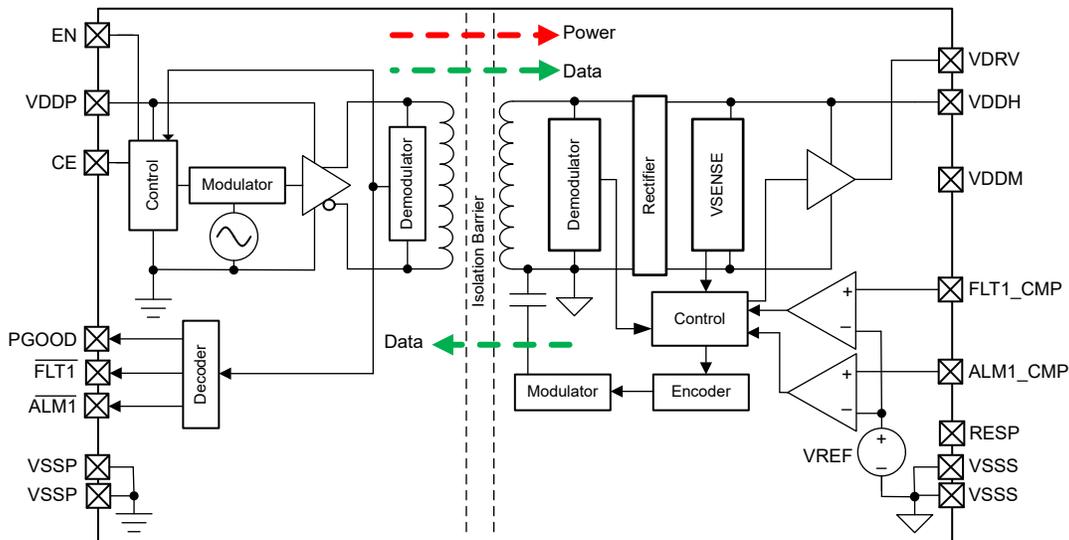


图 8-1. TPSI310x、TPSI310xL

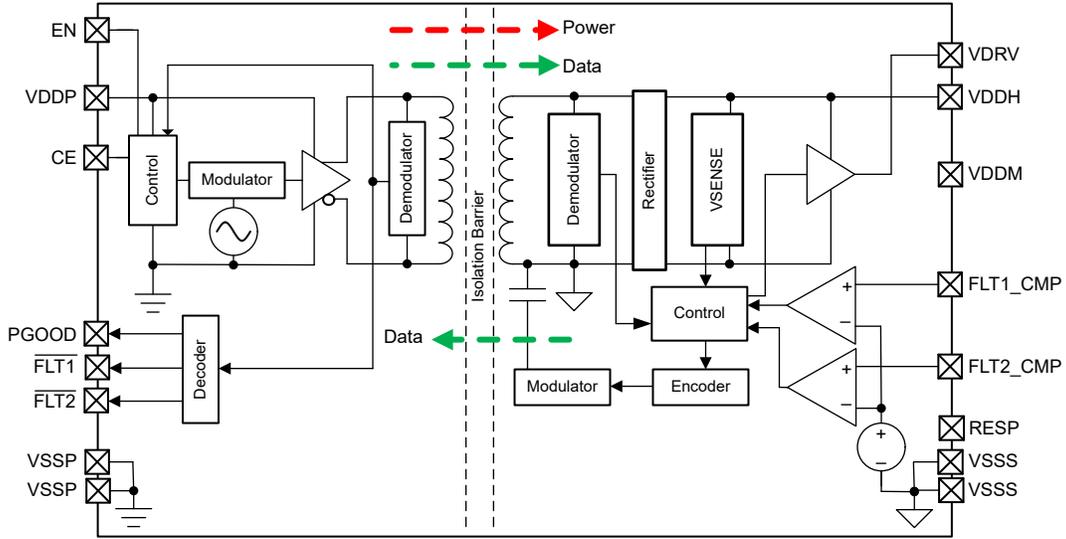


图 8-2. TPSI311x、TPSI311xL

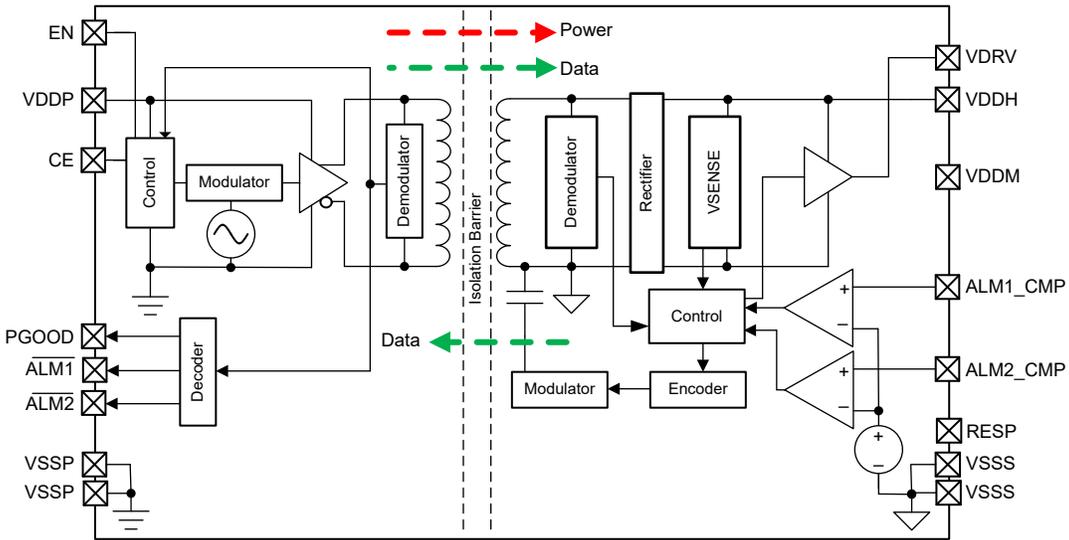


图 8-3. TPSI312x

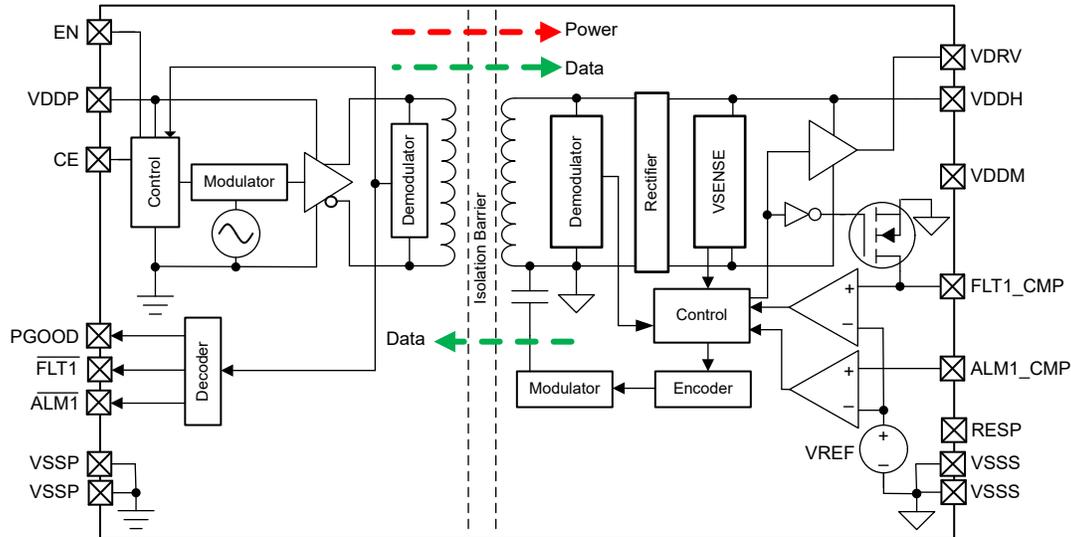


图 8-4. TPSI3133

8.3 特性说明

8.3.1 使能状态的传输

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列使用调制方案跨隔离栅传输开关使能 (EN) 状态信息。发送器使用内部生成的高频载波调制 EN 信号，并以差分方式驱动隔离变压器的初级绕组。次级侧的接收器对接收到的信号进行解调，并根据接收到的状态信息将 VDRV 设置为高电平或低电平。

8.3.2 功率传输

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列不使用次级侧隔离辅助电源作为其电源。次级侧功率是通过隔离变压器从 VDDP 传输初级侧输入功率而获得的。调制方案使用展频技术来提高 EMI 性能，从而帮助应用符合 CISPR 25 5 类标准。

8.3.3 栅极驱动器

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列具有集成栅极驱动器，可提供 17V 标称电压以及 1.5A 和 2.5A 峰值拉电流和灌电流，足以驱动许多功率晶体管。驱动外部功率晶体管时，TI 建议在 VDDH 和 VDDM 之间以及 VDDM 和 VSSS 之间使用旁路电容器 ($C_{DIV2} \geq 3 * C_{DIV1}$)，其等效串联电容至少为等效栅极电容的 30 倍。如果可选的辅助电路需要电源，则可能需要额外的电容。

8.3.4 芯片使能 (CE)

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列 具有高电平有效芯片使能端 CE。当 CE 被置为高电平并且 VDDP 存在时，器件会进入其有效运行模式，从初级侧到次级侧进行功率传输。当 CE 被置为低电平且 VDDP 存在时，器件会进入待机状态，不会发生从初级侧到次级侧的功率传输，并且 VDRV 将被置为低电平。随着时间的推移，VDDH 和 VDDM 会完全放电，具体取决于这些电源轨上的负载大小。

8.3.5 比较器

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列器件包含两个相同的隔离式比较器。图 8-5 展示了一个简化版方框图。比较器的功能（故障或警报）取决于系列中的可订购器件。每个比较器的正输入（FLTn_CMP 或 ALMn_CMP）监测这些输入上以 VSSS 为基准的电压。两个比较器共享一个集成电压基准 VREF，其在电压和温度范围内的精度为 $\pm 1.5\%$ ，在内部连接到每个比较器的负输入。基准电压位于器件内部，外部不可用。基准电压电平取决于系列中的可订购器件。

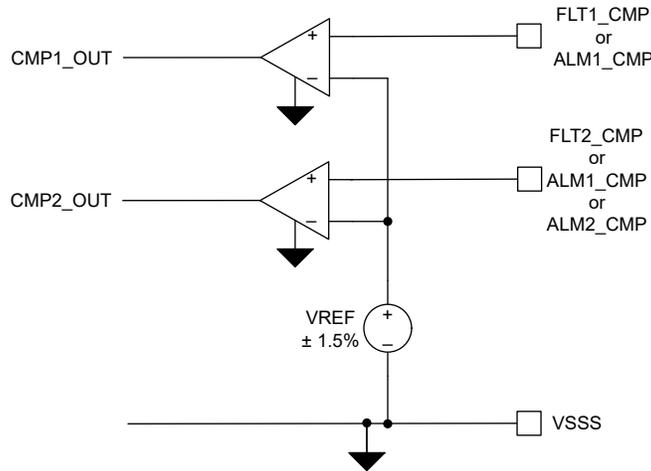


图 8-5. 比较器块图

8.3.5.1 故障比较器

TPSI310x 和 TPSI3133 器件包含一个故障比较器，用于快速将输出驱动器 VDRV 置为低电平，从而以最短的时间禁用外部电源开关。这对于过流保护 (OCP) 等紧急事件非常有用，可保护外部电源开关和下游电路。图 8-6 展示了故障比较器的方框图。TPSI311x 器件具有两个故障比较器。这对于双向 OCP 等应用或需要两个独立的关键事件来保护外部电源开关的情况非常有用。TPSI312x 器件不支持任何故障比较器，仅支持警报比较器。

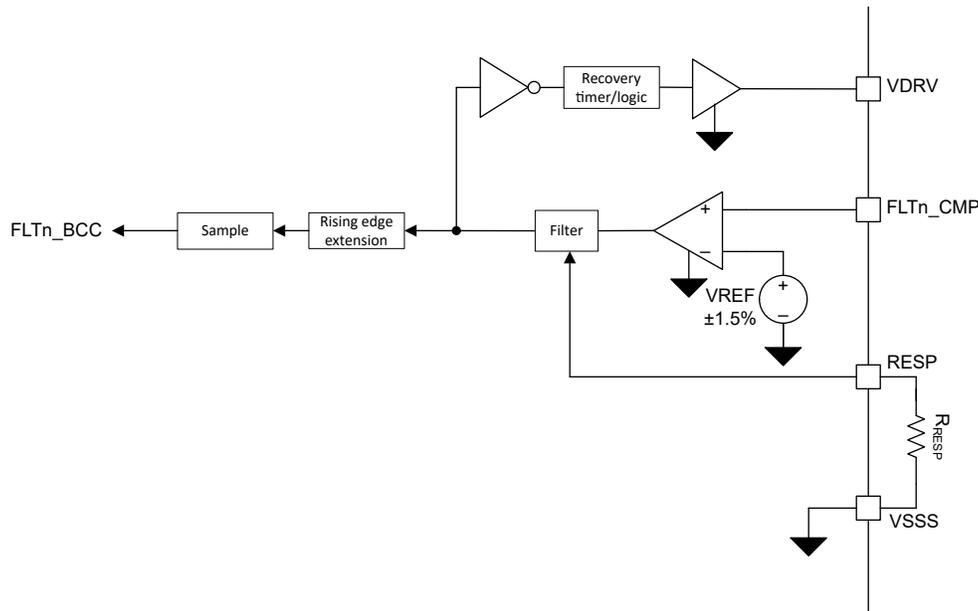


图 8-6. 故障比较器方框图

如果故障比较器的输入电压 $FLTn_CMP$ 超过内部基准电压 $VREF$ ，则比较器输出置为高电平。比较器输出经过滤波，可通过连接在 $RESP$ 和 $VSSS$ 之间的外部 1% 电阻器 R_{RESP} 进行调节。比较器输出从低电平到高电平转换的滤波可通过 R_{RESP} 进行调节。比较器输出从高电平到低电平的转换以固定设置进行滤波。通过对比较器输出进行滤波，可实现灵活性和应用权衡，有助于更大幅度地减少误触发事件，同时仍提供足够的保护。然后，经过滤波的比较器输出被馈送到驱动器逻辑中。如果比较器输出从低电平转换到高电平事件通过滤波器，则无论 EN 的状态如何， $VDRV$ 都会立即置为低电平。TPSI310x、TPSI311x 和 TPSI3133 故障比较器不会被锁存。发生故障时， $VDRV$ 的恢复计时器可使 $VDRV$ 保持最短时间 t_{REC_VDRV} 的低电平。如果故障条件消除 ($FLTn_CMP$ 电压降

至内部基准电压以下并通过滤波器)，则 VDRV 保持低电平，直到恢复计时器到期。恢复计时器到期后，VDRV 遵循 EN 的状态。如果在恢复计时器到期之前发生故障情况，则恢复计时器会重新启动。

比较器输出信息经由隔离栅通过反向通道通信 (BCC) 传输到器件的初级侧。如图 8-6 所示，通过滤波器的比较器输出的任何从低电平到高电平的转换（故障事件）都会被延长，以确保采样逻辑捕获该事件。通过滤波器的比较器输出的任何从高电平到低电平的转换（恢复事件）都不会被延长。如果恢复事件的持续时间不超过采样周期，则采样逻辑可能会错过该事件。因此，故障事件优先于恢复事件。FLTn 开漏输出在发生故障事件时被置为低电平。如果发生恢复事件并被示例逻辑捕获，则 FLTn 开漏输出被设置为高阻抗，但 VDRV 仍被置为低电平，直到恢复计时器到期。

TPSI310xL 和 TPSI311xL 器件具有锁存故障比较器，如图 8-7 所示。故障事件会被锁存并保持，直到 EN 被置为低电平。发生故障事件时，VDRV 置为低电平并保持，直到 EN 被置为低电平并且恢复计时器到期。FLTn 也被置为低电平并保持，直到 EN 被置为低电平。如果故障事件已恢复，则即使恢复计时器未到期，FLTn 也会被置为高电平。

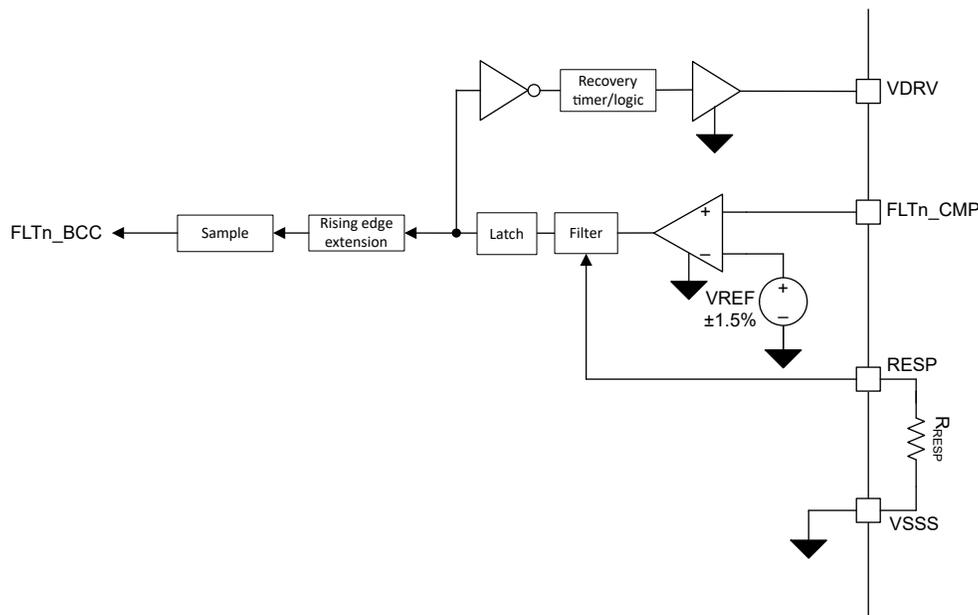


图 8-7. 锁存故障比较器方框图

8.3.5.2 警报比较器

TPSI310x 和 TPSI3133 器件包含一个警报比较器。TPSI312x 器件包含两个警报比较器。警报比较器与故障比较器的不同之处在于，比较器的输出状态无法直接控制 VDRV 输出驱动器。图 8-8 展示了警报比较器的方框图。

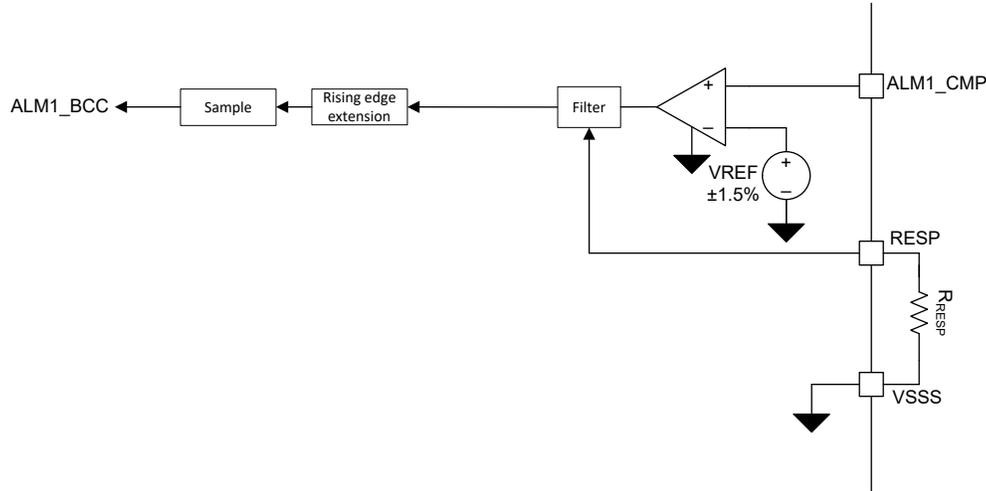


图 8-8. 警报比较器方框图

如果警报比较器的输入电压 $ALM1_CMP$ 超过内部基准电压 $VREF$ ，则比较器输出置为高电平。比较器输出经过滤波，可通过连接在 $RESP$ 和 $VSSS$ 之间的外部 1% 电阻器 R_{RESP} 进行调节。比较器输出从低电平到高电平转换的滤波可通过 R_{RESP} 进行调节。比较器输出从高电平到低电平的转换以固定设置进行滤波。滤波器设置由故障和报警比较器共享，无法单独设置。此外，警报比较器不会被锁存。

与故障比较器类似，警报比较器输出信息经由隔离栅通过反向通道通信 (BCC) 传输到器件的初级侧。如图 8-8 所示，通过滤波器的比较器输出的任何从低电平到高电平的转换（警报事件）都会被延长，以确保采样逻辑捕获该事件。通过滤波器的比较器输出的任何从高电平到低电平的转换（恢复事件）都不会被延长。如果恢复事件的持续时间不超过采样周期，则采样逻辑可能会错过该事件。因此，警报事件优先于恢复事件。 $ALM1$ 开漏输出在发生警报事件时被置为低电平。如果发生恢复事件并被采样逻辑捕获，则 $ALM1$ 开漏输出被设置为高阻抗。

8.3.5.3 比较器抗尖峰脉冲

对于许多应用而言，需要在检测紧急事件和错误触发非紧急事件之间进行权衡。利用 $RESP$ 引脚，可以根据应用需求调节比较器的响应时间。通过在 $RESP$ 引脚和 $VSSS$ 之间连接的 1% 电阻器，可以对比较器响应进行滤波。可以使用方程式 1 来估算比较器输出高电平设置的典型抗尖峰脉冲大小 $t_{DEGLITCH_CMP_R}$ ，其中 $t_{DEGLITCH_CMP_R}$ 单位为纳秒， R_{RESP} 单位为千欧。

$$t_{DEGLITCH_CMP_R}(ns) = \max\left[(3.55 \times R_{RESP}(k\Omega) + 153), 235\right] \quad (1)$$

如果比较器输出高电平设置的持续时间超过 $t_{DEGLITCH_R}$ ，则比较器输出会传播。会以固定设置 $t_{DEGLITCH_CMP_F}$ 对比较器输出低电平设置进行滤波。

8.3.6 VDDP、VDDH 和 VDDM 欠压锁定 (UVLO)

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列为输入 (VDDP) 和输出电源 (VDDM 和 VDDH) 实现内部 UVLO 保护功能。该器件将保持禁用状态，直到 VDDP 超过其上升 UVLO 阈值。当 VDDP 电源电压降至低于其下降阈值电压时，无论 EN 状态如何，器件都会尝试发送数据信息以快速将 $VDRV$ 置为低电平。这取决于 VDDP 损耗率。如果 VDDP 崩溃太快而无法发送信息，超时机制可确保 $VDRV$ 在 $t_{HL_VDRV_PD}$ 内被置为低电平。VDDP ULVO 事件会使 $PGOOD$ 、 $\overline{FLT1}$ 和 $ALM1$ 置为低电平。

VDDH 和 VDDM UVLO 电路分别监测 VDDH 和 VDDM 上的电压。仅当超过 VDDH 和 VDDM UVLO 上升阈值时， $VDRV$ 才会被置为高电平。如果 VDDH 或 VDDM 低于各自的 UVLO 下降阈值，则 $VDRV$ 立即被置为低电平。UVLO 保护块具有迟滞功能，有助于提高 $VDRV$ 对 VDDM 和 VDDH 电源轨上噪声的抗干扰度。在导通和关断期间，驱动器会拉取和灌入峰值瞬态电流，从而使 VDDH 和 VDDM 电源产生压降。UVLO 保护电路会忽略这些正常开关瞬态期间的相关噪声。

8.3.7 禁止电路

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列包含输出驱动器上的禁止电路。禁止电路的目的是将栅极电压钳位在可接受的电平以下，以防止外部电源开关在次级电源轨未供电时导通。禁止电路可用于替代或大幅降低外部电源开关上外部释放电阻器的要求。

图 8-9 显示了禁止电路的简化原理图。晶体管 MP1 和 MN1 构成了提供栅极电流来驱动外部电源开关 (M1) 的驱动器。当次级侧未供电时，从 MN1 的漏极连接到栅极的 $1\text{M}\Omega$ 电阻器形成 NMOS 二极管配置。任何通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的外部耦合都可能导致 VDRV 信号上升。MN1 的二极管配置会灌入该电流，以防止 VDRV 上升过高，从而将 VDRV 钳位到 $V_{\text{ACT_CLAMP}}$ 。这足以使大多数电源开关保持关断状态。如果需要，还可以在 M1 的栅源之间放置一个额外的电阻 (约为 $250\text{k}\Omega$ 或更高)。请注意，所施加的任何电阻在正常运行时都需要次级电源供电，总体功率预算中应考虑这一点。

除了 MN1 二极管钳位之外，MP1 的体二极管还有助于吸收任何耦合到 VDRV 的电流。对于大多数应用，等效电容 C_{eq} (C_{DIV1} 和 C_{DIV2} 的串联组合) 通常约为数百纳法拉。如果功率传输停止一段时间，该电容会完全放电至 VSSS，并通过连接至 VDDH 的 MP1 的体二极管将 VDRV 二极管钳位至 VSSS 以上。通过 M1 寄生栅漏和栅源电容耦合到 VDRV 信号的任何外部耦合都被 C_{eq} 吸收，从而更大限度减少 VDRV 上的电压上升。

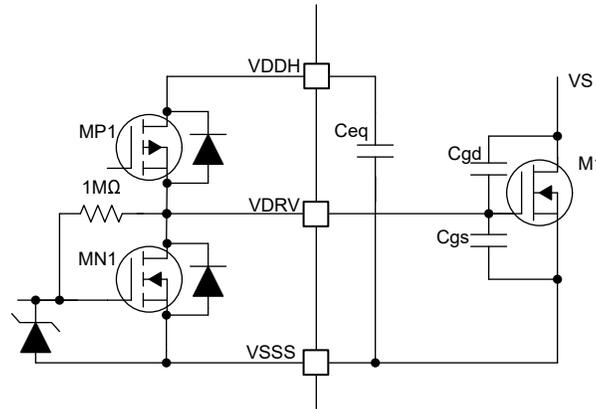


图 8-9. 禁止电路

8.3.8 热关断

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列具有一个集成温度传感器。该传感器监测其本地温度。当传感器达到其阈值时，会自动禁用从初级侧到次级侧的功率传输，并发送数据信息以禁用驱动器 VDRV。在本地温度降低到足以重新启动之前，功率传输被禁用，并且 VDRV 被置为低电平。

8.4 器件操作

VDDP 必须由可提供所需功率的低阻抗外部电源独立供电。当存在 VDDP 电源且 CE 为逻辑高电平时，功率从初级侧传输到次级侧。将 EN 引脚设置为逻辑高电平或低电平会将 VDRV 置为有效或置为无效，从而分别启用或禁用外部开关。图 8-10 展示了正常运行所需的基本设置，其中需要 EN、VDDP 和 VSSP 信号。EN 最高可被驱动至 5.5V ，通常由与 VDDP 位于同一电源轨上的电路驱动。在该示例中，TPSI310x 用于驱动采用共源极配置的背对背 MOSFET。交流开关应用或需要反向阻断的直流开关需要驱动背对背 MOSFET。 C_{VDDP} 为 VDDP 电源提供所需的去耦电容。 C_{DIV1} 和 C_{DIV2} 提供 VDDH/VDDM 电源轨所需的去耦电容，以提供峰值电流来驱动外部 MOSFET。

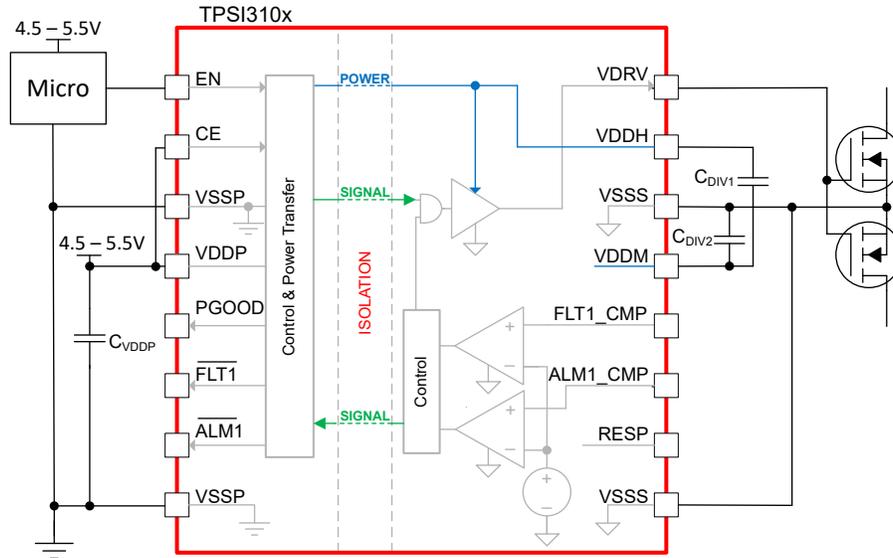


图 8-10. 简化版原理图

图 8-11 展示了从启动到稳态条件的基本操作。

- 在 T1 时：VDDP 为器件上电。 $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 被置为低电平。
- 在 T2 和 T3 时：TPSI310x 开始在固定突发周期（典型值为 $25\ \mu\text{s}$ ）内将功率从 VDDP 传输到次级侧，从而开始对 VDDH 和 VDDM 次级侧电源轨充电。只要 VDDP 存在（并且 CE 保持高电平），功率传输就会继续。VDDH 完全充电所需的时间取决于多个因素，包括 VDDP、 C_{DIV1} 和 C_{DIV2} 的值，从 VDDM 汲取的辅助负载大小以及总体功率传输效率。
- 在 T4、T5 和 T6 时：经过四个突发周期后， $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 被释放并开始反映各自的状态。如果 VDDM 和 VDDH 均高于其 UVLO 阈值，则 PGOOD 置为高电平，否则继续被置为低电平。 $\overline{\text{FLTn}}$ 和 $\overline{\text{ALMn}}$ 指示其比较器输出的状态。在该示例中，由于 $\overline{\text{FLTn_CMP}}$ 和 $\overline{\text{ALMn_CMP}}$ 连接到 VSSS，因此 $\overline{\text{FLTn}}$ 和 $\overline{\text{ALMn}}$ 置为高电平。状态指示器始终按照 $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 的顺序传输，每个指示器之间的延迟大约为 400ns。
- 在 T7 和 T8 时：EN 被置为高电平，VDRV 被置为高电平。请注意，只有当 VDDH 和 VDDM 均高于其 UVLO 阈值时，VDRV 才会置为高电平。由于 $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 指示器的延迟，VDRV 可能在 PGOOD 置为高电平之前置为高电平。

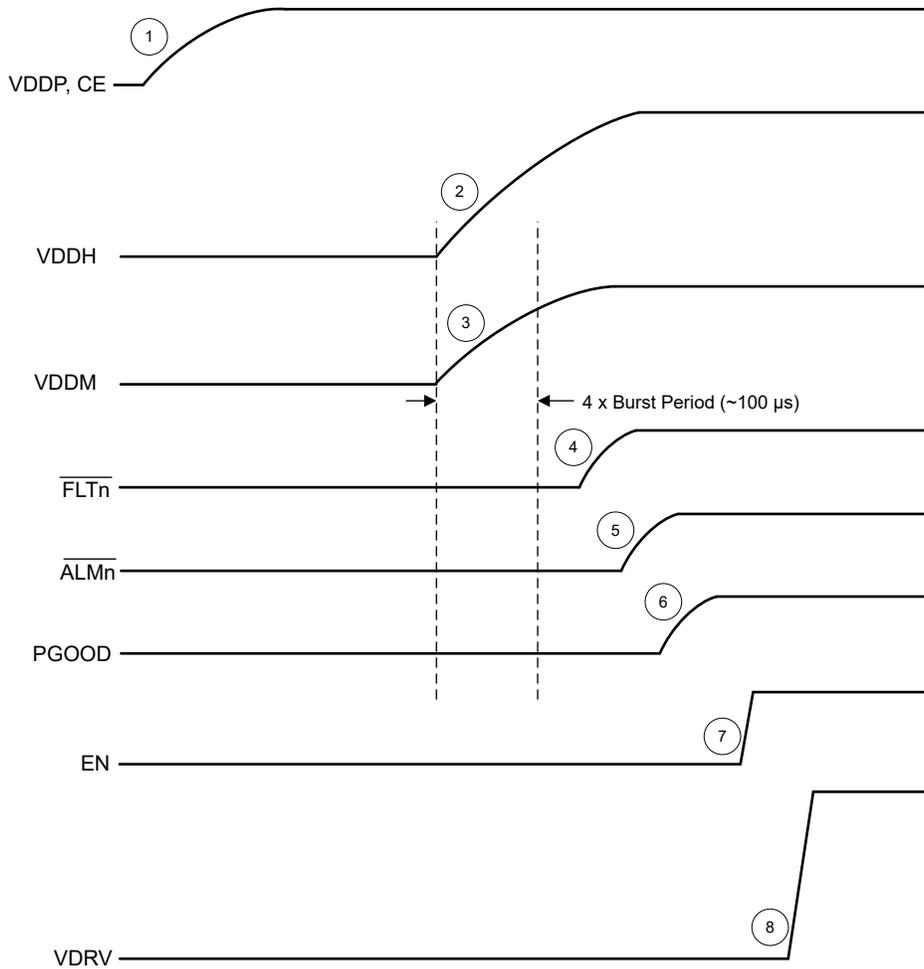


图 8-11. TPSI310x 典型启动 (CE = VDDP , $\overline{\text{FLTn_CMP}} = 0$, $\overline{\text{ALMn_CMP}} = 0$)

图 8-12 展示了 VDDP、CE 和 EN 信号连接在一起的启动序列。

- 在 T1 时：VDDP 为器件上电。 $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 被置为低电平。
- 在 T2 和 T3 时：TPSI310x 开始在固定突发周期 (典型值为 $25 \mu\text{s}$) 内将功率从 VDDP 传输到次级侧，从而开始对 VDDH 和 VDDM 次级侧电源轨充电。
- 在 T4 时：当 VDDH 和 VDDM 均高于其 UVLO 阈值时，VDRV 置为高电平。
- 在 T5、T6 和 T7 时：经过四个突发周期后， $\overline{\text{FLTn}}$ 、 $\overline{\text{ALMn}}$ 和 PGOOD 被释放并开始反映各自的状态。在该特定示例中，假设 VDDH 和 VDDM 电源轨在四个突发周期 ($100 \mu\text{s}$) 下充电至超过 UVLO 阈值。在这种情况下，由于存在 PGOOD 延迟，PGOOD 在 VDRV 被置为高电平后置为高电平。

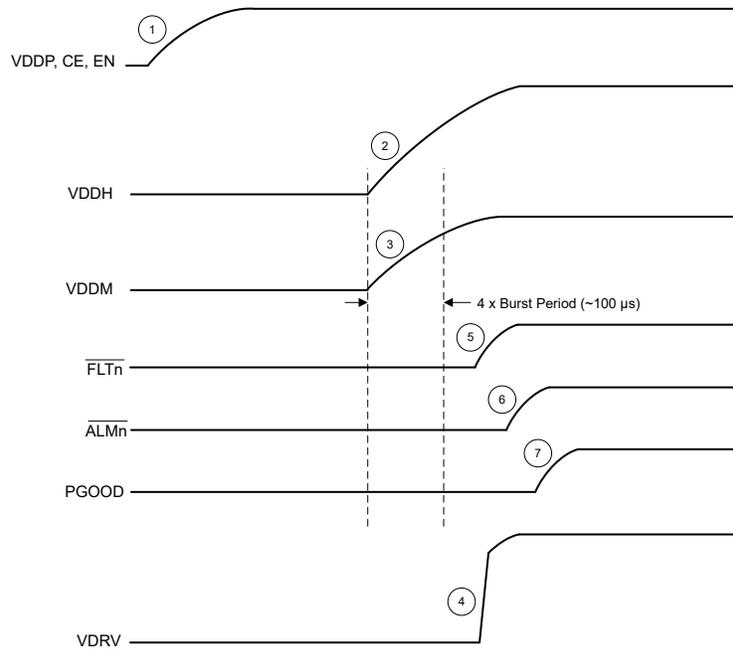


图 8-12. TPSI310x 典型启动 (CE = EN = VDDP , FLTn_CMP = 0 , ALMn_CMP = 0)

为了降低平均功耗，TPSI310x 以突发方式将功率从初级侧传输到次级侧。突发的周期是固定的，而突发开启时间由调节 VDDM 电压的控制环路在内部决定。突发导通时间会自动调整，从而优化给定负载条件下的功率传输。在上电期间，器件以最大功率设置运行，有助于快速为 VDDM 和 VDDH 电源轨充电。

8.5 器件功能模式

表 8-1 总结了 TPSI310x 和 TPSI310xL 的功能模式。

表 8-1. TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列，功能模式 (1) (2)

CE	VDDP	VDDH、VDDM	EN	VDRV	PGOOD	注释
X	已断电 ⁽⁴⁾	已断电 ⁽⁶⁾	X	L	高阻态	已断电： VDRV 输出被禁用，应用了禁止电路。
L	已上电 ⁽³⁾	已断电 ⁽⁶⁾	X	L	L	禁用的操作： 当 CE 被置为低电平时，到次级的功率传输停止。VDDH 和 VDDM 电源轨放电，直到加载。VDRV 输出被禁用，应用了禁止电路。
H	已上电 ⁽³⁾	已上电 ⁽⁵⁾	L	L	H	正常运行：VDRV 输出状态遵循 EN 逻辑状态。
			H	H	H	
X	已断电 ⁽⁴⁾	已上电 ⁽⁵⁾	X	L	L	禁用的操作： 当 VDDP 断电时，输出驱动器自动禁用。如果有足够的 VDDP 电源可用，则 VDRV 在传播延迟内被禁用，否则在超时持续时间后被禁用。应用了禁止电路。

- (1) 不存在警报或故障情况 (FLTn_CMP = ALMn_CMP = 0)。
(2) X：无关。
(3) $V_{VDDP} \geq V_{VDDP_UVLO}$ 阈值。
(4) $V_{VDDP} < V_{VDDP_UVLO}$ 阈值。
(5) $V_{VDDH} \geq V_{VDDH_UVLO}$ 阈值且 $V_{VDDM} \geq V_{VDDM_UVLO}$ 阈值。
(6) $V_{VDDH} < V_{VDDH_UVLO}$ 阈值或 $V_{VDDM} < V_{VDDM_UVLO}$ 阈值。

表 8-2 总结了故障和比较器功能行为。

表 8-2. FLTn、ALMn 功能行为 (1)

CE ⁽²⁾	FLTn_CMP ⁽³⁾	ALMn_CMP ⁽⁴⁾	FLTn ⁽⁵⁾	ALMn ⁽⁵⁾	注释
L	X	X	L	L	VDRV 输出被禁用，应用了禁止电路。
H	L	L	高阻态	高阻态	VDRV 输出遵循 EN 引脚的状态。
H	L	H	高阻态	L	检测到故障。VDRV 输出被置为低电平，直到恢复计时器到期。在锁存故障器件上，VDRV 置为低电平并保持低电平，直到 EN 置为低电平，然后置为高电平，并且恢复计时器到期。
H	H	L	L	高阻态	检测到警报。VDRV 输出不变。
H	H	H	L	L	检测到故障和警报。VDRV 输出被置为低电平，直到恢复计时器到期。在锁存故障器件上，VDRV 置为低电平并保持低电平，直到 EN 置为低电平，然后置为高电平，并且恢复计时器到期。

- (1) 假设 $V_{VDDP} \geq V_{VDDP_UVLO}$ 阈值，并且器件在稳态条件下完全通电。
(2) L： $V_{CE} < V_{IT_-(CE)}$ ，H： $V_{CE} \geq V_{IT_+(CE)}$ 。
(3) L： $V_{FLTn_CMP} < V_{REF}$ ，H： $V_{FLTn_CMP} \geq V_{REF}$ 。
(4) L： $V_{ALMn_CMP} < V_{REF}$ ，H： $V_{ALMn_CMP} \geq V_{REF}$ 。
(5) 高阻态：开漏输出被禁用，L：开漏输出被启用。

9 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TPSI310x 是一款具有集成偏置、完全集成的隔离式开关驱动器，与外部电源开关结合使用时，可构成完整的隔离式固态继电器解决方案。当标称栅极驱动电压为 17V，峰值拉电流和灌电流为 1.5A 和 3.0A 时，可以选择多种外部电源开关（例如 MOSFET、IGBT 或 SCR）来满足各种应用需求。TPSI310x 可通过初级侧电源自行产生次级辅助电源，因此无需隔离式次级电源偏置。

次级侧可为驱动多种电源开关提供 17V 的浮动稳压电源轨，无需次级偏置电源。TPSI310x 可支持为各种交流或直流应用驱动单电源开关和双背对背并联电源开关。TPSI310x 集成式隔离保护功能极其稳健，与使用传统机械继电器和光耦合器的产品相比，其可靠性更高，功耗更低，且温度范围更宽。

TPSI310x 集成一个通信反向通道，该反向通道可通过开漏输出、PGOOD（电源正常状态）、 $\overline{FLT1}$ （故障 1）和 $\overline{ALM1}$ （警报 1）将各种状态信息从次级侧传输到初级侧。两个具有集成共享电压基准的高速比较器用于将 $\overline{FLT1}$ 和 $\overline{ALM1}$ 置为有效。当比较器输入 FLT1_CMP 超过电压基准时，驱动器立即被置为低电平，并且初级侧的 $\overline{FLT1}$ 在一段延迟后被驱动为低电平，指示发生了故障。这对于在发生紧急事件（例如短路检测）时以低延迟直接禁用次级的外部开关非常有用。当比较器输入 ALM1_CMP 超过电压基准时， $\overline{ALM1}$ 信号在初级侧被置为低电平，但驱动器不执行任何操作。这可用于作警报或警告指示器。

系列产品提供的各种器件可用于各种应用，这里仅展示一些示例。图 9-1 展示了适用于直流应用的基于分流的过流保护的简化原理图。当 R_{SHUNT} 上的电压增加时，一旦越过警报比较器的 VREF 阈值就会触发警报事件， $\overline{ALM1}$ 置为低电平以将事件通知系统。随着电压进一步增加，一旦越过故障比较器的 VREF 阈值就会触发故障事件，立即将 \overline{VDRV} 置为低电平以保护 FET 和下游负载。 $\overline{FLT1}$ 置为低电平以将事件通知系统。

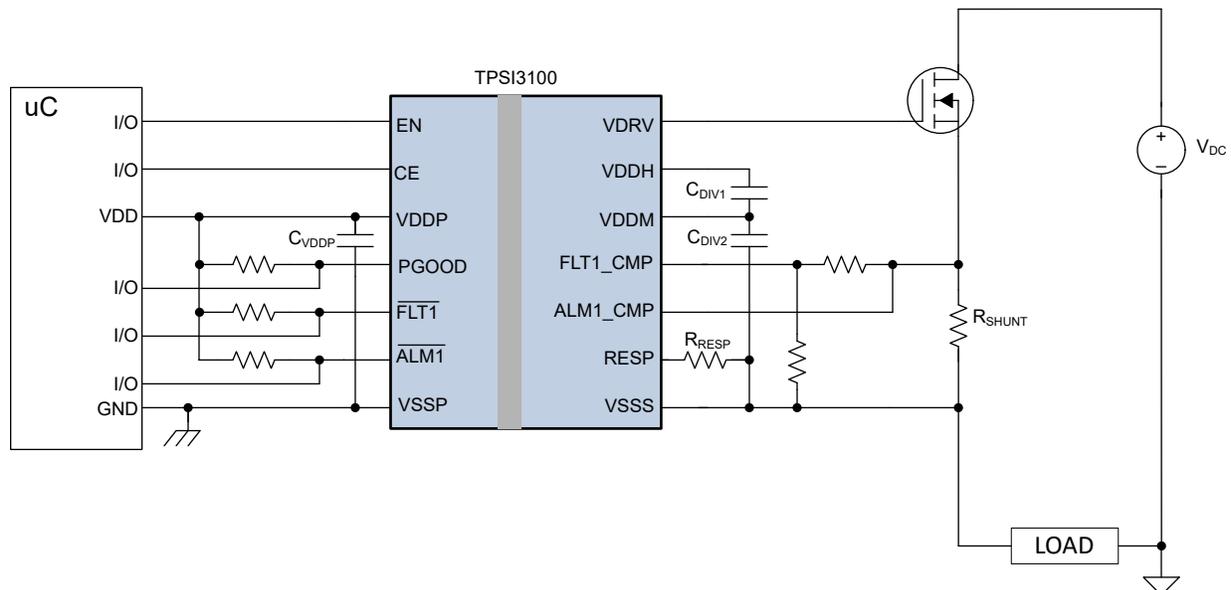


图 9-1. TPSI3100 通过故障和警报指示器提供过流保护

图 9-2 展示了适用于直流应用的、使用电流检测放大器的基于分流的过流保护的简化原理图。电流检测放大器具有低输入失调，允许使用较小值的 R_{SHUNT} 值，以便在较大的电流范围内实现较低的功率损耗。当 R_{SHUNT} 上的电压增加时，在由电流检测放大器放大后，一旦越过警报比较器的 VREF 阈值就会触发警报事件， $\overline{ALM1}$ 置为低电

平以将事件通知系统。随着电压进一步增加，一旦越过故障比较器的 V_{REF} 阈值就会触发故障事件，立即将 V_{DRV} 置为低电平以保护 FET 和下游负载。 $FLT1$ 置为低电平以将事件通知系统。

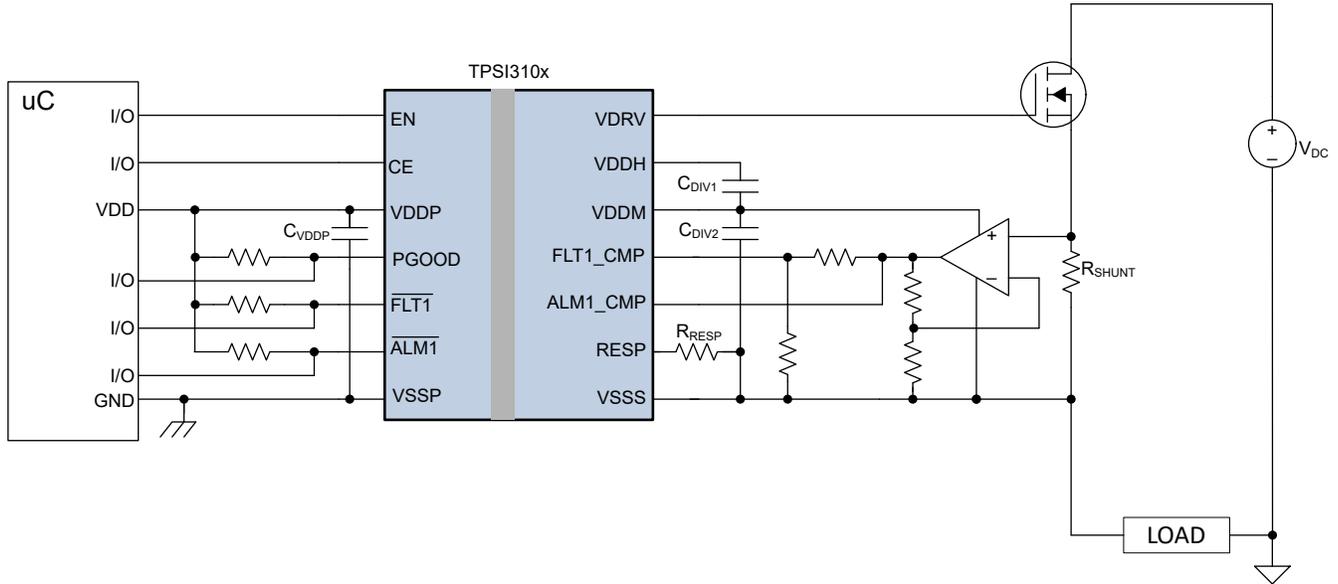


图 9-2. TPSI310x 通过电流检测放大器、故障和警报指示器提供过流保护

图 9-3 展示了适用于交流应用的基于分流的过流保护的简化原理图。当 R_{SHUNT1} 上的正交流电压增加时，一旦越过第一个故障比较器的 V_{REF} 阈值就会触发故障事件，立即将 V_{DRV} 置为低电平以保护背对背 FET 和下游负载。 $FLT1$ 置为低电平以将事件通知系统。同样地，当 R_{SHUNT2} 上的负交流电压增加时，一旦越过第二个故障比较器 V_{REF} 阈值就会触发故障事件，立即将 V_{DRV} 置为低电平。 $FLT2$ 置为低电平以将事件通知系统。

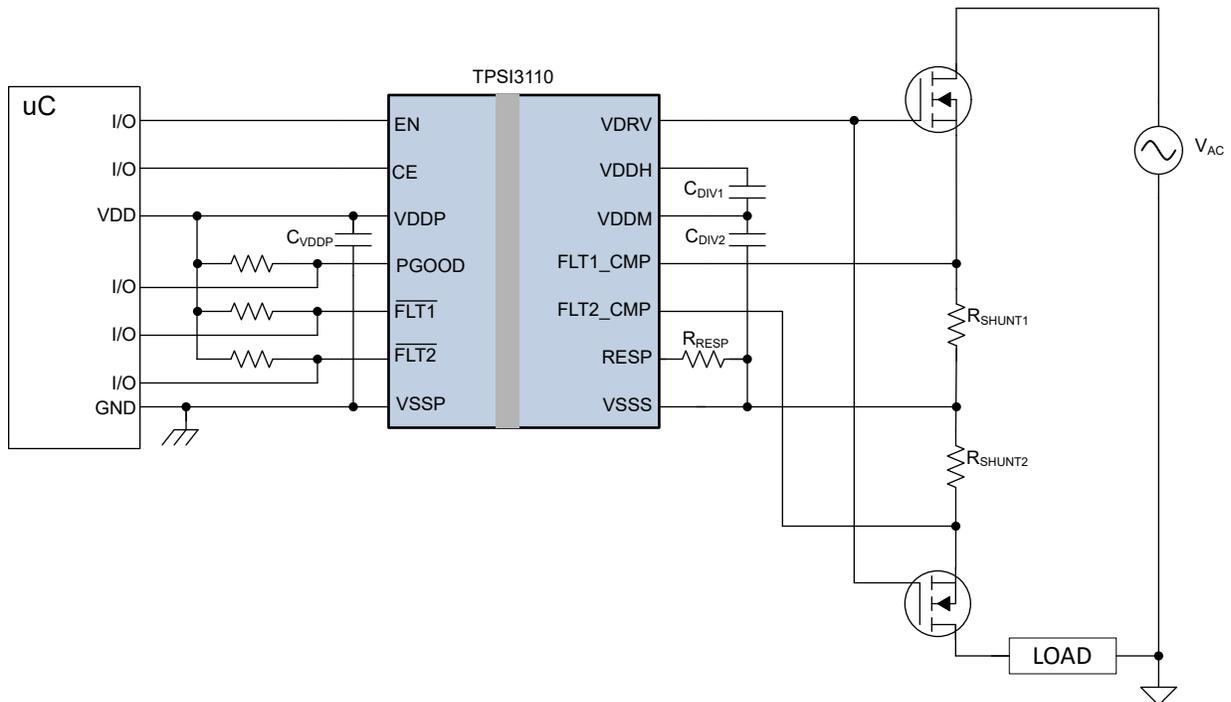


图 9-3. TPSI3110 通过故障指示器提供双向过流保护

图 9-4 展示了适用于交流应用的、使用双电流检测放大器的基于分流的过流保护的简化原理图。在此拓扑中，使用单个分流电阻器。顶部电流检测放大器将其 $IN+$ 和 $IN-$ 引脚连接至 R_{SHUNT} ，而第二个电流检测放大器将其输入连接反转。当 R_{SHUNT} 上的正交流电压增加时，在被顶部电流检测放大器放大后，一旦越过第一个故障比较器的 $VREF$ 阈值就会触发故障事件，立即将 $VDRV$ 置为低电平以保护背对背 FET 和下游负载。 $FLT1$ 置为低电平以将事件通知系统。同样地，当 R_{SHUNT} 上的负交流电压增加时，一旦越过第二个故障比较器的 $VREF$ 阈值就会触发故障事件，立即将 $VDRV$ 置为低电平。 $FLT2$ 置为低电平以将事件通知系统。

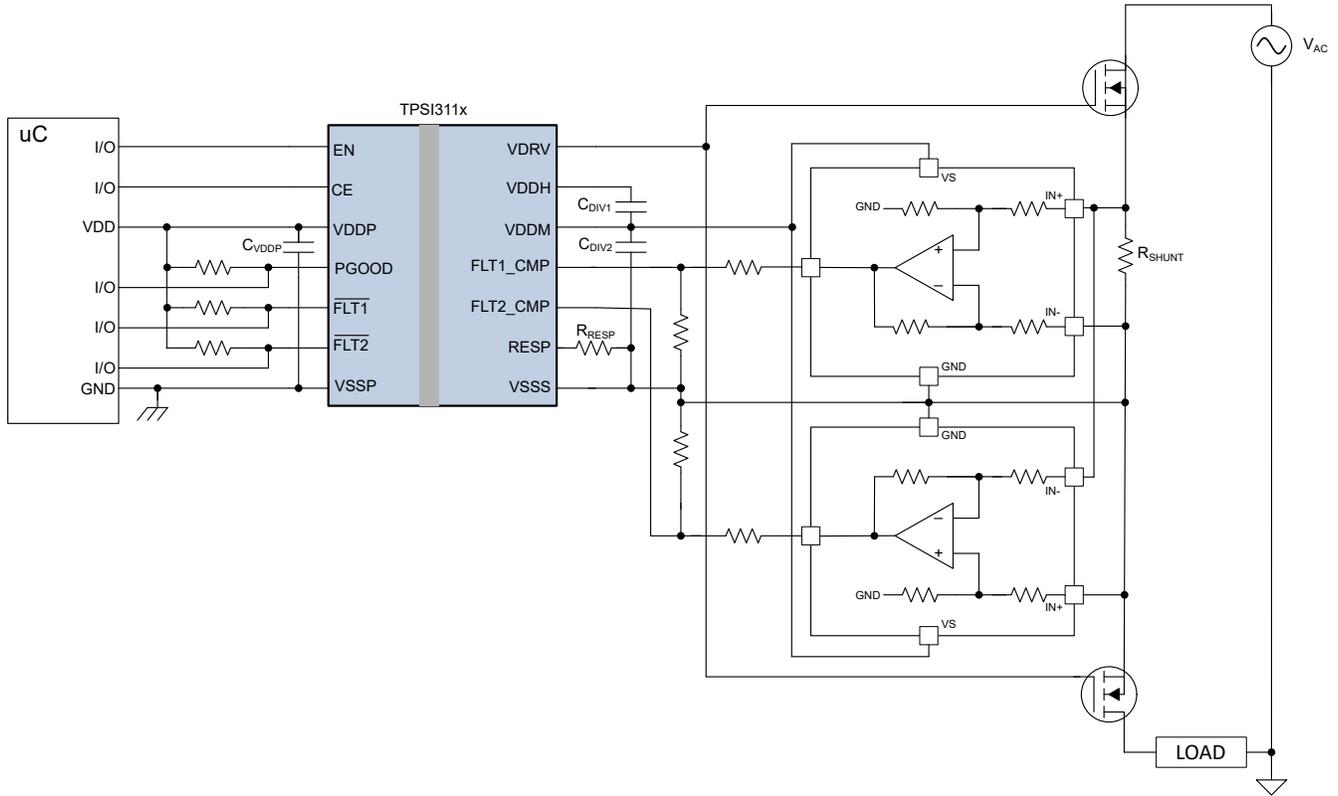


图 9-4. TPSI311x 通过电流检测放大器和故障指示器提供双向过流保护

图 9-5 展示了适用于直流应用的使用 DESAT 保护的过流保护的简化原理图。此方法通常与 IGBT 功率晶体管一起使用。当 IGBT 关断时， $FLT1_CMP$ 由 TPSI3133 在内部驱动为低电平。使能驱动器时， $FLT1_CMP$ 上的电压开始上升。当 IGBT 导通时，在正常负载条件下，其 V_{CE} 快速下降，导致 $FLT1_CMP$ 上的电压保持在故障比较器阈值以下。 $FLT1_CMP$ 释放以及 V_{CE} 下降到足以防止检测到伪故障事件的时间称为消隐时间。调整 $RESP$ 值有助于增加所需的消隐时间，或者可将一些电容添加到 $FLT1_CMP$ 。如果发生过流情况，则 V_{CE} 开始上升，直到 $FLT1_CMP$ 上的电压达到故障比较器的 $VREF$ 阈值。 $VDRV$ 被置为低电平以保护 IGBT 和下游负载。 $FLT1$ 置为低电平以将事件通知系统。

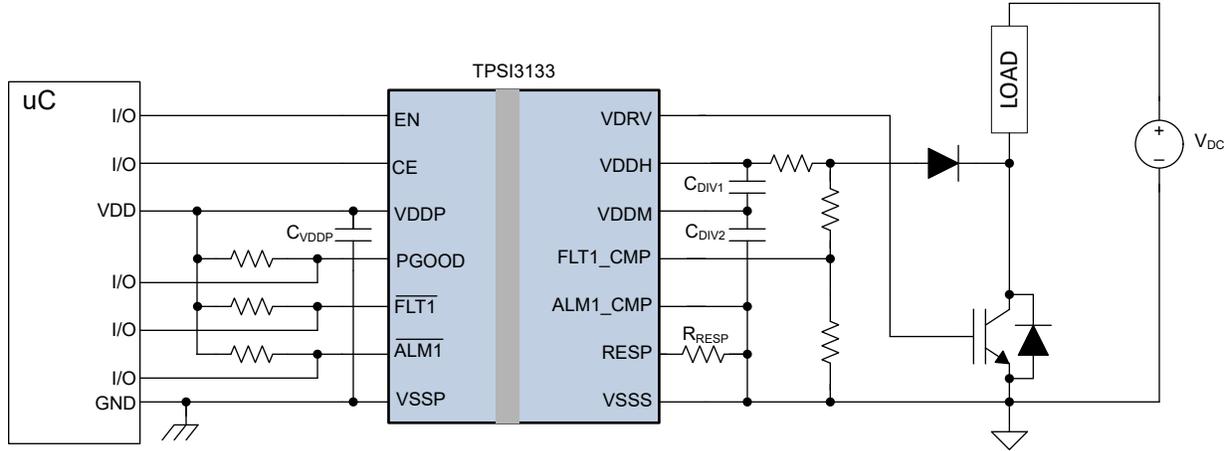


图 9-5. TPSI3133 通过故障指示器提供 DESAT 保护

9.2 典型应用

图 9-6 中显示的简化电路图是使用 TPSI3100 的典型过流保护应用。电路使用警报比较器通过 $\overline{\text{ALM1}}$ 状态指示器向系统发出警告信号。在负载条件下，分流电阻器 R_{SHUNT} 上形成的电压可检测电流。当超出警报阈值时， $\overline{\text{ALM1}}$ 置为低电平。故障比较器用于检测过流事件并在达到设置的过流阈值时禁用驱动器。通过 $\overline{\text{FLT1}}$ 状态指示器置为低电平来通知系统。

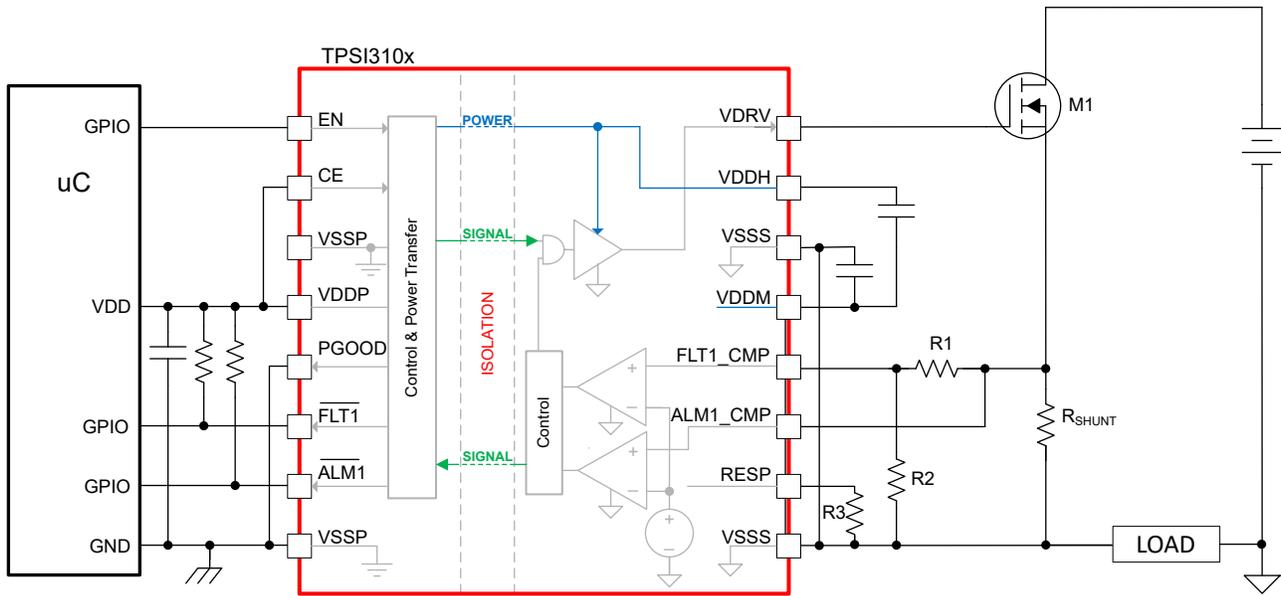


图 9-6. 典型过流保护应用

9.2.1 设计要求

表 9-1 列出了 TPSI310x 栅极驱动器的设计要求。该应用需要驱动外部 FET。它包括两级过流保护电路，可在负载电流超过其阈值时发送警报，并在负载电流超过其过流阈值时发送故障。一旦发生故障，会立即禁用驱动器以保护外部 FET 和负载。该示例中使用的 TPSI3100 包含一个 0.31V 电压基准。

表 9-1. TPSI310x 设计要求

设计参数	
总栅极电容	120nC
故障检测时的 FET 关断时间	< 0.5 μ s

表 9-1. TPSI310x 设计要求 (续)

设计参数	
电源电压 (VDDP)	5V ±5%
过流故障	8A ±10%
过流警报	4A ±10%
分流电阻器容差	±1%

9.2.2 详细设计过程

9.2.2.1 C_{DIV1}、C_{DIV2} 电容

所需的 C_{DIV1} 和 C_{DIV2} 电容器取决于外部负载开关期间 VDDH 轨上可耐受的压降大小。C_{DIV1} 和 C_{DIV2} 电容器上存储的电荷用于在开关期间向负载提供电流。在开关期间会发生电荷共享并且 VDDH 上的电压会下降。TI 建议 C_{DIV1} 和 C_{DIV2} 串联组合形成的总电容大小至少应为要开关的总栅极电容的 30 倍。该大小调整会用于为 VDRV 信号供电的 VDDH 电源轨出现大约 0.5V 的压降。方程式 2 和方程式 3 可用于计算指定压降所需的电容大小。

C_{DIV1} 和 C_{DIV2} 必须具有相同的类型和容差。

$$C_{DIV1} = \left(\frac{n+1}{n}\right) \times \frac{Q_{LOAD}}{\Delta V}, n \geq 3.0 \quad (2)$$

$$C_{DIV2} = n \times C_{DIV1}, n \geq 3.0 \quad (3)$$

其中

- n 是大于或等于 3.0 的实数。
- C_{DIV1} 是连接在 VDDH 和 VDDM 之间的外部电容器。
- C_{DIV2} 是连接在 VDDM 和 VSSS 之间的外部电容器。
- Q_{LOAD} 是从 VDRV 到 VSSS 的负载总电荷。
- ΔV 是切换负载时 VDDH 上的压降。

备注

C_{DIV1} 和 C_{DIV2} 表示绝对电容器，所选的元件必须针对容差和实现所需的电容所需的任何降额进行调节。

可在应用中使用较大的 ΔV 值，但过大的压降可能导致达到 VDDH 欠压锁定下降阈值 (V_{VDDH_UVLO_F})，并导致 VDRV 被置为低电平。请注意，随着 C_{DIV1} 和 C_{DIV2} 串联组合的电容相对于 Q_{LOAD} 增加，VDDH 电源压降会降低，但上电期间 VDDH 电源电压的初始充电会增大。

对于该设计，假设 n = 3 且 ΔV = 0.5V，则

$$C_{DIV1} = \left(\frac{3+1}{3}\right) \times \frac{120nC}{0.5V} = 320nF \quad (4)$$

$$C_{DIV2} = 3 \times 320nF = 960nF \quad (5)$$

9.2.2.2 启动时间和恢复时间

如节 9.2.2.1 部分所述，完全放电的 VDDH 和 VDDM 电源轨的启动时间取决于 VDDH 和 VDDM 引脚上的电容大小以及通过 VDDM 为任何辅助电路供电。该电容充电的速率取决于从初级侧传输到次级侧的功率。在启动时，功率调节环路传输更大的功率，直到 VDDH 和 VDDM 电源轨达到其稳态值。

9.2.2.3 R_{SHUNT}、R1 和 R2 选择

TPSI3100 具有 0.31V 的内部标称电压基准 (V_{REF})。该基准由故障和警报比较器负输入共享。

当负载电流 I_{LOAD} 达到标称值 4A 时，应检测到警报事件。所需分流电阻器可通过以下公式进行计算：

$$R_{SHUNT} = \frac{V_{REF}}{I_{LOAD}} = \frac{0.31V}{4A} = 77.5m\Omega \quad (6)$$

在该设计中，使用 $R_{SHUNT} = 75m\Omega$ 。由此可计算出检测到的标称警报电流 I_{ALM} ：

$$I_{ALM} = \frac{V_{REF}}{R_{SHUNT}} = \frac{0.31V}{75m\Omega} = 4.13A \quad (7)$$

当负载电流 I_{LOAD} 达到 **8A** 标称值时，应检测到故障事件。这对应于分流电阻器上的压降 V_{SENSE_FLT} ：

$$V_{SENSE_FLT} = R_{SHUNT} \times I_{OCP} = 75m\Omega \times 8A = 600mV \quad (8)$$

由于 TPSI3100 的故障比较器阈值也是 **0.31V** 的标称电压基准 (V_{REF})，因此需要一个电阻分压器来将 V_{SENSE_FLT} 电压调整到比较器输入阈值 (V_{REF})。可以通过以下公式来计算所需的分压器分压比 (DIV)：

$$DIV = \frac{V_{REF}}{V_{SENSE_FLT}} = \frac{0.31V}{0.6V} = 0.517 \quad (9)$$

$$DIV = \frac{R2}{R1 + R2} \quad (10)$$

在此设计中，所选的分压器 (DIV) 为 **0.5**。因此， $R1 = R2$ 。这会导致以下标称过流：

$$I_{OCP} = \frac{V_{REF}}{DIV \times R_{SHUNT}} = \frac{0.31V}{0.5 \times 75m\Omega} = 8.27A \quad (11)$$

在警报条件下保持时，分流电阻器中耗散的功率可通过以下公式计算：

$$P_{SHUNT_ALM} = I_{ALM}^2 \times R_{SHUNT} = (4.13A)^2 \times 75m\Omega = 1.28W \quad (12)$$

同样，在过流条件下，分流电阻器中耗散的功率可通过以下公式计算：

$$P_{SHUNT_OCP} = I_{OCP}^2 \times R_{SHUNT} = (8.27A)^2 \times 75m\Omega = 5.13W \quad (13)$$

与正常负载期间相比，分流电阻器的额定功率应足以应对这些功率条件。如果系统可以在警报条件下及时采取必要的措施，则额定功率为 **2W** 的电阻器就足够了。过流事件会导致 TPSI3100 快速禁用驱动器，并且过载电流会在短时间内存在。更保守的方法是选择额定功率为 **5W** 的电阻器。

9.2.2.4 过流故障误差

有多个误差源会导致过流检测精度的总误差增大。其中包括：

1. 电压基准容差 (包括比较器失调电压)
2. 分流电阻器容差
3. 分压电阻器容差

在该设计中，需要 $\pm 10\%$ 的过流保护精度。TPSI3100 的电压基准容差见数据表的 *电气特性* 部分，并且包括比较器失调误差。

电阻分压器的电阻器容差选择为 **1%**。基准电压容差为 $\pm 1.5\%$ 。最后，所选分流电阻器容差为 $\pm 1\%$ 。

假设所有误差来源均为自变量，因此总预期误差以均方根方式相加，如下所示：

$$\%Err_{OCP_TOTAL} = \left[\%Err_{V_{REF}}^2 + \%Err_{R1}^2 + \%Err_{R2}^2 + \%Err_{R_{SHUNT}}^2 \right]^{0.5} \quad (14)$$

$$\%Err_{OCP_TOTAL} = \left[(1.5\%)^2 + (1\%)^2 + (1\%)^2 + (1\%)^2 \right]^{0.5} = 2.3\% \quad (15)$$

9.2.2.5 过流警报误差

警报或警告指示器的总误差与过流保护总误差类似，只是电阻分压器造成的误差不影响总误差。如前所述，假设所有误差来源均为自变量，因此总预期误差以均方根方式相加，如下所示：

$$\%Err_{ALM_TOTAL} = \left[\%Err_{VREF}^2 + \%Err_{RSHUNT}^2 \right]^{0.5} \quad (16)$$

$$\%Err_{ALM_TOTAL} = \left[(1.5\%)^2 + (1\%)^2 \right]^{0.5} = 1.8\% \quad (17)$$

9.2.2.6 VDDP 电容 C_{VDDP}

该设计采用 1 μF 与 100nF 并联。

9.2.3 应用曲线

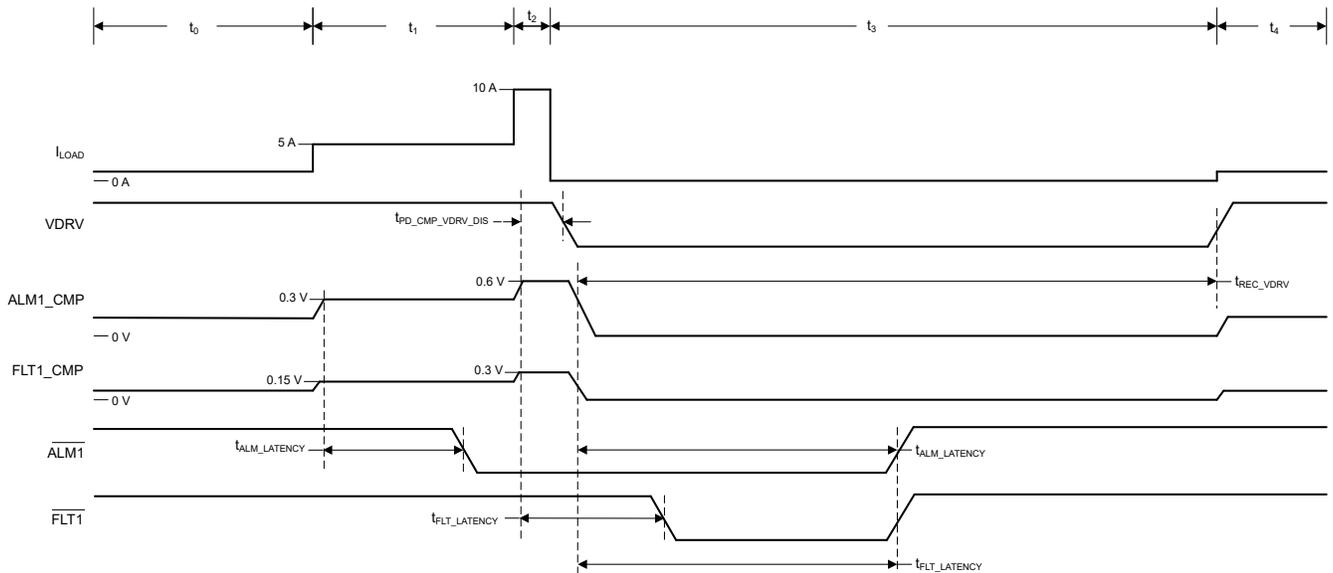


图 9-7. 过流保护典型时序和行为

- 在 t_0 时：VDRV 被置为高电平，外部 FET 提供负载电流 I_{LOAD} 。 I_{LOAD} 处于正常工作范围内，低于警报级别设置 4A (标称值)。 $ALM1_CMP$ 和 $FLT1_CMP$ 比较器输入电压低于 TPSI3100 的 $VREF$ 设置的比较器阈值 0.31V (标称值)。 $ALM1$ 和 $FLT1$ 故障通过外部上拉电阻器上拉至 VDDP 而被置为高电平。
- 在 t_1 时： I_{LOAD} 电流增加并达到 4A (标称值) 的警报级别设置。 $ALM1_CMP$ 比较器输入电压达到其阈值 0.31V， $ALM1$ 在 $t_{ALM_LATENCY}$ 内置为低电平。由于尚未达到 $FLT1_CMP$ 比较器输入阈值，因此 VDRV 仍然被置为高电平。 $FLT1$ 仍然通过外部上拉电阻器上拉至 VDDP 而被置为高电平。
- 在 t_2 时： I_{LOAD} 电流增加并达到 8A (标称值) 的故障级别设置。 $FLT1_CMP$ 比较器输入电压达到其 0.31V 的阈值，VDRV 被快速置为低电平以禁用外部 FET。 $FLT1$ 在 $t_{FLT_LATENCY}$ 内置为低电平。由于 $ALM1_CMP$ 比较器输入超过其阈值，因此 $ALM1$ 仍然被置为低电平。
- 在 t_3 时：由于 FET 已关断，因此 I_{LOAD} 被移除。 $FLT1_CMP$ 和 $ALM1_CMP$ 比较器输入降至其阈值以下，稳定至 $VSSS$ 。VDRV 仍然被置为低电平，使外部 FET 保持关断达 t_{REC_VDRV} 。 $FLT1$ 和 $ALM1$ 分别在 $t_{FLT_LATENCY}$ 和 $t_{ALM_LATENCY}$ 内置为高电平，向系统指示故障和警报条件已消除。
- 在 t_4 时：由于 EN 保持高电平，VDRV 再次置为高电平，已经过 t_{REC_VDRV} 时间，故障条件不再存在。外部 FET 启用，在正常工作范围内提供 I_{LOAD} 。

图 9-8 显示了典型的波形捕获。在时间 $0 \mu s$ 时，施加超过 5A 的负载电流 (I_{LOAD}) 脉冲。由于这高于 4.13A 的警报比较器阈值，因此 $ALM1$ 指示器在 $t_{ALM_LATENCY}$ 内置为低电平，在这种情况下接近时间 $5 \mu s$ 。大约在时间 $15 \mu s$ 时，施加超过 10A 的负载电流脉冲。由于这高于 8.27A 的故障比较器阈值，因此 VDRV 被快速置为低电平

以保护功率 FET， I_{LOAD} 降至 0A。 $\overline{FLT1}$ 在 $t_{FLT_LATENCY}$ 内被置为低电平，在这种情况下接近时间 $30\ \mu s$ 。在第二个负载电流脉冲上，超过故障和警报比较器阈值。 I_{LOAD} 降至故障和警报比较器阈值以下后， $\overline{ALM1}$ 和 $\overline{FLT1}$ 在接近时间 $55\ \mu s$ 时置为高电平，指示不存在警报或故障。 V_{DRV} 保持被置为低电平，直到经过 t_{REC_VDRV} 时间（接近时间 $180\ \mu s$ ）。

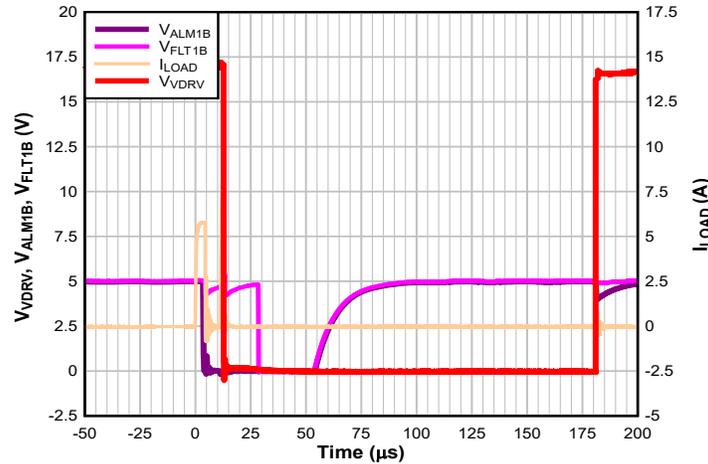


图 9-8. 过流保护和 VDRV 自动恢复

9.3 电源相关建议

为了帮助确保实现可靠的电源电压，TI 建议 V_{DDP} 和 V_{SSP} 之间的 C_{VDDP} 电容由一个用于高频去耦的 $0.1\ \mu F$ 旁路电容器与一个用于低频去耦的 $1\ \mu F$ 旁路电容器并联组成。必须在 V_{DDP} 和 V_{SSP} 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。

9.4 布局

9.4.1 布局指南

设计人员必须密切关注 PCB 布局，以便实现 TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列的最佳性能。以下是一些主要的指导准则：

- 组件放置：
 - 将驱动器放置在尽可能靠近功率半导体的位置，以减小 PCB 引线上栅极环路的寄生电感。
 - 在 V_{DDH} 和 V_{DDM} 引脚与 V_{DDM} 和 V_{SSS} 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器，以便在导通外部功率晶体管时旁路噪声并支持高峰值电流。
 - 在 V_{DDP} 和 V_{SSP} 引脚之间靠近器件的位置连接具有低 ESR 和低 ESL 的电容器。
 - 更大限度地减小 RESP 引脚上的寄生电容。
- 接地注意事项：
 - 将对晶体管栅极进行充电和放电的高峰值电流限制在最小的物理区域内。该限制可降低环路电感并最大程度地降低晶体管栅极端子上的噪声。栅极驱动器应尽可能靠近晶体管。
 - 在驱动器 V_{SSS} 与 MOSFET 源极或 IGBT 发射极之间建立开尔文连接。如果功率器件没有分离式开尔文源极或发射极，请将 V_{SSS} 引脚尽可能靠近功率器件封装的源极或发射极端子连接，以将栅极环路与高功率开关环路分开。
- EMI 注意事项：

TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列采用展频调制 (SSM) 以获得优化的 EMI 性能。根据系统设计人员的系统要求和安全偏好，可以采取以下额外措施来更大限度降低 EMI：

- 电感元件：可以将一对铁氧体磁珠或共模扼流圈与 V_{DDP} 电源和 V_{SSP} 接地端串联放置，以增加共模环路阻抗。

- 电容元件：大多数设计已经采用分立式 Y 电容器或者在高压域和低压域之间包含寄生 Y 电容。通过在与 TPSI310x、TPSI311x、TPSI312x 和 TPSI3133 系列相同的板上集成该 Y 电容，可提供从次级侧到初级侧的电容返回路径。
- 高电压注意事项：
 - 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 迹线或铜。TI 建议使用 PCB 切口或坡口来防止可能影响隔离性能的污染。
- 散热注意事项：
 - 适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。
 - 如果系统有多个层，TI 还建议通过具有足够尺寸的通孔将 VDDH 和 VSSS 引脚连接到内部接地或电源平面。这些通孔必须靠近 IC 引脚，以更大限度地提高热导率。不过，请记住，不要重叠来自不同高压平面的迹线或铜。

9.4.2 布局示例

图 9-9 展示了一个 PCB 布局示例，其中标记了信号和主要组件。

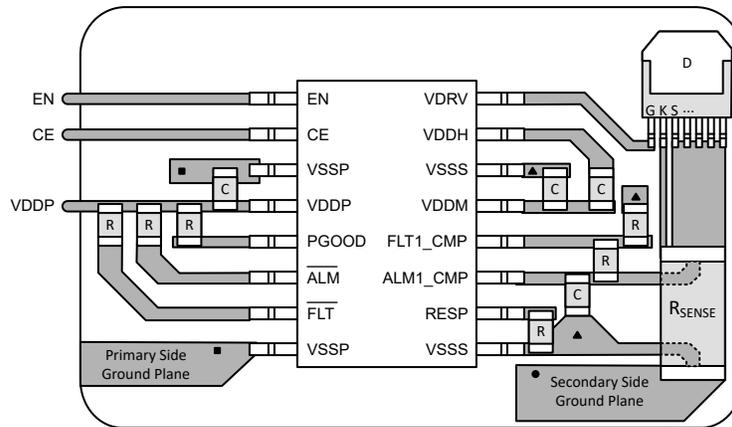


图 9-9. 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[隔离相关术语](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2023) to Revision A (November 2024)

Page

- | | |
|--|---|
| • 将文档状态从 预告信息 更改为 量产数据 | 1 |
|--|---|

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPSI3100DVXR	ACTIVE	SO-MOD	DVX	16	1000	TBD	Call TI	Call TI	-40 to 125		Samples
PTPSI3100LDVXR	ACTIVE	SO-MOD	DVX	16	1000	TBD	Call TI	Call TI	-40 to 125		Samples
TPSI3100DVXR	ACTIVE	SO-MOD	DVX	16	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	TI3100	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPSI3100 :

- Automotive : [TPSI3100-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

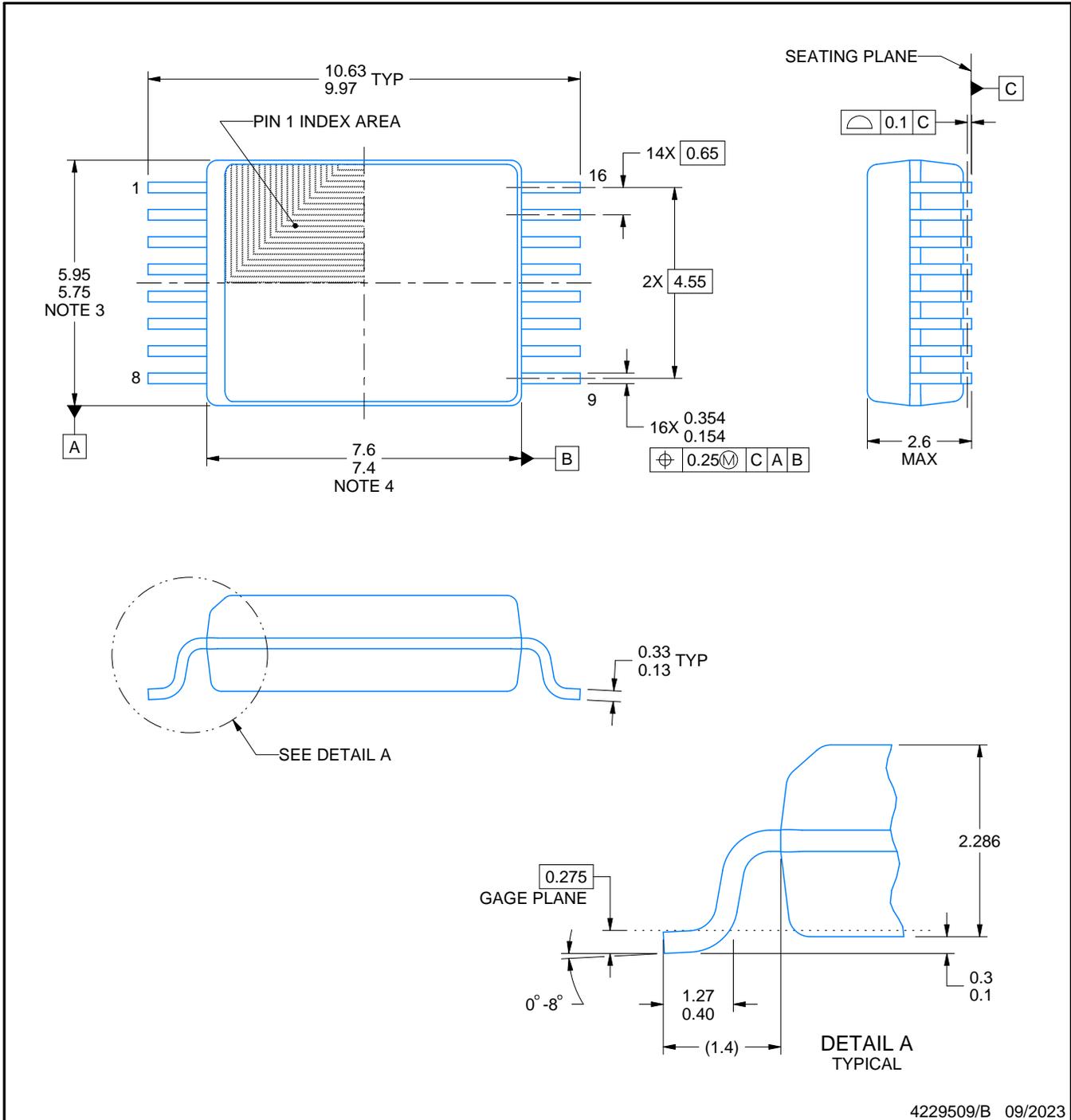
DVX0016A



PACKAGE OUTLINE

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



4229509/B 09/2023

NOTES:

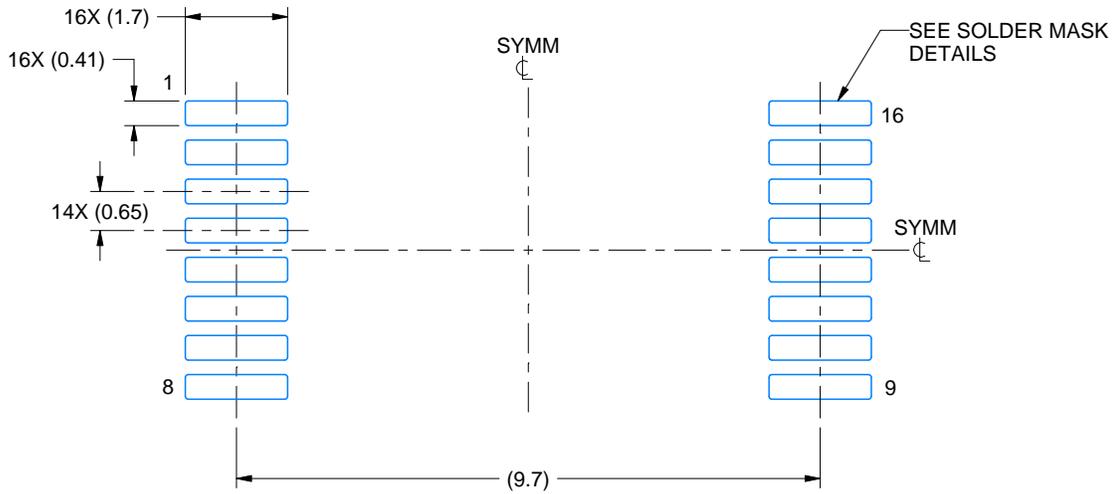
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

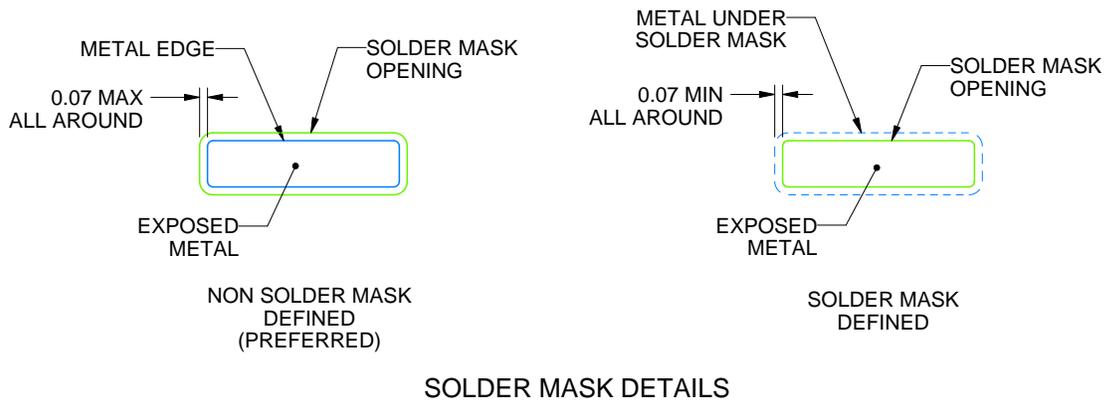
DVX0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



4229509/B 09/2023

NOTES: (continued)

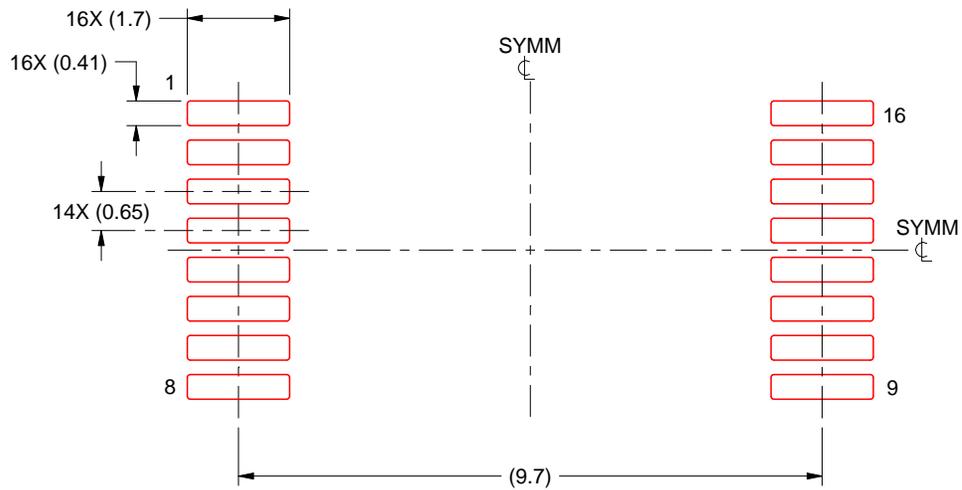
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DVX0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

DWG_NO:3/REV:3 MM_YYYY:3

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司