TPSM65660
ZHDS283 – JUNE 2026

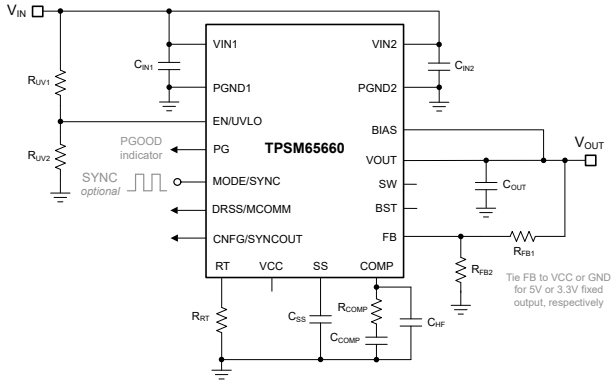
TPSM656x0 具备减轻干扰和噪声技术 (MINT 2) 的 65V、6A/4A 同步降压直流/直流电源模块系列

1 特性

- 宽输入电压范围：3.5V 至 65V
- 1% 精度、3.3V 或 5V 固定值，或者 0.8V 至 24V 可调 V_{OUT}
- 易于使用的高功率密度设计
  - 具有非屏蔽 3.3 µ H 电感器的 7.2mm × 7.7mm × 3.8mm 增强型 HotRod™ QFN 封装
  - 集成的 VCC、BST 和高频旁路电容器可减小设计尺寸
  - 使用极少的 BOM 轻松进行设计和布局
  - 内部补偿、OCP 和 TSD
  - $R_{\theta JA}$ = 18°C/W (TPSM65660EVM)
- 高效电源转换
  - 峰值效率 > 92%，$24V_{IN}$ 至 $5V_{OUT}$，400kHz
  - VIN 睡眠静态电流低至 1.8µA
- 减轻干扰和噪声的技术 — 架构 2 (MINT 2)
  - 支持符合 CISPR 11 或 CISPR 32 B 级标准
  - 具有对称引脚排列、内部旁路电容器和低环路电感的增强型 HotRod QFN 封装
  - 展频 (DRSS) 和开关转换率控制可降低峰值发射
  - 开关频率范围为 300kHz 至 2.2MHz
  - AUTO、FPWM 或 SYNC 操作
- 短最小导通时间：36ns（典型值）

2 应用

- 工业运输系统
- 工厂自动化和控制系统
- 医疗成像系统
- 测试和测量系统
- 航空航天与国防系统
- 电力输送系统



典型应用电路

3 说明

TPSM656x0 是一款同步降压直流/直流电源模块，属于采用架构 2 特性 (MINT 2) 的模块系列，具备减轻干扰和噪声的技术。该模块在 31 引脚增强型 HotRod QFN 封装中整合了控制器、功率 MOSFET 和功率电感器，可轻松实现高效率、高功率密度，低电磁干扰 (EMI) 设计。这些模块在 3.5V 至 65V 的宽输入电压范围内运行，从而简化了输入浪涌保护设计。

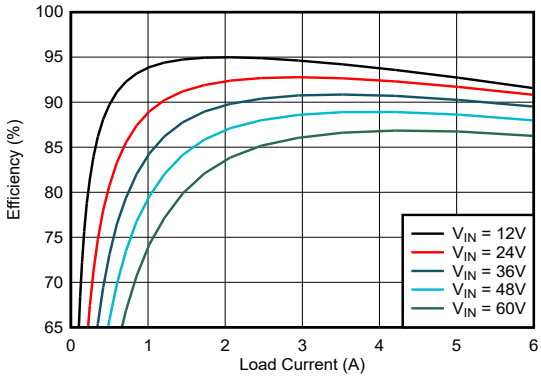
TPSM656x0 采用峰值电流模式控制架构，通过同步交错实现相位堆叠，通过并联相位可实现精确的均流控制，从而提供更高的输出电流。自动模式可在轻负载运行时实现频率折返，从而在轻负载下提供高效率，这有效延长了电池供电系统的运行时长。

36ns 的高侧开关超短导通时间有助于获得大降压比，实现从 24V 或 48V 输入到低电压轨的直接转换，从而降低系统成本和复杂性。该封装在关键电源引脚之间有多个 NC 引脚，从而改进了故障模式和影响分析 (FMEA) 结果。

器件信息

器件型号(2)	封装(1)	输出电流
TPSM65660	VCL (QFN-FCMOD, 31)	6A
TPSM65640(3)		4A

(1) 有关更多信息，请参阅 节 11。
(2) 请参阅 *器件比较表*。
(3) 预发布信息（非预告信息）。



典型效率，V_{OUT} = 5V，f_{SW} = 400kHz

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

TPSM656x0 具有多种特性，可轻松满足 CISPR 11 和 CISPR 32 发射要求。首先，对称引脚排列提供了输入电容器的绝佳布置，再结合集成的高频输入电容，可实现超低的功率回路寄生电感有效值，从而降低开关损耗，并提升高输入电压和高开关频率下的 EMI 性能。可通过引脚选择的开关节点转换率控制功能进一步降低高频率下的发射强度。为了减小输入电容器纹波电流和 EMI 滤波器尺寸，使用 SYNCOUT 信号交错运行，180 度的相移功能非常适合级联、多通道或多相设计。高达 2.2MHz 的可通过电阻器调节的开关频率可同步至外部时钟源，以消除噪声敏感应用中的拍频。最后，TPSM656x0 具有双随机展频 (DRSS) 特性，这项独特的 EMI 抑制特性将低频三角调制与高频随机调制相结合，可分别在低频和高频的频段抑制干扰。

TPSM656x0 的其他特性包括：最高工作结温达 150°C、用于故障报告和输出电压监测的开漏电源正常 (PG) 指示器、用于输入 UVLO 保护的精密使能输入、单调启动至预偏置负载、由 VIN 或 BIAS 供电的双输入 VCC 偏置子稳压器、断续模式过载保护以及带自动恢复功能的热关断保护。

TPSM656x0 采用 4.2mm× 7.7mm 热增强型 31 引脚 eQFN 封装，通过额外的引脚间隙提升可靠性。TPSM656x0 采用倒装芯片可布线引线框 (FCRLF) 封装技术，凭借其可用电流能力、全生命周期可靠性及成本优势，适用于需要高功率密度的应用。宽输入电压范围、低静态电流消耗、高温运行、逐周期电流限制、低 EMI 特征和小设计尺寸可为需要增强稳健性和耐用性的应用提供出色的负载点稳压器设计。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 4
5 引脚配置和功能 5
6 规格 7
6.1 绝对最大额定值 7
6.2 ESD 等级 7
6.3 建议运行条件 7
6.4 热性能信息 8
6.5 电气特性 8
6.6 典型特性 11
7 详细说明 15
7.1 概述 15
7.2 功能方框图 16
7.3 特性描述 17
7.4 器件功能模式 25
8 应用和实施 27
8.1 应用信息 27
8.2 典型应用 31
8.3 最佳设计实践 38
8.4 电源相关建议 38
8.5 布局 39
9 器件和文档支持 42
9.1 器件支持 42
9.2 文档支持 42
9.3 接收文档更新通知 43
9.4 支持资源 43
9.5 商标 43
9.6 静电放电警告 43
9.7 术语表 43
10 修订历史记录 43
11 机械、封装和可订购信息 44
11.1 卷带包装信息 44

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

可订购器件型号	V_{IN}（最大值）	V_{OUT}（最大值）	I_{OUT}（最大值）	外部补偿，外部软启动	适用于反相降压/升压拓扑的电平转换器
TPSM65660VCLR	65V	24V	6A	有	否
TPSM65640VCLR(1)	65V	24V	4A	有	否
TLVM65660VCLR(1)	65V	12V	6A	否	否
TPSM67660VCLR(1)	65V	24V	6A	有	有
TPSM67640VCLR(1)	65V	24V	4A	有	有

(1) 预发布信息（非预告信息）。如需了解更多信息，请联系德州仪器 (TI)。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

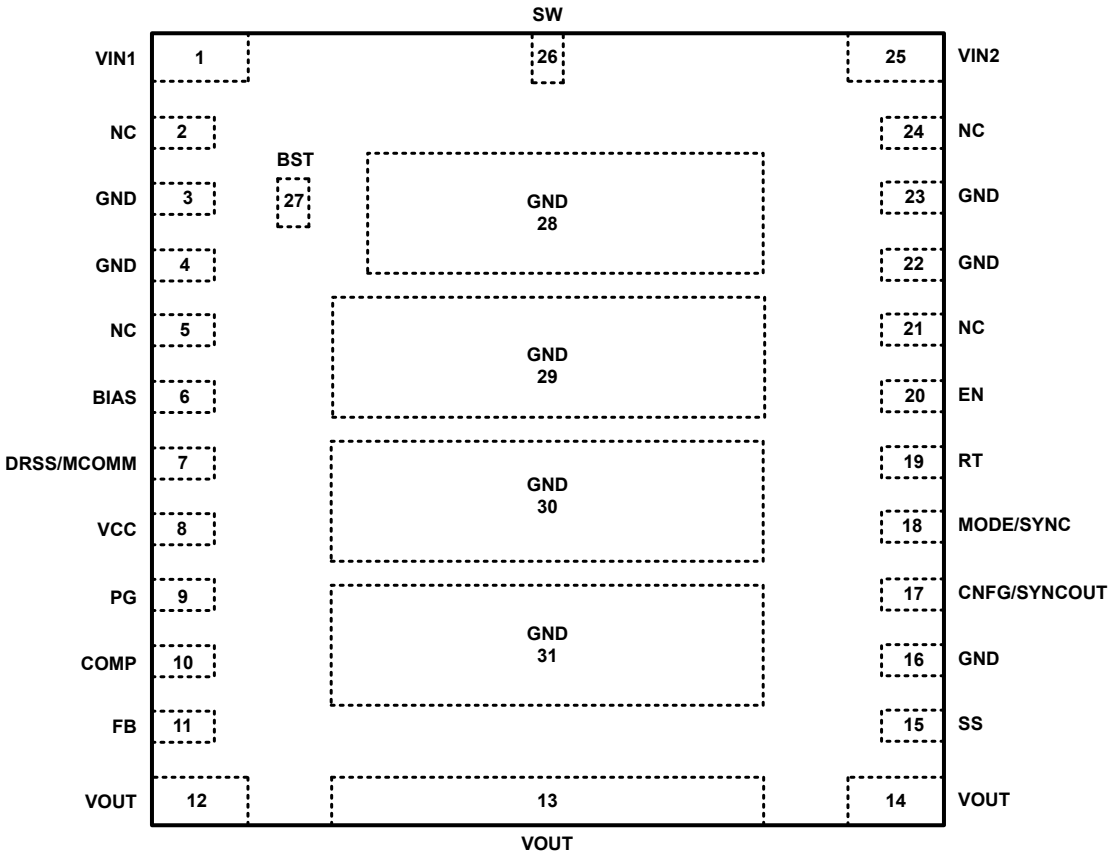


图 5-1. VCL 31 引脚 QFN-FCMOD 封装（顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
VIN1	1	P	到稳压器的输入电源。在该引脚与附近的 GND 引脚 3 和 4 之间连接一个或多个优质旁路电容器。提供与 VIN 引脚 24 的低阻抗连接。
NC	2	—	无连接引脚。保持悬空，以便在 VIN 和 GND 引脚之间保持 0.7mm 的间隙。如果 VIN 和 GND 引脚之间的 0.4mm 间隙满足系统引脚间隙要求，则此引脚可短接至 GND。
GND	3、4	G	内部低侧 MOSFET 的电源地。将此引脚连接到系统地。
NC	5	—	无连接引脚。保持悬空。
BIAS	6	P	内部稳压器的输入端。如果配置为固定 VOUT，则将该引脚连接到 VOUT 节点以闭合控制环路。如果配置为可调 VOUT，则将该引脚连接到 VOUT 节点或 3.3V 至 30V 的外部辅助电源。如果输出电压高于 30V 且未使用外部电源，则将该引脚连接到 GND。
DRSS/ MCOMM	7	I/O	双随机展频 (DRSS) 选择引脚。有关可用的 DRSS 选项，请参阅双随机展频 (DRSS)。如果配置为双相运行，则该引脚成为主器件和辅助器件之间的模式通信引脚。对于双相运行，请将主器件和辅助器件的 MCOMM 引脚连接在一起。
VCC	8	P	内部稳压器输出。用作内部控制电路的电源。不要将此引脚连接至任何外部负载。在该引脚和 PGND 之间连接一个 1μF 优质电容器。
PG	9	I/O	电源正常状态输出引脚。此引脚是一个开漏输出，如果输出电压超出指定的调节窗口，该输出会变为低电平。
COMP	10	A	外部补偿引脚。此引脚是跨导放大器的输出。如果使用了此引脚，请将补偿网络从 COMP 引脚连接到 GND。如果未使用，则将此引脚连接到 GND 或 VCC。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
FB	11	A	反馈引脚。连接到 GND 以配置 3.3V 固定输出电压。连接到 VCC 以配置 5V 固定输出电压。将此引脚连接到反馈分压器接触点以提供可调输出选项。调节阈值为 0.8V。
VOUT	12、13、14	P	输出电压引脚。这些引脚连接到内部输出电感器。通过低阻抗连接将这些引脚连接到输出负载，并在引脚和系统 GND 之间连接外部输出电容器。
SS	15	A	软启动延迟编程引脚。如果 SS 引脚保持开路，则内部软启动电路会在 5.3ms 内将 FB 基准从零斜升至满量程值。如果在 SS 引脚和 GND 之间连接了一个电容器，则可以将软启动时间设置为更高的值。
GND	16	G	GND 引脚。连接到系统地。
CNFG/ SYNCOUT	17	I/O	配置引脚。此引脚将器件配置为主器件（单相或双相运行）或辅助器件（双相运行）并选择内部补偿（单相运行）或外部补偿（单相或双相运行）。如果配置为主器件进行双相运行，则该引脚在启动后变为 SYNCOUT 引脚。
MODE/SYNC	18	I/O	模式和同步输入引脚。将此引脚连接到 GND，或将引脚驱动为低电平以在自动模式下运行。将此引脚连接到 VCC，或将引脚驱动为高电平，或发送同步时钟信号以在 FPWM 模式下运行。与外部时钟同步时，使用 RT 引脚将内部频率设置为接近同步频率，以避免外部时钟开启和关闭时产生干扰。
RT	19	I/O	开关频率编程引脚。通过一个阻值介于 6.81kΩ 和 54.2kΩ 之间的电阻器将此引脚连接至 GND，以将开关频率设置在 300kHz 和 2200kHz 之间。以 400kHz 运行时，连接到 VCC。以 2.2MHz 运行时，连接到 GND。不能悬空。
EN/UVLO	20	I/O	精密使能引脚。将此引脚驱动为高电平/低电平可启用/禁用器件。该引脚可直接连接至 VIN。精密使能允许将该引脚用作可调节 UVLO。不能悬空。
NC	21	I/O	无连接引脚。保持悬空。
GND	22、23	G	内部低侧 MOSFET 的电源地。将此引脚连接到系统地。
NC	24	—	无连接引脚。保持悬空，以便在 GND 和 VIN2 引脚之间保持 0.7mm 的间隙。如果 GND 和 VIN2 引脚之间的 0.4mm 间隙满足系统引脚间隙要求，则此引脚可短接至 GND。
VIN2	25	P	到稳压器的输入电源。在该引脚与附近的 GND 引脚 22 和 23 之间连接一个或多个优质旁路电容器。提供与 VIN 引脚 1 的低阻抗连接。
SW	26	P	电源模块开关节点。仅用于测试目的。保持悬空。
BST	27	P	内部高侧驱动器上部电源轨的自举引脚。仅用于测试目的。在 SW 节点和 BST 引脚之间连接一个集成的 100nF 电容器。保持悬空。
GND	28、29、30、31	G	裸露的 GND 焊盘。在 PCB 上，连接到系统地。这些焊盘是芯片的主要散热路径。将这些焊盘焊接至 PCB 的大面积覆铜区域，以实现散热。采用示例电路板布局布线中所建议的尽可能多的散热过孔可确保实现更低的封装热阻和更高的热性能。

(1) I/O = 输入/输出，A = 模拟，G = 接地，P = 电源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在建议的 -40°C 到 150°C 工作结温范围内测得（除非另外说明）(1)

		最小值	最大值	单位
输入电压	VIN 至 PGND	-0.3	72	V
	EN/UVLO 至 PGND	-0.3	72	V
	RT 至 PGND	-0.3	72	V
	DRSS/MCOMM 至 PGND	-0.3	40	V
	BIAS 至 PGND	-0.3	40	V
	MODE/SYNC 至 PGND	-0.3	5.5	V
	CNFG/SYNCOUT 至 PGND	-0.3	5.5	V
	FB 至 PGND	-0.3	5.5	V
	SS 至 PGND	-0.3	V_{CC} + 0.3	V
输出电压	SW 到 PGND	-0.6	V_{VIN}	V
	SW 至 PGND，瞬态值 < 10ns	-5.0	V_{VIN}	V
	PG 至 PGND	-0.3	40	V
	BST 至 SW	-0.3	5.5	V
	VCC 至 PGND	-0.3	5.5	V
	COMP 至 PGND	-0.3	5.5	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	最大值	单位
输入电压	VIN	3.5	65	V
	EN/UVLO	0	65	V
	BIAS，PG	0	24	V
	FB	0	5.5	V
	MODE/SYNC，RT	0	5.5	V
上拉电阻	$R_{PU(PG)}$	4		kΩ
上拉基准电压	$V_{PU(PG)}$	0.8	24	V
输出电压	V_{OUT}	0.8	24	V
输出电流	I_{OUT}，6A 选项	0	6	A
	I_{OUT}，4A 选项	0	4	A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		TPSM656x0 VCL (QFN-FCMOD) 31 引脚	单位
$R_{\theta JA}$	结至环境热阻 (JESD 51-7)	33.7(2)	°C/W
$R_{\theta JA}$	结至环境热阻 (EVM)	18(3)	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	24.1	°C/W
$R_{\theta JB}$	结至电路板热阻	6.9	°C/W
ψ_{JT}	结至顶部特征参数	1.1	°C/W
ψ_{JB}	结至电路板特征参数	6.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	5.6	°C/W

(1) 有关热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 此表中给出的 $R_{\theta JA}$ 值仅用于与其他封装的比较，不能用于设计目的。$R_{\theta JA}$ 的值根据 JESD 51-7 来计算，使用 4 层 JEDEC 电路板进行了仿真，并不代表在实际应用中获得的性能。
(3) 有关电路板布局布线和其他信息，请参阅 TPSM65660EVM 用户指南。

6.5 电气特性

典型值条件为 T_J = 25°C。最小和最大限值适用条件 T_J = –40°C 至 150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
输入电源 (VIN)						
$VIN_{UVLO(R)}$	VIN UVLO 上升阈值电压	V_{IN} 上升（启动所需）	3.25	3.4	3.5	V
$VIN_{UVLO(F)}$	VIN UVLO 下降阈值电压	V_{IN} 下降（运行后）		2.5	2.55	V
$VIN_{UVLO(H)}$	VIN UVLO 磁滞电压			0.9		V
I_{VIN}	VIN 休眠静态电流，内部 COMP，无开关	V_{IN} = 48V，V_{BIAS} = 5V + 2%，CNFG 短接至 VCC，T_J = 25℃，		0.9	1.4	μA
$I_{BIAS(FIX-3.3V)}$	BIAS 静态电流，固定 3.3V 输出，内部 COMP，无开关	V_{BIAS} = 3.3V + 2%，CNFG 短接至 VCC，自动模式，T_J = 25°C		8	10	μA
$I_{Q(FIX-3.3V)}$	VIN 休眠静态电流，固定 3.3V 输出，内部 COMP，无开关	V_{IN} = 24V，V_{BIAS} = 3.3V + 2%，CNFG 短接至 VCC，T_J = 25℃，自动模式		2.1	2.7	μA
		T_J = 125℃		2.1	6.4	μA
$I_{BIAS(FIX-5V)}$	BIAS 静态电流，固定 5V 输出，内部 COMP，无开关	V_{BIAS} = 5V + 2%，CNFG 短接至 VCC，自动模式，T_J = 25°C		9	12	μA
$I_{Q(FIX-5V)}$	总 VIN 休眠静态电流，固定 5V 输出，内部 COMP，无开关	V_{IN} = 48V，V_{BIAS} = 5V + 2%，CNFG 短接至 VCC，T_J = 25°C，自动模式		1.8	2.4	μA
		T_J = 125℃		1.8	5.8	μA
$I_{BIAS(ADJ-3.3V)}$	BIAS 静态电流，可调 3.3V 输出，内部 COMP，无开关	V_{FB} = 0.8V + 2%，CNFG 短接至 V_{CC}，自动模式，T_J = 25°C		6.8	8.1	μA
$I_{Q(ADJ-3.3V)}$	总 VIN 休眠静态电流，可调 3.3V 输出，内部 COMP，无开关	V_{IN} = 24V，V_{FB} = 0.8V + 2%，CNFG 短接至 VCC，自动模式，T_J = 25°C		1.9	2.5	μA
$I_{BIAS(ADJ-3.3V-EXT)}$	BIAS 静态电流，可调 3.3V 输出，外部 COMP，无开关	V_{FB} = 0.8V + 2%，R_{CNFG} = 49.9kΩ，自动模式，T_J = 25°C		37	44	μA
$I_{Q(ADJ-3.3V-EXT)}$	总 VIN 休眠静态电流，可调 3.3V 输出，外部 COMP，无开关	V_{IN} = 24V，V_{FB} = 0.8V + 2%，R_{CNFG} = 49.9kΩ，自动模式，T_J = 25°C		6	7.4	μA
I_{Q-SHD}	VIN 关断静态电流	V_{IN} = 48V，$V_{EN/UVLO}$ = 0V，T_J = 25℃		0.8	1.2	μA
		V_{IN} = 48V，$V_{EN/UVLO}$ = 0V，T_J = 125°C		0.8	1.8	μA
精密使能端 (EN/UVLO)						
$V_{EN-TH(R)}$	EN/UVLO 上升阈值	$V_{EN/UVLO}$ 上升	1.15	1.25	1.35	V
$V_{EN-TH(F)}$	EN/UVLO 下降阈值	$V_{EN/UVLO}$ 下降	0.9	1	1.1	V
V_{EN-HYS}	EN/UVLO 磁滞			0.25		V
$V_{EN-HYS\%}$	EN/UVLO 磁滞与上升阈值之比	$V_{EN-HYS}/V_{EN-TH(R)}$	18	20	22	%
I_{EN-LKG}	使能输入漏电流	EN/UVLO 短接至 VIN		0.16	3.5	μA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

典型值条件为 T_J = 25°C。最小和最大限值适用条件 T_J = –40°C 至 150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
内部 LDO (VCC)						
V_{VCC1}	VCC 稳压电压	3.4V ≤ V_{IN} ≤ 65V，V_{BIAS} = 0V		3.3		V
V_{VCC2}		3.4V ≤ V_{BIAS} ≤ 30V		3.2		V
$V_{BIAS(ON)}$	BIAS 切换上升阈值（VIN 至 BIAS）	V_{BIAS} 上升		3.175	3.25	V
$V_{BIAS(OFF)}$	BIAS 切换下降阈值（BIAS 至 VIN）	V_{BIAS} 下降		3	3.05	V
$V_{VCC-UVLO(R)}$	VCC UVLO 上升阈值	I_{VCC} = 0A	3.27	3.4	3.5	V
$V_{VCC-UVLO(F)}$	VCC UVLO 下降阈值	I_{VCC} = 0A		2.5		V
基准电压 (FB)						
V_{FB1}	反馈基准电压，外部 COMP	FPWM 模式，R_{CNFG} = 49.9kΩ	0.792	0.8	0.808	V
V_{FB2}	反馈基准电压，内部 COMP	FPWM 模式、CNFG 短接至 VCC	0.792	0.8	0.808	V
I_{FB-LKG}	反馈引脚输入漏电流	V_{FB} = 0.8V，可调 V_{OUT} 设置		1.8	90	nA
固定输出电压 (BIAS)						
$V_{OUT-3.3V-INT}$	3.3V 固定输出电压，内部 COMP	FB 短接至 VCC，CNFG 短接至 GND	3.267	3.3	3.337	V
$V_{OUT-3.3V-EXT}$	3.3V 固定输出电压，外部 COMP	FB 短接至 GND，R_{CNFG} = 49.9kΩ	3.267	3.3	3.337	V
$V_{OUT-5V-INT}$	5V 固定输出电压，内部 COMP	FB 短接至 VCC，CNFG 短接至 VCC	4.94	5	5.06	V
$V_{OUT-5V-EXT}$	5V 固定输出电压，外部 COMP	FB 短接至 VCC，R_{CNFG} = 49.9kΩ	4.94	5	5.06	V
软启动 (SS)						
t_{EN-SW}	使能高电平到开关延迟开始	V_{FB} = V_{RT} = V_{MODE} = GND，V_{BIAS} = V_{OUT}	1.9	2.5	3.1	ms
t_{SS}	内部固定软启动时间	从第一个 SW 脉冲到 90% V_{FB} 设定点的时间	2.9	5.3	8.1	ms
I_{SS}	SS 充电电流	V_{SS} = 0V		20		μA
R_{SS}	SS 放电电阻	$V_{EN/UVLO}$ = 0V		7		Ω
误差放大器 (COMP)						
g_m	EA 跨导	V_{COMP} = 0.8V，V_{FB} = 0.8V ±5%		1		mS
$V_{COMP-EXT(h-clamp)}$	外部 COMP – 高钳位电压	V_{FB} = 0V，可调 V_{OUT} 设置		1.056		V
$V_{COMP-EXT(l-clamp)}$	外部 COMP – 低钳位电压	V_{FB} = 0V，可调 V_{OUT} 设置		100		mV
功率级 (SW)						
$R_{DS(on)HS}$	高侧 FET 导通状态电阻	I_{SW} = 500mA，V_{BST} – V_{SW} = 3.3V		42		mΩ
$R_{DS(on)LS}$	低侧 FET 导通状态电阻			23		mΩ
$t_{ON(min)}$	最短导通时间(1)	I_{OUT} = 2A，R_{RT} = 6.81kΩ		36	48	ns
$t_{OFF(min)}$	最短关断时间	V_{IN} = 4V，F_{SW} = 2.2MHz		82	118	ns
$t_{ON(max)}$	最大导通时间	F_{SW} = 300kHz		13.3		μs
电流限值和断续模式						
$I_{HS-LIM1}$	高侧峰值电流限值，6A 选项	占空比接近 0%	8.2	9.5	10.6	A
$I_{LS-LIM1}$	低侧谷值电流限值，6A 选项		6.6	7.4	8.2	A
$I_{L-PK1(AUTO-minD)}$	最小占空比下的自动模式峰值电感器电流，6A 选项	t_{ON} ≤ 100ns	1.1	1.9	2.8	A
$I_{L-PK1(AUTO-maxD)}$	最大占空比下的自动模式峰值电感器电流，6A 选项	t_{ON} ≥ 1μs		0.95		A
$I_{HS-LIM2}$	高侧峰值电流限值，4A 选项	占空比接近 0%	5.9	7	8	A
$I_{LS-LIM2}$	低侧谷值电流限值，4A 选项		4.2	5.4	6.3	A
$I_{L-PK2(AUTO-minD)}$	最小占空比下的自动模式峰值电感器电流，4A 选项	t_{ON} ≤ 100ns	1	1.8	2.7	A
$I_{L-PK2(AUTO-maxD)}$	最大占空比下的自动模式峰值电感器电流，4A 选项	t_{ON} ≥ 1μs		0.65		A
$I_{LS-NEG-LIM}$	低侧负电流限值	灌电流限值，FPWM 模式	-9.6	-6.9	-4.9	A
I_{L-ZC}	过零阈值	自动模式		100		mA
V_{HIC}	FB 电压断续阈值	软启动后低侧 FET 导通时间 > 165ns		0.32		V
t_{HICDLY}	断续模式激活延迟			64		周期

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

典型值条件为 T_J = 25°C。最小和最大限值适用条件 T_J = –40°C 至 150°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
t_{HIC}	断续模式持续时间	内部软启动		48		ms
电源正常 (PG)						
$V_{PG-OV(R)}$	PG OV 上升阈值	FB 电压（可调输出）或偏置电压（固定输出）百分比	103	105	107	%
$V_{PG-OV(F)}$	PG OV 下降阈值		101	104	106	%
$V_{PG-UV(R)}$	PG UV 上升阈值		94	96	98.5	%
$V_{PG-UV(F)}$	PG UV 下降阈值		92.5	95	97	%
$t_{PG-DEGLITCH(R)}$	PG 上升沿的抗尖峰脉冲滤波器延迟		1.2	2	3	ms
$t_{PG-DEGLITCH(F)}$	PG 下降沿的抗尖峰脉冲滤波器延迟		55	130	175	µs
$V_{IN(PG-VALID)}$	有效 PG 输出的最小 V_{IN}	$V_{PG(OL)}$ < 0.4V，R_{PG} = 49.9kΩ，V_{PG} = 5V			1.25	V
$V_{PG(OL)}$	PG 低电平状态电压	I_{PG} = 1mA，V_{IN} = 1.25V			0.4	V
$R_{PG(on)}$	PG 导通电阻	I_{PG} = 1mA		51	110	Ω
开关频率 (RT)						
f_{SW1}	开关频率	RT 连接至 PGND	1.98	2.2	2.42	MHz
		R_{RT} = 6.81kΩ ±1%	1.98	2.2	2.42	MHz
f_{SW2}		R_{RT} = 15.8kΩ ±1%	900	1000	1100	kHz
f_{SW3}		R_{RT} = 40.2kΩ ±1%	360	400	440	kHz
		RT 短接至 VCC	360	400	440	kHz
同步 (MODE/SYNC)						
$V_{SYNC(IL)}$	SYNC 输入低电平阈值		0.45			V
$V_{SYNC(IH)}$	SYNC 输入高电平阈值				1.3	V
$V_{SYNCOUT(OL)}$	SYNCOUT 输出低电平阈值	$I_{SYNCOUT}$ = 2mA			0.4	V
$V_{SYNCOUT(OH)}$	SYNCOUT 输出高电平阈值	$I_{SYNCOUT}$ = -2mA	2.4			V
$f_{SYNC-RANGE1}$	针对设定 2.2MHz 的同步频率范围	R_{RT} = 6.81kΩ ±1%	1.76		2.64	MHz
$f_{SYNC-RANGE2}$	针对设定 300kHz 的同步频率范围	R_{RT} = 54.2kΩ ±1%	240		360	kHz
$t_{SYNC-LOW(min)}$	外部同步信号的最小低脉冲宽度				80	ns
$t_{SYNC-HIGH(min)}$	外部同步信号的最小高脉冲宽度				80	ns
$t_{SYNC-SW-DLY}$	SYNC 到 SW 延迟时间 (1)		-22		22	ns
$t_{MODE-DLY}$	模式更改延迟时间(1)				20	µs
双随机展频 (DRSS/MCOMM)						
Δf_{SS-LF}	低频三角展频调制范围	DRSS/MCOMM 开路		17		%
f_{m-LF}	三角调制频率	DRSS/MCOMM 开路	3.6	6	8.4	kHz
Δf_{SS-HF}	高频假随机展频调制范围	DRSS/MCOMM 开路		2		%
热关断						
T_{SHD}	热关断(1)	关断阈值	155	165	177	°C
		恢复阈值		156		°C

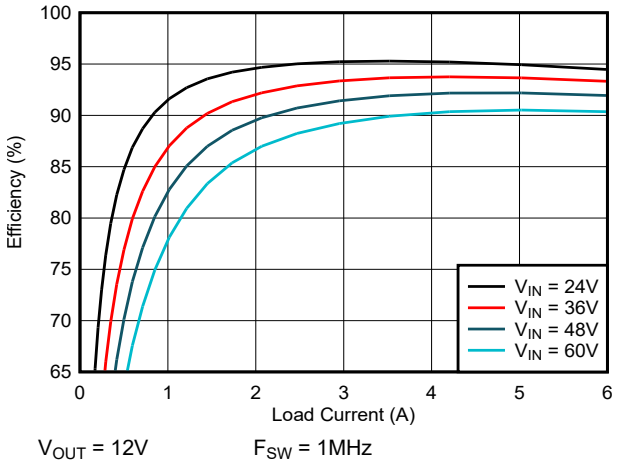
(1) 根据设计指定。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

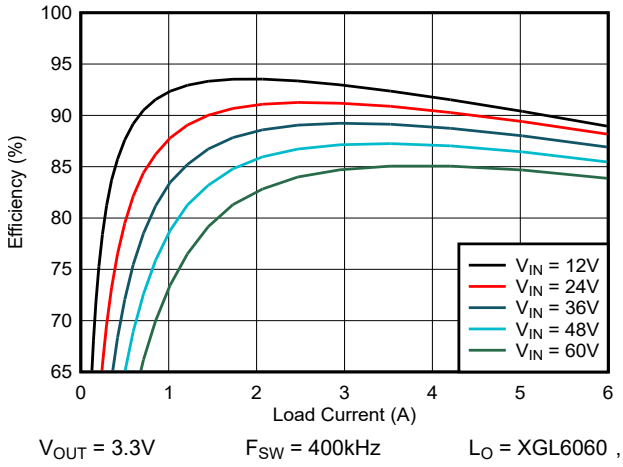
6.6 典型特性

除非另有规定，否则 T_J = 25°C。



V_{OUT} = 12V F_{SW} = 1MHz

图 6-1. FPWM，V_{OUT} = 12V 时的效率



V_{OUT} = 3.3V F_{SW} = 400kHz L_O = XGL6060，3.3 µH

图 6-2. FPWM，V_{OUT} = 3.3V 时的效率

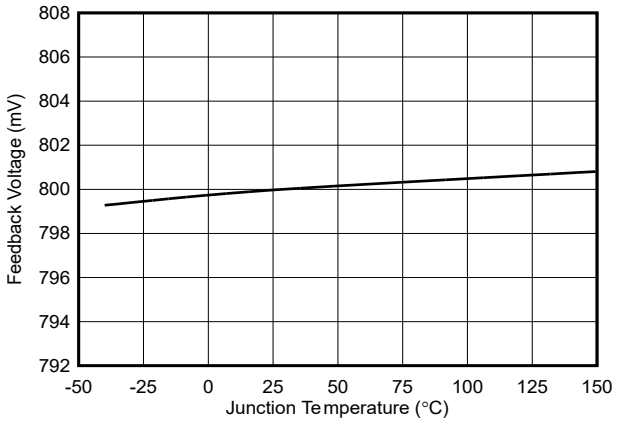


图 6-3. FB 电压，内部补偿

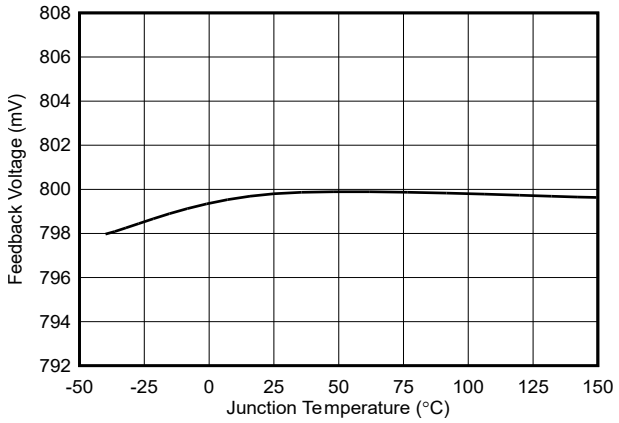


图 6-4. FB 电压，外部补偿

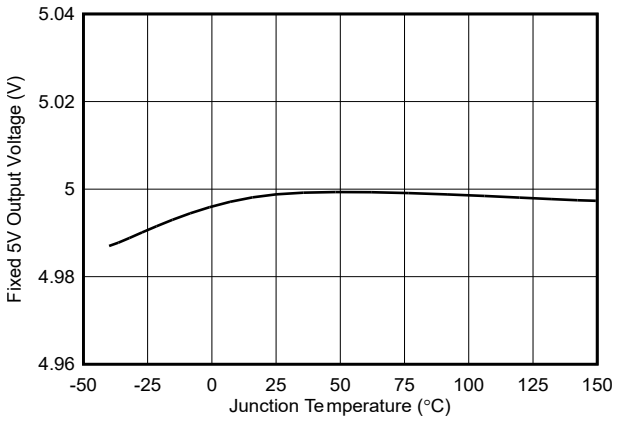


图 6-5. 固定 5V 输出电压设置点

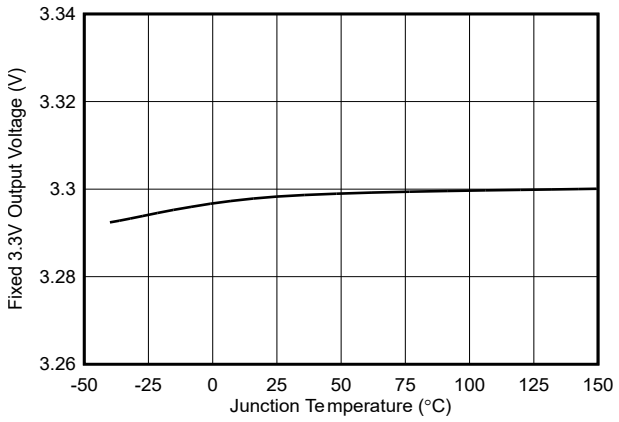


图 6-6. 固定 3.3V 输出电压设置点

ADVANCE INFORMATION

ADVANCE INFORMATION

6.6 典型特性（续）

除非另有规定，否则 T_J = 25°C。

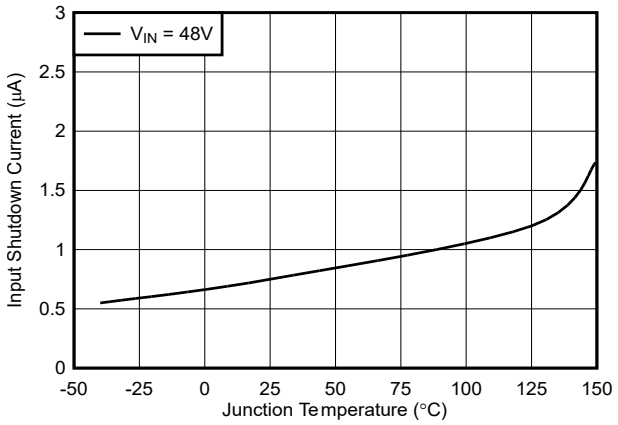


图 6-7. VIN 关断静态电流

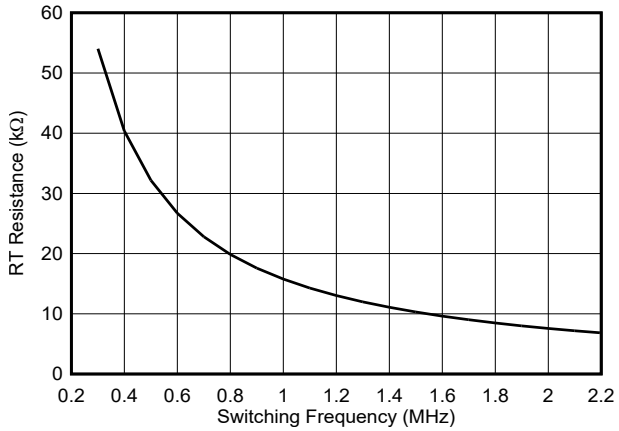


图 6-8. RT 电阻与开关频率间的关系

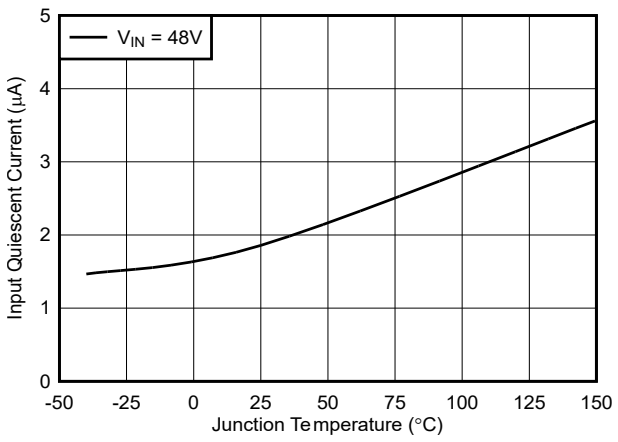


图 6-9. 5V 固定输出模式下 VIN 睡眠静态电流

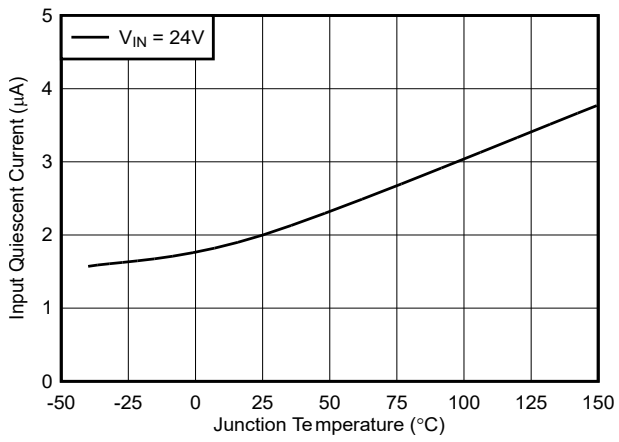


图 6-10. 3.3V 固定输出模式下 VIN 睡眠静态电流

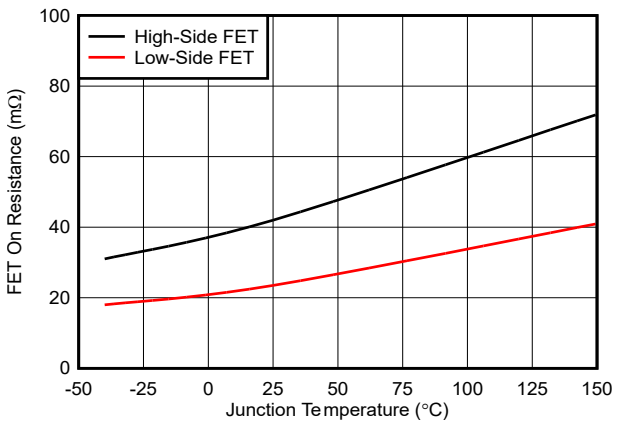


图 6-11. 高侧与低侧 MOSFET $R_{DS(on)}$

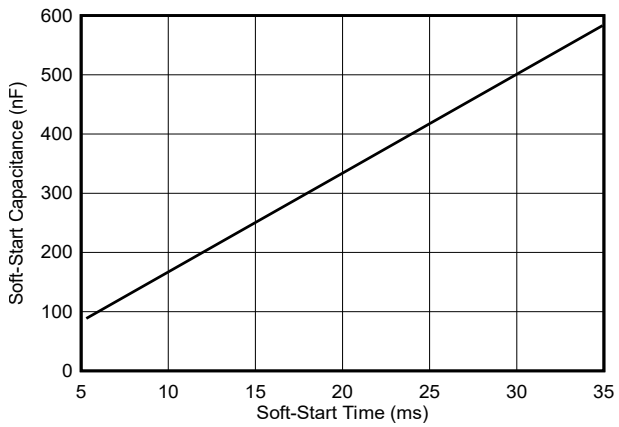


图 6-12. 软启动时间与软启动电容间的关系

Copyright © 2026 Texas Instruments Incorporated

6.6 典型特性（续）

除非另有规定，否则 T_J = 25°C。

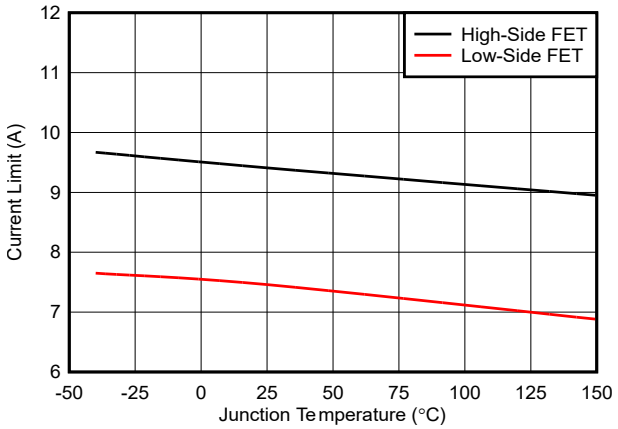


图 6-13. MOSFET 电流限制 – 6A 选项

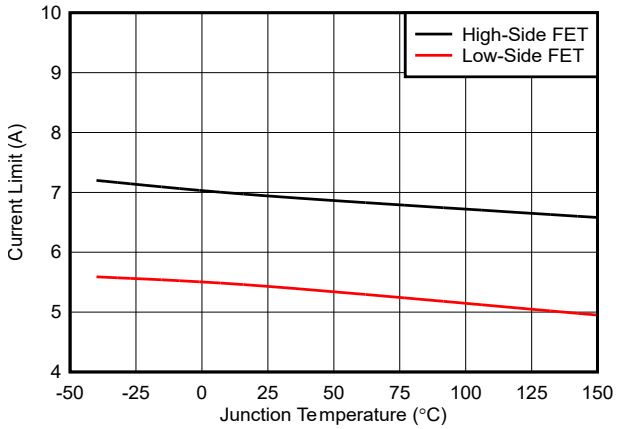


图 6-14. MOSFET 电流限制 – 4A 选项

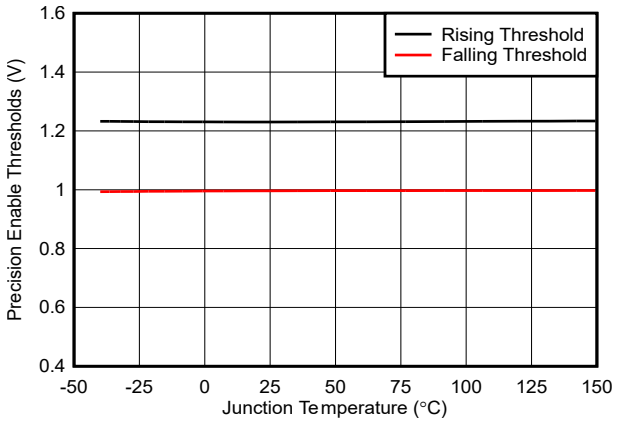


图 6-15. 精密使能阈值

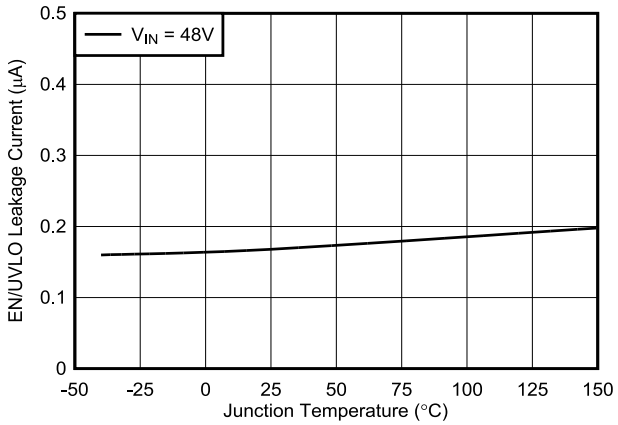


图 6-16. EN/UVLO 引脚漏电流

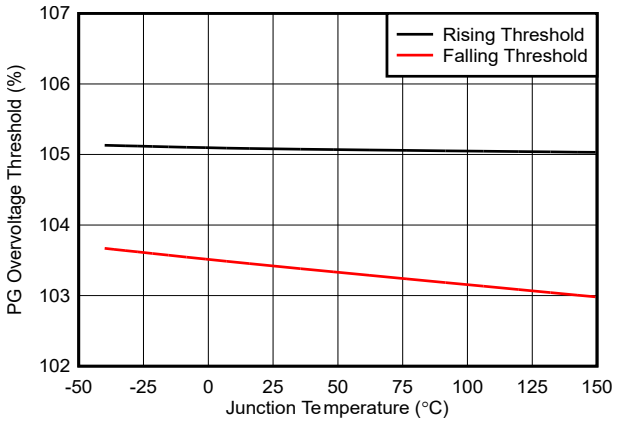


图 6-17. PG OV 阈值

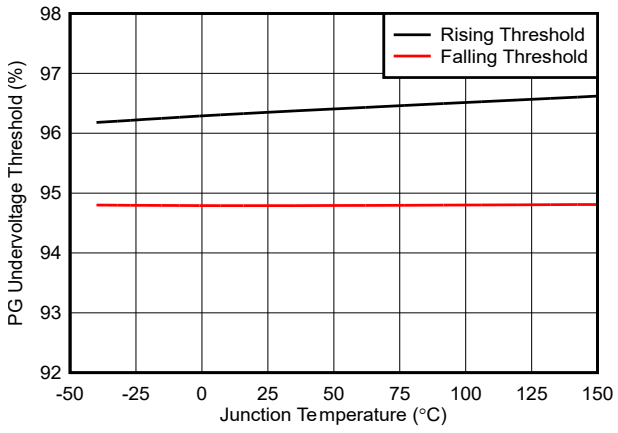


图 6-18. PG UV 阈值

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.6 典型特性（续）

除非另有规定，否则 T_J = 25°C。

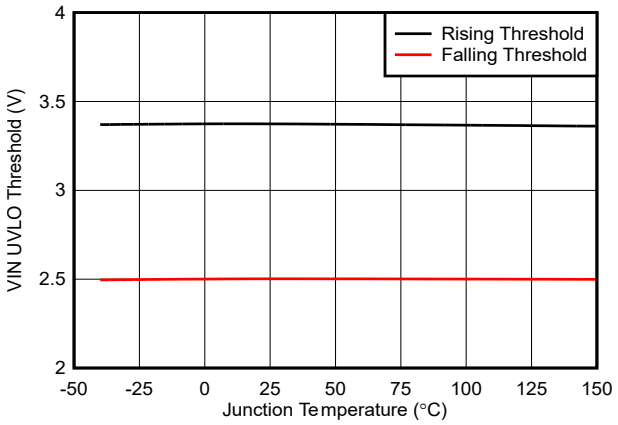


图 6-19. VIN UVLO 阈值

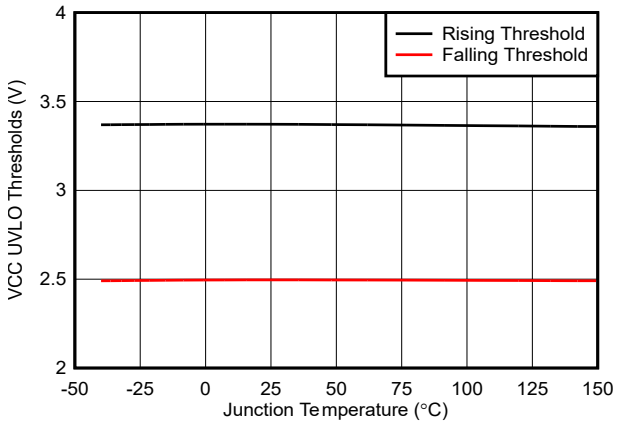


图 6-20. VCC UVLO 阈值

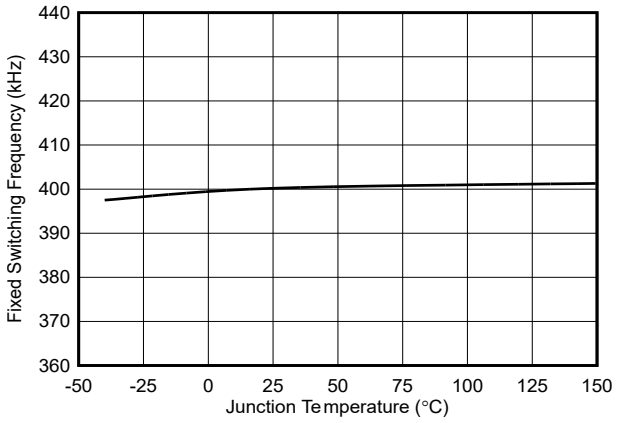


图 6-21. 固定开关频率 — 400kHz

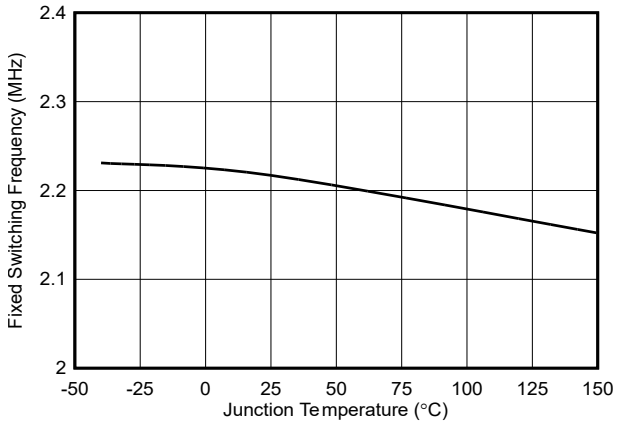


图 6-22. 固定开关频率 — 2.2MHz

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPSM656x0 是一系列高效、可堆叠、同步降压的直流/直流电源模块，在紧凑、易于使用的 31 引脚增强型 HotRod QFN 封装中整合了控制器、功率 MOSFET、电感器、高频输入电容器以及 VCC 和自举电容器。这些模块已针对高功率密度和超低电磁干扰 (EMI) 应用进行了优化。这些模块可在 3.5V 至 65V 的宽输入电压范围内工作，具有 3.3V、5V 的引脚可选固定输出电压，或 0.8V 至 24V 的可调输出。最多可将两个模块设置为以交错模式（并联输出）运行，从而实现精确的电流共享，支持高达 12A 的输出电流。

电流模式控制架构，搭配 36ns 超短导通时间，可提供快速瞬态响应以及出色的负载和线路调整。

该电源模块旨在更大限度地降低最终产品成本并减小其尺寸，同时可在高性能工业环境中运行。可以使用 RT 引脚将 TPSM656x0 设置为在 300kHz 至 2.2MHz 的开关频率下运行。利用内部补偿和精确的电流限制方案，可以更大限度降低 BOM 成本并减少元件数量。

TPSM656x0 设计具有低 EMI。该器件包含以下特性：

- 引脚可配置的 SW 节点压摆率控制和双随机展频 (DRSS) 跳频
- 采用低输入电感封装的对称引脚排列
- 集成式高频 VIN 电容器，可进一步更大限度地减小环路电感
- 在高于和低于 AM 无线电频带的频率范围内运行
- 可通过引脚配置自动或 FPWM 模式，并具有外部时钟同步功能

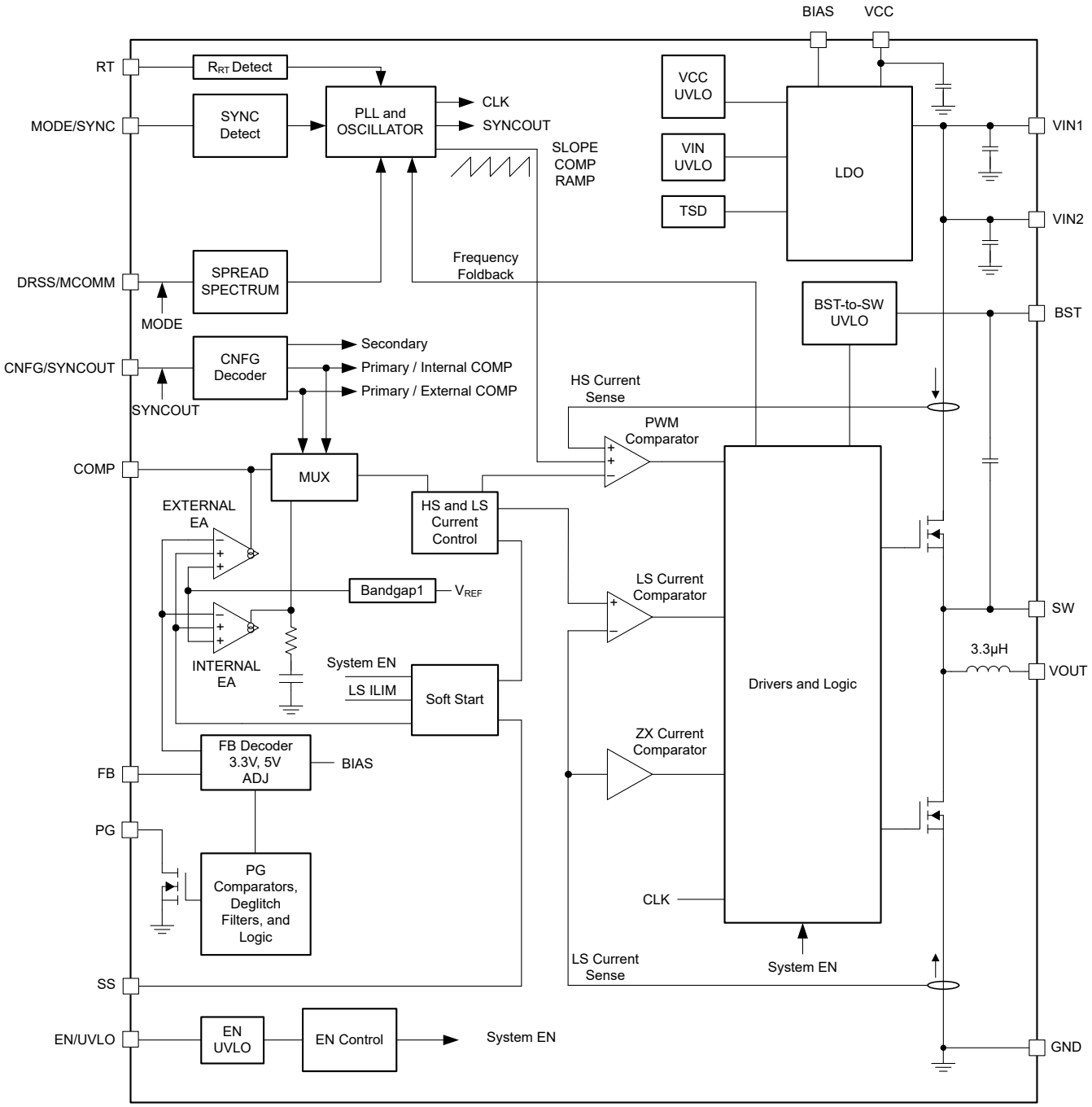
通过结合使用这些特性，就无需采用屏蔽和其他昂贵的 EMI 缓解措施。

为了在可靠性敏感型环境中使用该器件，TPSM656x0 的封装具有更大的转角端子，可提升板级可靠性。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3 特性描述

7.3.1 输入电压范围（VIN1、VIN2）

TPSM656x0 的输入电压工作范围为 3.5V 至 65V。该器件适用于从 24V、48V 和 60V 电源轨进行降压转换。图 7-1 中展示了实施基于 TPSM656x0 且采用单输入电源的宽 V_{IN} 稳压器所需的所有元件。TPSM656x0 使用内部 LDO 子稳压器，为栅极驱动和控制电路提供 3.3V VCC 偏置导轨。

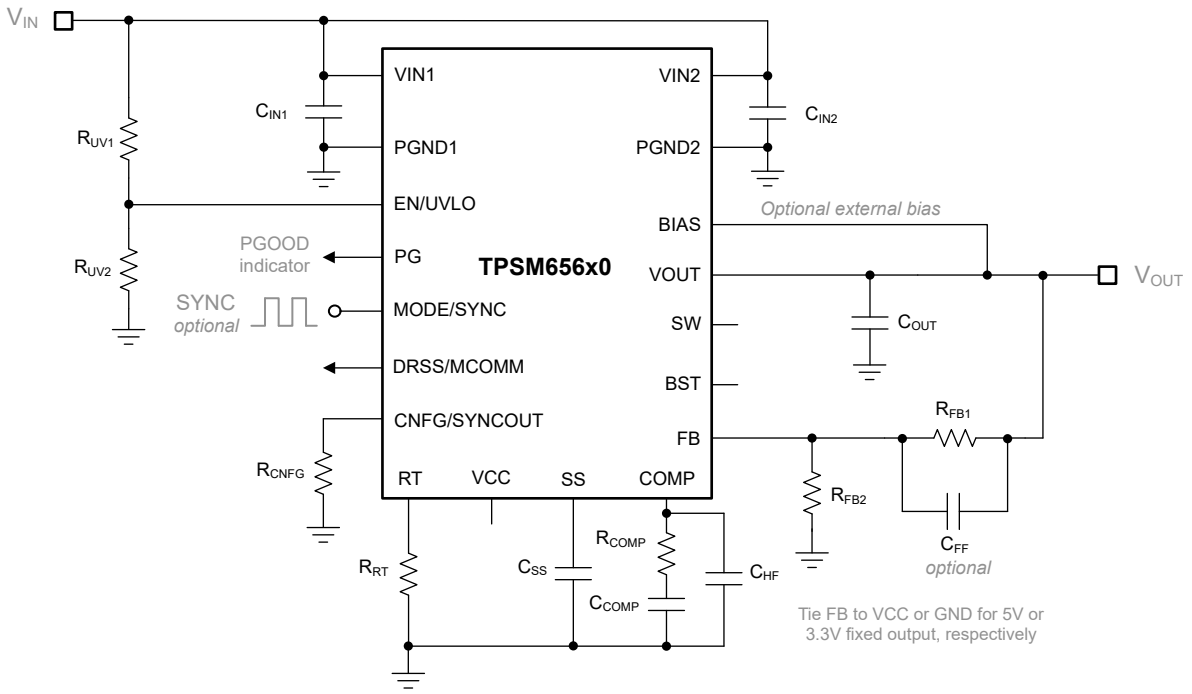


图 7-1. TPSM656x0 稳压器原理图

在具有高输入电压的应用中，请格外注意，确保该模块的 VIN 引脚（VIN1 和 VIN2）在线路或负载瞬态事件期间的绝对最大额定电压不超过 72V。如果电压偏移超过适用的电压规格，则可能会损坏器件。

7.3.2 内部 LDO、VCC UVLO 和 BIAS 输入

TPSM656x0 包含一个由 VIN 或 BIAS 供电的 VCC 内部高电压子稳压器。将模块输出电压 (V_{OUT}) 或其他高达 24V 的适用系统电源轨低压电源连接到 BIAS。 从较低电压导轨为 VCC 供电可降低 TPSM656x0 的内部功耗。如果不使用，则将 BIAS 连接到 PGND。

当 TPSM656x0 处于工作状态时，如果 BIAS 电压低于约 3V，偏置电流由 VIN 提供。BIAS 电压超过切换阈值 3.175V 后，VCC 子稳压器就会切换，将 BIAS 用作输入。切换电压磁滞为 175mV。

启动期间，VCC 会短暂超过正常工作电压、直到该电压超过 3.4V 的 VCC UVLO 上升阈值。然后，VCC 在由 VIN 供电时会降至 3.3V 的工作电压，在由 BIAS 供电时则降至 3.2V。为了防止不安全运行，VCC 具有 UVLO 保护，可在 VCC 电压低于 2.5V 时阻止开关动作。TPSM656x0 在 VCC 与 PGND 之间具有一个集成式 1 µ F 陶瓷电容器（额定电压为 10V）。

7.3.3 精度使能和可调节电压 UVLO (EN/UVLO)

当 EN/UVLO 电压高于 1.25V 的上升阈值时，使能 TPSM656x0 模块，使器件能够开始软启动。如果 EN/UVLO 低于 1V 下降阈值，稳压器会停止开关，使用内部放电开关对输出放电（放电电流大约为 5mA），并进入关断模式，关断时输入静态电流小于 1 µ A。如果不需要此功能，可将 EN/UVLO 直接连接到 VIN。EN/UVLO 不得保持开路，因为该引脚悬空会使器件关断。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EN/UVLO 输入支持可调输入欠压锁定 (UVLO)，通过电阻器值编程，以满足特定应用的上电和断电要求。如 图 7-2 所示，安装电阻器 R_{UV1} 和 R_{UV2}，以建立与器件内部固定 UVLO 电平不同的精确输入电压 UVLO。可调节 UVLO 可用于时序控制，以防在使用长输入电缆时器件重新触发，或避免电池输入源过度放电。精密使能阈值具有 20% 的迟滞，以防止导通和关断状态下重新触发。来自其他 IC 的外部逻辑信号（例如 MCU）可用于切换输出开/关状态，并实现系统电源时序或保护。

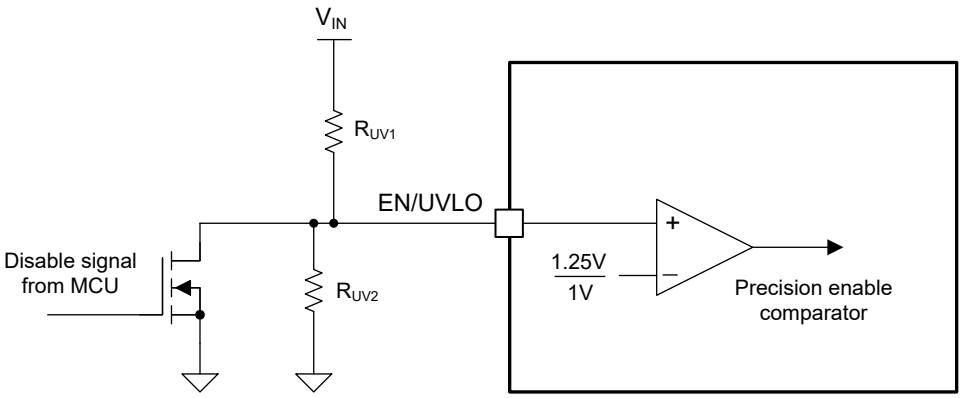


图 7-2. 可编程的输入电压 UVLO

为了尽可能提高精度，分压器中的电流必须大于 EN/UVLO 输入漏电流 I_{EN-LKG}。在 10kΩ 和 50kΩ 之间选择下部 UVLO 分压电阻器 R_{UV2}。可以使用 方程式 1 和 方程式 2 来分别计算 R_{UV1} 和 $V_{IN(off)}$，其中 $V_{IN(on)}$ 和 $V_{IN(off)}$ 是输入电压的上电和关断阈值。

$$R_{UV1} = R_{UV2} \times \left(\frac{V_{IN(on)}}{V_{EN-TH(R)}} - 1 \right) \quad (1)$$

$$V_{IN(off)} = V_{IN(on)} \times \left(1 - V_{EN-HYS\%} \right) \quad (2)$$

请记住，内部 VIN UVLO 保护会覆盖 EN/UVLO 输入。除非输入电压超过 3.4V 的 UVLO 上升阈值，否则 TPSM656x0 不会启动。相反，当输入电压降至低于 2.5V 的 UVLO 阈值时，器件会关断。

7.3.4 输出电压设定点（FB、BIAS）

根据开关频率和负载电流电平，TPSM656x0 降压模块通常能够提供的输出电压范围为 0.8V 至 24V（最大值）。TPSM656x0 具有可通过引脚选择的固定和可调节输出电压设置。

将 FB 连接到 VCC 或 PGND 以分别选择固定的 5V 或 3.3V 输出，并将 BIAS 直接连接到稳压器输出以进行输出电压检测。因此，BIAS 可闭合电压反馈环路并为内部 VCC 子稳压器供电。

或者，通过标记为 R_{FB1} 和 R_{FB2} 的反馈电阻器来定义输出电压设定点，如 图 7-1 所示。TPSM656x0 具有 0.8V 基准，内部电压环路误差放大器将 FB 电压调节至与此基准电压相等。使用 方程式 3 根据所需输出电压设定点和给定的 R_{FB1} 值来确定 R_{FB2}。

$$R_{FB2} = R_{FB1} \times \frac{0.8V}{V_{OUT} - 0.8V} \quad (3)$$

$$4k\Omega \leq \frac{R_{FB1} \times R_{FB2}}{R_{FB1} + R_{FB2}} \leq 100k\Omega \quad (4)$$

确保所选 R_{FB1} 和 R_{FB2} 值满足 方程式 4 所设定的要求。最佳实践是将 R_{FB1} 的阻值选在 200kΩ 以下，因为较高阻值通常容易受到寄生漏电流（例如，由 PCB 环境污染引起）的影响，从而导致输出电压偏移。在漏电流不大的情况下、使用高达 1MΩ 的反馈电阻来减少空载电流消耗并提高轻负载效率。利用可调输出设置，可以选择将前馈电容器与上部反馈电阻并联来提高环路相位裕度。

Copyright © 2026 Texas Instruments Incorporated

TPSM656x0 电源模块具有一个集成的功率电感器。为获得出色的模块性能，请根据表 7-1，基于目标输出电压选择开关频率。

表 7-1. 建议开关频率

目标 VOUT	建议的 f_{SW}
1.8V	300kHz
3.3V	400kHz
5V	400kHz 至 600kHz
12V	800kHz 至 1.2MHz
24V	1.6MHz

7.3.5 可调开关频率 (RT)

在 RT 与 PGND 之间连接电阻器来对 TPSM656x0 振荡器进行编程，以将自由运行开关频率设置为 300kHz 和 2.2MHz 之间。使用 方程式 5 或参考 表 7-2 来获得电阻器值。

$$R_{RT}[k\Omega] = \frac{16.4}{F_{SW}[MHz]} - 0.633 \quad (5)$$

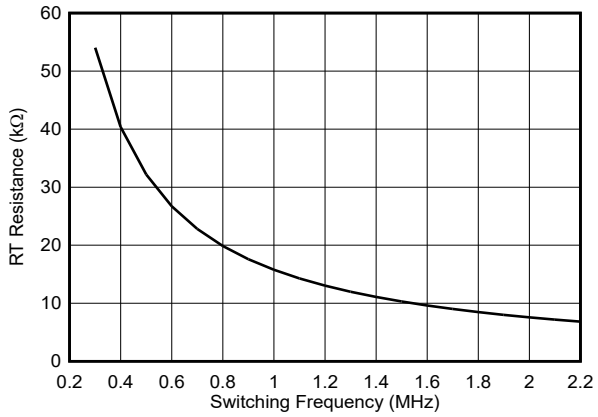


图 7-3. 设置开关频率

例如，F_{SW} 设置在 方程式 5 中为 300kHz，得出 R_{RT} 为 54.03kΩ。选择 53.6kΩ 作为最接近的标准值。或者，将 RT 分别连接到 VCC 或 PGND，以实现固定的 400kHz 或 2.2MHz 操作，如 表 7-2 所示。

表 7-2. 开关频率设置

RT	开关频率
连接至 VCC	400kHz
连接至 PGND	2.2MHz
RT 电阻至 PGND	300kHz 至 2.2MHz

请注意，如果 RT 电阻值超出建议范围，TPSM656x0 会恢复为 400kHz 或 2.2MHz。请勿向 RT 施加脉冲信号以强制同步。如果模块需要与外部时钟信号同步，请参阅节 7.3.6。

7.3.6 模式选择和时钟同步 (MODE/SYNC)

MODE/SYNC 是一个多功能引脚，用于配置运行模式，并用作外部时钟同步信号的输入。

如表 7-3 所示，如果 MODE/SYNC 接地或驱动至逻辑低电平，则模块在自动模式下运行。如果该引脚连接到 VCC、驱动至逻辑高电平或与外部时钟源同步，则模块在 FPWM 模式下工作。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 模式选择

MODE/SYNC	模式	动态模式变化
连接到 PGND 或驱动为低电平	自动	启用
连接到 VCC 或驱动为高电平（> 2.5V，高于 PGND）	FPWM	
已应用外部时钟信号		

将器件从自动模式转换为 FPWM 模式需要将引脚从低电平驱动为高电平或应用同步信号。从 FPWM 转换为自动模式需要将引脚从高电平驱动至低电平或停止同步信号。

备注

启动后，只有在 PG 转换为逻辑高电平时，才可以更改运行模式或将器件同步至外部时钟。

7.3.6.1 时钟同步

使用 MODE/SYNC 将内部振荡器与 300kHz 至 2.2MHz 的外部时钟信号同步。外部时钟的振幅必须满足 SYNC 输入阈值 $V_{SYNC(IH)}$ 和 $V_{SYNC(IL)}$，才能可靠地触发内部同步脉冲检测器。最小 SYNC ON 脉冲和 OFF 脉冲持续时间必须分别大于 $t_{SYNC(ON-MIN)}$ 和 $t_{SYNC(OFF-MIN)}$。

请注意，外部时钟信号只能在供电后、PG 上升为高电平时施加。如果在上电之前（或引脚检测期间）施加，则 TPSM656x0 无法检测到该时钟信号。

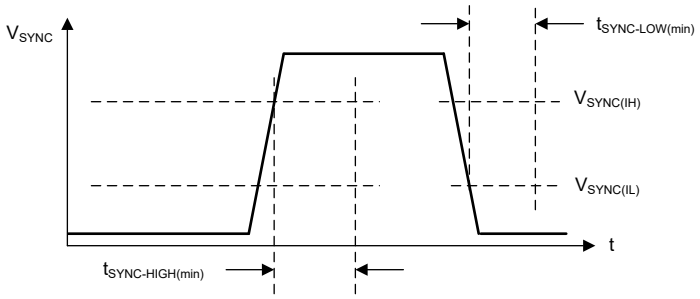
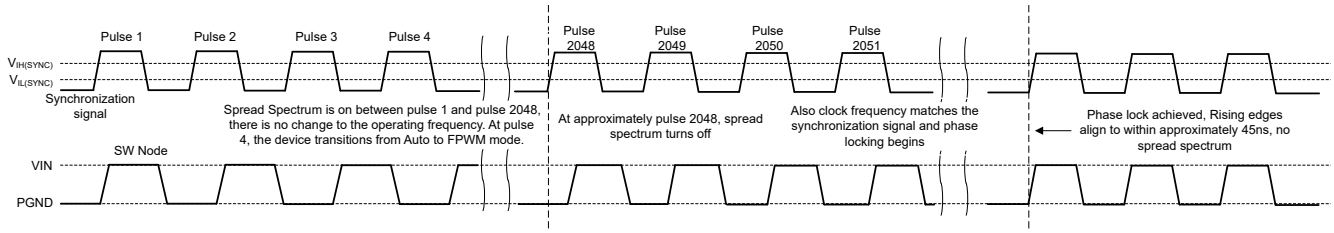


图 7-4. 满足时钟信号检测所需条件的典型 SYNC 波形

7.3.6.2 时钟锁定

在检测到有效的同步信号时，TPSM656x0 会初始化时钟锁定过程。在大约 2048 个脉冲之后，内部 振荡器频率将切换为同步信号的频率。当频率突然变化时，TPSM656x0 仍能保持相位不变，使得自由运行频率与同步频率之间的时钟周期为中间长度。没有非常长或非常短的脉冲。频率锁定后，相位将在几十个周期内进行调整，使得上升同步边沿与开关节点上升脉冲对齐。请参阅图 7-5。



在脉冲 4，检测到同步信号。大约在脉冲 2048 之后，同步信号准备好进行同步，并使用无干扰技术调整频率，直至相位被锁定。

图 7-5. 同步过程

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.3.7 器件配置 (CNFG/SYNCOUT)

TPSM656x0 可作为独立模块运行（采用内部或外部补偿），也可作为双相模块运行（采用外部补偿）。CNFG/SYNCOUT 用作器件配置引脚。

CNFG/SYNCOUT 用于配置器件为主器件或辅助器件，选择内部补偿（单相工作模式）或外部补偿（单相或双相工作模式），并影响 DRSS/MCOMM 功能，如 表 7-4 所示。

表 7-4. 器件配置

CNFG/SYNCOUT	配置	DRSS/MCOMM 功能
短接至 PGND	辅助器件，SYNCOUT 禁用	MCOMM 输入
49.9kΩ 至 PGND	主器件，外部 COMP，SYNCOUT 启用	DRSS 控制，MCOMM 输出
短接至 VCC	主器件，内部 COMP，SYNCOUT 禁用	DRSS 控制

7.3.8 双随机展频 (DRSS)

TPSM656x0 提供双随机展频 (DRSS) 功能，可在宽频率范围内降低电源的 EMI。DRSS 功能将低频三角调制曲线与高频逐周期假随机调制曲线相结合。低频三角调制提高了较低射频频带中的性能，高频随机调制提高了较高射频频带中的性能。

展频通过将窄带信号转换为宽带信号，以将能量分散在多个频率上。由于行业标准要求对不同的频带使用不同的 EMI 接收器分辨率带宽 (RBW) 设置，因此 RBW 对展频性能有影响。DRSS 能够分别使用低频三角调制曲线和高频逐周期随机调制曲线来同时提高低 RBW 和高 RBW 条件下的 EMI 性能。对于 CISPR 25，DRSS 最高可以将低频频段（150kHz 至 30MHz）中的传导发射降低 10dBμV，并将高频频段（30MHz 至 108MHz）中的传导发射降低 5dBμV。向 MODE/SYNC 施加外部时钟信号会禁用 DRSS。

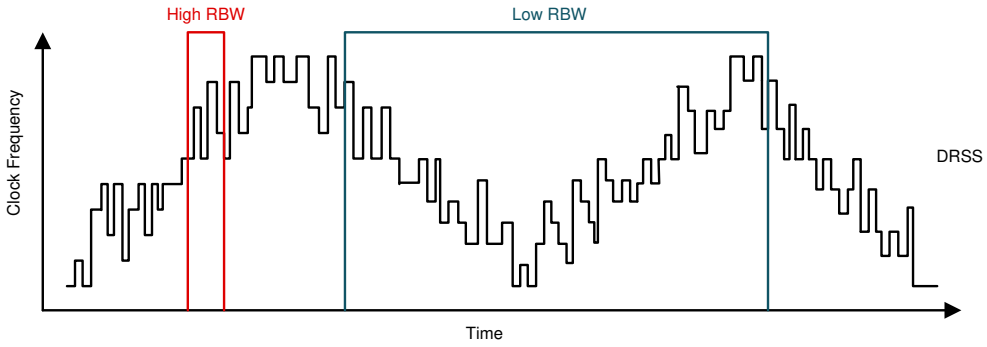


图 7-6. 双随机展频实现

该器件提供宽低频调制曲线，以 6kHz 调制频率将开关频率扩展 ±10%。如表 7-5 所示，TPSM656x0 还提供开关节点波形整形功能，该功能在使能时会调整开关节点波形上升转换以减少振铃和过冲。

表 7-5. DRSS 和转换率控制

DRSS/MCOMM 引脚	DRSS	转换率控制
短接至 VCC(1)	启用，±10%，6kHz	启用
保持断开	启用，±10%，6kHz	启用
150kΩ 至 PGND	启用，±10%，6kHz	禁用
49.9kΩ 至 PGND	禁用	启用
短接至 PGND(1)	禁用	禁用

(1) 此配置仅适用于单相运行。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.9 高侧 MOSFET 和栅极驱动 (BST)

启用 MOSFET 时，高侧功率 MOSFET 的栅极驱动器需要高于 VIN 的偏置电压。连接 BST 与 SW 的集成电容器充当自举电源，将 BST 电压升至 V_{SW} + V_{VCC}。TPSM656x0 还具有集成自举二极管，可进一步减少外部元件数量。

7.3.10 软启动和从压降中恢复

TPSM656x0 模块具有软启动特性，可使目标稳压电压缓慢上升，逐渐达到稳态工作点，从而防止启动期间输出电压过冲和输入端高浪涌电流。器件会在满足以下任一条件时启动软启动：

- 为模块的 VIN 引脚供电，释放 VIN 和 VCC 的 UVLO
- 当 EN/UVLO 为高电平时，器件导通
- 从断续等待期恢复
- 从热关断保护状态恢复。

使用 TPSM656x0 的最简单方法是将 SS 引脚保持开路，以获得 5.3ms 的固定软启动时间。在高输出电容、高输出电压或其他特殊要求的应用中，可通过在 SS 与 PGND 之间连接电容器来延长软启动时间。请使用 方程式 6 或参考 图 7-7，根据所需的软启动时间 t_{SS} 来选择 C_{SS} 的值。

$$C_{SS}[nF] = 16.7 \times t_{SS}[ms] \quad (6)$$

例如，对于所需的 12ms 软启动时间，方程式 6 可提供 200nF 的 C_{SS} 值。选择 220nF 作为最接近的标准值。

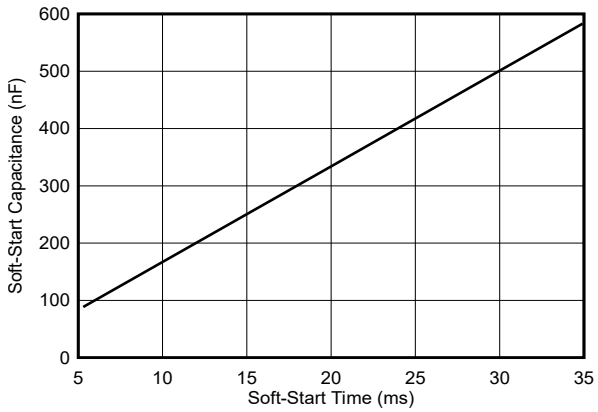


图 7-7. 设置软启动时间

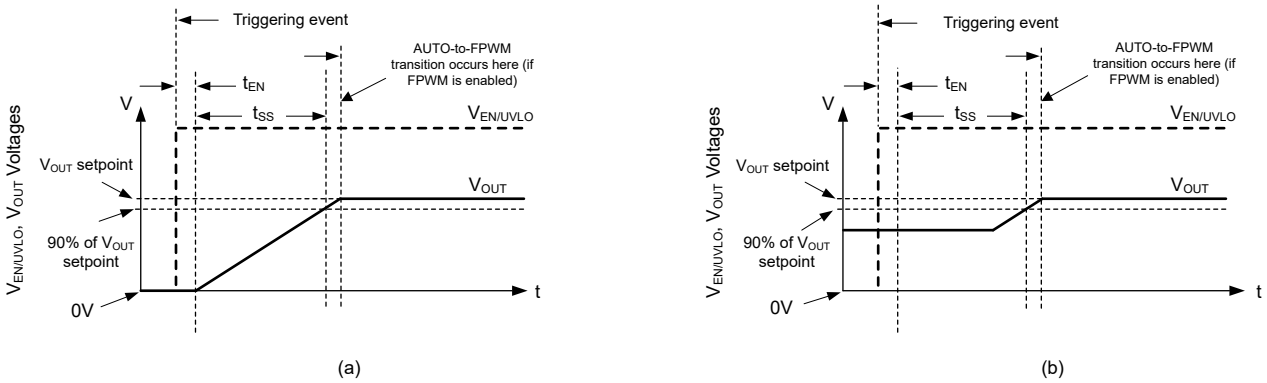
在启动软启动时，器件将执行以下操作：

- 用于调节输出电压的内部基准从零开始缓慢上升。最终结果是，输出电压需要 t_{SS} 达到所需值的 90%。
- 工作模式设置为 AUTO，从而激活二极管仿真，以便在不降低输出电压的情况下实现预偏置启动。
- 在软启动期间，断续模式保护处于禁用状态；请参阅 节 7.3.11.3。

综上，这些操作提供了一个有限浪涌电流的启动曲线，使器件可在高输出电容和高负载条件下启动，即使接近电流限制阈值，也不会触发断续模式。请参阅图 7-8。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated



软启动开始后，输出电压在一个时间间隔 t_{SS} 后达到输出设定点的 90%。该器件会在软启动间隔期间禁用 FPWM 和断续模式，随后在输出电压达到稳压状态后使能这些模式。

图 7-8. 输出电压软启动：无预偏置 (a)，有预偏置 (b)

7.3.11 保护特性

TPSM656x0 提供一套全面的保护功能：

- 具有输出欠压 (UV) 和过压 (OV) 保护功能的电源正常监视器
- 具有断续模式的过流和短路保护
- 热关断 (TSD)

7.3.11.1 电源正常监视器

TPSM656x0 包含电源正常功能，可简化系统中的电源时序和监控。使用电源正常功能可实现由 TPSM656x0 供电的下游电路、控制下游保护电路（如负载开关）或开启定序电源。该功能使用窗口比较器通过 FB 引脚监测输出电压，以实现可调的 V_{OUT} 配置，并通过 BIAS 引脚实现固定的 V_{OUT} 配置。当输出电压处于稳压状态时，电源正常输出 (PG) 会切换至高阻抗开漏状态。当输出电压超出设定电压的 ±5% 范围时，PG 引脚被驱动为低电平 ($< V_{OL(PG)}$)，警告系统输出过压或欠压情况。PG 下降沿上的 130µs 抗尖峰脉冲滤波器可防止瞬变期间电源正常信号的误跳闸。当输出电压返回到调节窗口内时，PG 上升沿上的 2ms 滤波器可为下游元件提供额外的处理时间。

TI 建议 PG 引脚与相关逻辑轨之间的 100kΩ 上拉电阻不大于 24V。软启动期间以及 TPSM656x0 被禁用时，PG 会置为低电平。

7.3.11.2 过流和短路保护

TPSM656x0 通过针对高侧和低侧电源 MOSFET 的逐周期电流限制在过流情况下得到保护。

高侧 MOSFET 过流保护是通过峰值电流模式控制的特性来实现的。当高侧 MOSFET 开关在短消隐时间后接通时，会检测到高侧电流。在每个开关周期，高侧电流会与固定电流设定点的最小值或电压调节环路输出减去斜率补偿后的值进行比较。

当低侧 MOSFET 开关接通时，也会检测和监控流经该 MOSFET 的电流。与高侧 MOSFET 一样，电压控制环路会控制低侧 MOSFET 关断。对于低侧器件，即使振荡器正常启动一个新的开关周期，也会在超过电流限值时阻止关断。与高侧器件一样，关断电流幅度存在限制。这称为低侧电流限值。在启用低侧电流限制后，低侧 MOSFET 保持导通状态，而高侧 MOSFET 不会导通。低侧 MOSFET 开关在低侧电流降至限值以下后关断。只要自高侧 MOSFET 器件上次导通后至少经过一个时钟周期，高侧 MOSFET 开关就会再次导通。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

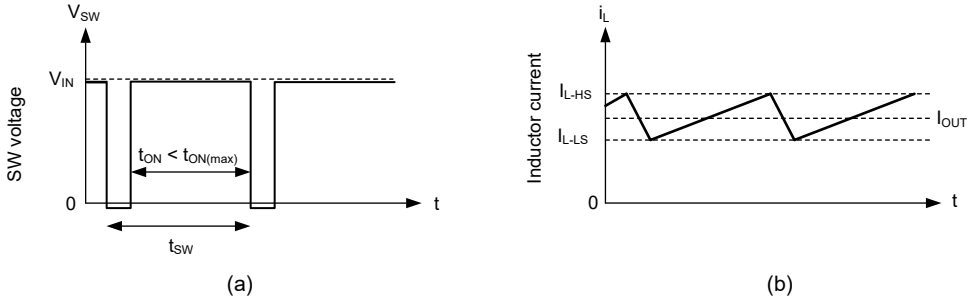


图 7-9. 电流限值波形：开关电压 (a)、电感器电流 (b)

高侧和低侧电流限制运行的最终影响是 IC 在磁滞控制下运行。由于电流波形假定值介于 I_{L-HS} 和 I_{L-LS} 之间，因此除非占空比非常高，否则输出电流接近这两个值的平均值。在电流限制下运行之后将使用磁滞控制，并且电流不会随着输出电压接近零而增加。

如果删除过载状态，器件会像在软启动中一样恢复。请注意，如果输出电压降至预期输出电压的大约 0.4 倍以下，则会触发断续。

7.3.11.3 断续模式保护

在连续 64 个时钟周期（断续模式激活延迟 t_{HICDLY}）内满足以下所有条件时，TPSM656x0 会进入断续模式保护：

- 自软启动开始以来经过的时间间隔大于 5.3ms 。
- 输出电压低于输出电压设定点的约 40%。
- 该器件不在压降模式（定义为具有受 COMP 控制的 PWM 关断时间）下运行。

在断续模式下，使用内部软启动时，器件会关断，并在约 48ms 延迟后尝试重新启动。使用外部软启动时，延迟时间增加为软启动时间的六倍。断续模式有助于在严重过流和短路情况下降低器件功耗。

7.3.11.4 热关断

当 IC 结温超过 165°C（典型值）时，热关断通过关闭内部开关来限制 TPSM656x0 的功率耗散。低于 155°C 时不会触发热关断。发生热关断后，迟滞会阻止器件开关，直到结温降低约 9°C。当结温降至低于 156°C（典型值）时，TPSM656x0 会尝试软启动。

即使 TPSM656x0 由于结温过高而处于关断状态，VCC 仍处于稳压状态。为了防止由于对 VCC 施加短路而导致过热，当器件处于热关断状态时，VCC 偏置电源子稳压器的电流限制将降低。在这种关断条件下，VCC 子稳压器只能提供几毫安的电流。

7.3.12 两相单输出运行

使用两个 TPSM656x0 模块实现双相单输出运行。无法添加更多相位。根据 图 7-10，将第一个和第二个设备分别配置为主设备和辅助器件。此操作会禁用辅助器件的反馈误差放大器并将其置于高阻抗状态。如 图 7-10 所示，将辅助器件的 FB 引脚连接到 VCC。此外，以最小的布线长度将主器件和辅助器件的 COMP 引脚连接在一起。在主要器件附近添加一个外部补偿网络。以双相配置运行时，无法使用内部补偿功能。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

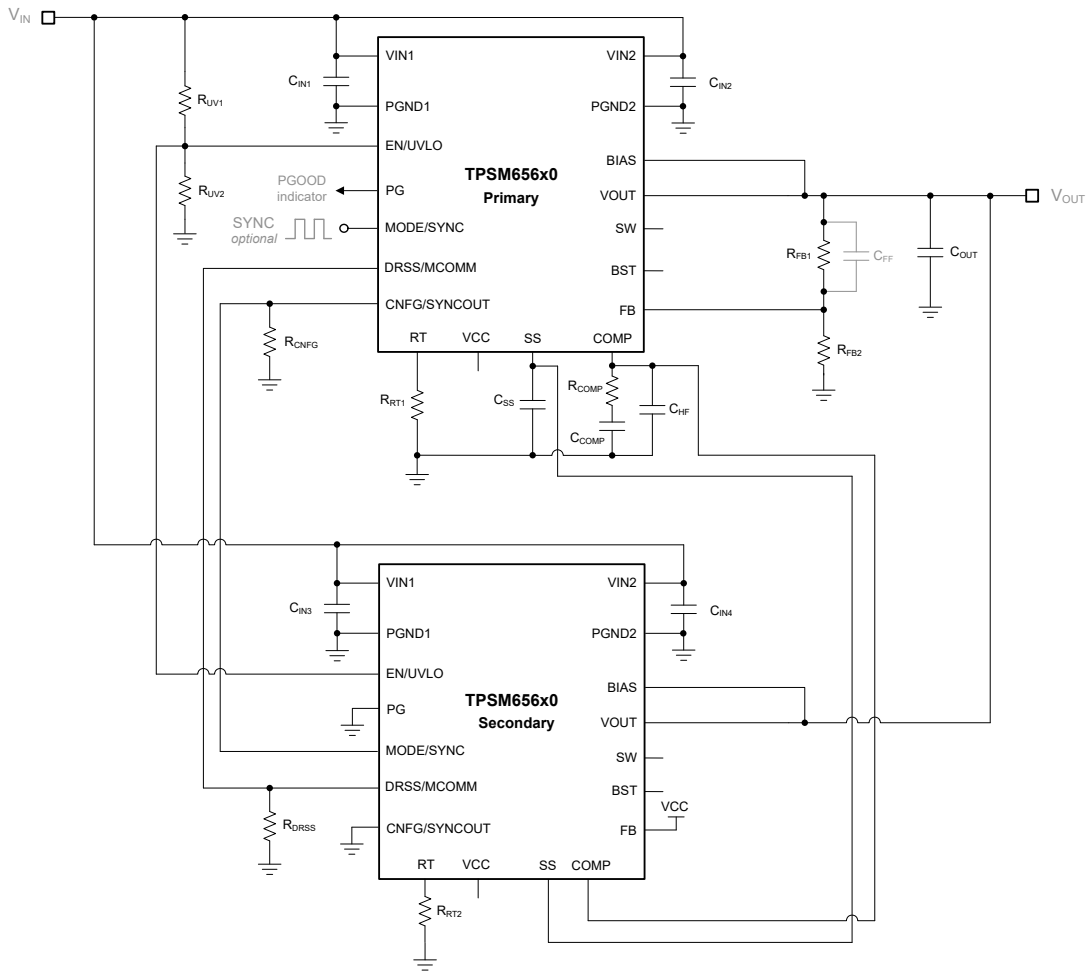


图 7-10. 单输出、双相运行的简化原理图

必须将主器件的 CNFG/SYNCOUT 引脚连接到辅助器件的 MODE/SYNC。主器件的 SYNCOUT 信号与另一相相差 180°，以实现交错运行。在双相配置下运行时，应同时启用两个器件以实现启动同步。

当配置为双相运行时，DRSS/MCOMM 可将模式信息从主器件传输到辅助器件。来自主器件的 MCOMM 高电平信号会强制辅助器件在 FPWM 模式下工作。相反，来自主器件的 MCOMM 低电平信号会将辅助器件设置为 PFM 模式。将主器件和辅助器件的 MCOMM 引脚连接在一起。连接主器件和辅助器件的 SS 引脚以实现故障通信。

请另行参阅*多相降压转换器的优势* 模拟设计期刊和*多相降压设计大全* 应用手册。

7.4 器件功能模式

7.4.1 关断模式

器件的 EN 引脚可提供电气开/关控制功能。当 EN 引脚电压低于 0.9V 时，稳压器和内部 LDO 均无输出电压，器件处于关断模式。在关断模式下，静态电流降至 1μA 以下。

7.4.2 活动模式

TPSM656x0 在以下情况下处于工作模式：

- EN 引脚电压高于 V_{EN}。
- V_{IN} 高于 V_{EN}。
- V_{IN} 足够高，能够满足 V_{IN} 最小工作输入电压要求。
- 不存在故障条件。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

有关保护功能，请参阅节 7.3。使之工作的最简单方法是将 EN/UVLO 连接至 VIN，这样可以在施加的输入电压超过 3.4V（典型值）$VIN_{UVLO(R)}$ 时实现启动

在工作模式下，根据负载电流、输入电压和输出电压，TPSM656x0 处于以下六种子模式之一：

- 连续导通模式 (CCM)，此时具有固定开关频率并在峰值电流模式下运行
- 不连续导通模式 (DCM)，此时处于自动模式，负载电流低于电感器电流纹波的一半。如果电流继续下降，器件将进入脉冲频率调制 (PFM) 模式，从而降低开关频率以保持稳压状态，同时降低开关损耗以在轻负载条件下实现更高的效率。
- 最短导通时间运行，此时 T_{ON_MIN} 不支持器件在所请求的低占空比下全频运行所需的导通时间
- 强制脉宽调制 (FPWM)，该模式与具有固定开关频率的 CCM 类似，但将固定工作频率范围从全频率扩展至空载
- 电流限制条件，其中输出电压保持在输出设定点的 0.4 倍以上
- 压降模式，此时开关频率降低，以更大程度地减小压降
- 从压降中恢复，该模式与其他工作模式类似，只是输出电压设定点逐渐上升，直到达到编程的设定点。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPSM656x0 是一款降压电源模块，仅需较少外部元件即可将宽范围输入电压转换为稳压输出电压，输出电流可高达 6A。

8.1.1 动力总成元件

要成功完成同步降压稳压器设计，必须全面了解稳压器的功率级组件。以下段落讨论输入电容器、输出电容器和 EMI 输入滤波器的计算。

8.1.1.1 输出电容器

输出电容器 C_{OUT} 对电感纹波电流进行导通，并为阶跃负载瞬态提供电荷储备。通常，陶瓷电容器提供非常低的 ESR 来减少输出电压纹波和噪声，聚合物电解电容器则以相对紧凑的外形提供大容量电容来应对瞬态负载事件。方程式 7 提供基于峰值间输出电压纹波静态规格（使用 ΔV_{OUT} 表示）的输出电容。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \times F_{SW} \sqrt{\Delta V_{OUT}^2 + (R_{ESR} \times \Delta I_L)^2}} \quad (7)$$

在电容器数据表中作为规格以显式方式或者在阻抗与频率关系曲线中以隐式方式提供 ESR。根据类型、尺寸和结构，电解电容器具有很大的 ESR（10mΩ 及以上）以及相对较大的 ESL（10nH 以上）。PCB 迹线也会产生一些寄生电阻和电感。陶瓷输出电容器在开关频率条件下具有低 ESR 和 ESL 贡献度，容性阻抗分量处于主导地位。不过，根据陶瓷电容器的封装和电压额定值，有效电容可能会在施加直流电压时显著下降，具体取决于施加的直流电压和工作温度。

方程式 8 提供输出电容的估算值，以在响应受小信号限制并由交叉频率 f_C 决定的情况下，确保动态负载电流变化期间输出电压满足规定限制。

$$C_{OUT} \geq \frac{\Delta I_{OUT}}{2 \times \pi \times f_C \times \Delta V_{OUT}} \quad (8)$$

通过忽略方程式 7 中的 ESR 项，可以快速估算出满足输出纹波规格所需的最小陶瓷电容。然后，使用 方程式 8 来确定是否需要电容才能满足负载瞬态规格。使用 TPSM656x0 实现 5V 输出时，常见选择是使用两到四个 47µF、10V、X7R、1210 陶瓷电容器。对于 12V 输出，通常需要两到四个 22µF、25V、X7R、1210 陶瓷电容器。

8.1.1.2 输入电容器

使用输入电容器来限制降压功率级中因高 di/dt 开关电流而产生的输入纹波电压。TI 推荐使用采用 X7R 电介质的 1210 陶瓷电容器，在宽温度范围内提供低阻抗和高 RMS 电流承载能力。为了尽可能地减少开关电源环路中的寄生电感，应将输入电容器尽量靠近 VIN 和 PGND 引脚对布置。方程式 9 计算了单相降压稳压器的输入电容器 RMS 电流。

$$I_{CIN(rms)} = \sqrt{D \times \left(I_{OUT}^2 \times (1 - D) + \frac{{\Delta I_L}^2}{12} \right)} \quad (9)$$

RMS 电流在 D = 0.5 时达到最大值 $I_{OUT}/2$。理想情况下，输入电压源提供输入电流的 DC 分量，输入电容器提供 AC 分量。在忽略电感器纹波电流的情况下，降压稳压器的输入电容器会在 D 间隔期间拉出振幅为 (I_{OUT} – I_{IN}) 的

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

电流，并在 1−D 期间灌入振幅为 I_{IN} 的电流。因此，输入电容器会传导峰值间振幅等于输出电流的方波电流。因此，交流纹波电压的相应容性分量为三角波形。结合 ESR 相关的纹波分量，方程式 10 可以计算峰值间纹波电压振幅。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \quad (10)$$

根据 ΔV_{IN} 的输入电压纹波规格，方程式 11 计算出特定负载电流所需的输入电容。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} \quad (11)$$

TPSM656x0 提供了在封装两侧对称放置的 VIN 和 PGND 引脚。此布置方式可以将输入电容器分开布置，并相对于集成功率 MOSFET 进行优化布置，从而提高输入旁路的效果。相向电流环路会产生互抵消磁场，有助于减小传导和辐射发射。四个 4.7 µF 或 10 µF 陶瓷电容器足以满足大多数应用的要求。此外，必须在每个输入引脚对（VIN1、PGND1）和（VIN2、PGND2）上放置封装尺寸较小（0402 或 0603）的陶瓷电容器，以降低高频下的有效阻抗。

采用具有 180° 异相交错开关的双相稳压器，可实现输入纹波电流抵消，并降低输入电容器的电流应力。上面的公式展示了一侧相位被禁用而另一侧相位为满负载时的有效计算。

8.1.1.3 EMI 滤波器

开关稳压器具有负输入阻抗，该阻抗在最小输入电压和满负载下最低。欠阻尼 LC 滤波器在滤波器的谐振频率条件下具有高输出阻抗。为实现稳定性，EMI 滤波器输出阻抗必须小于稳压器输入阻抗的绝对值。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^2}{P_{IN}} \right| \quad (12)$$

根据 图 8-1 中的 EMI 滤波器，设计步骤如下：

- 计算 EMI 滤波器在开关频率下所需的衰减，其中 C_{IN} 表示稳压器输入的现有电容。
- 在 1 µH 和 10 µH 之间选择一个输入滤波电感器 L_{IN}。使用较低的值来降低高电流设计中的 DC 损耗。
- 计算输入侧滤波器电容 C_F。

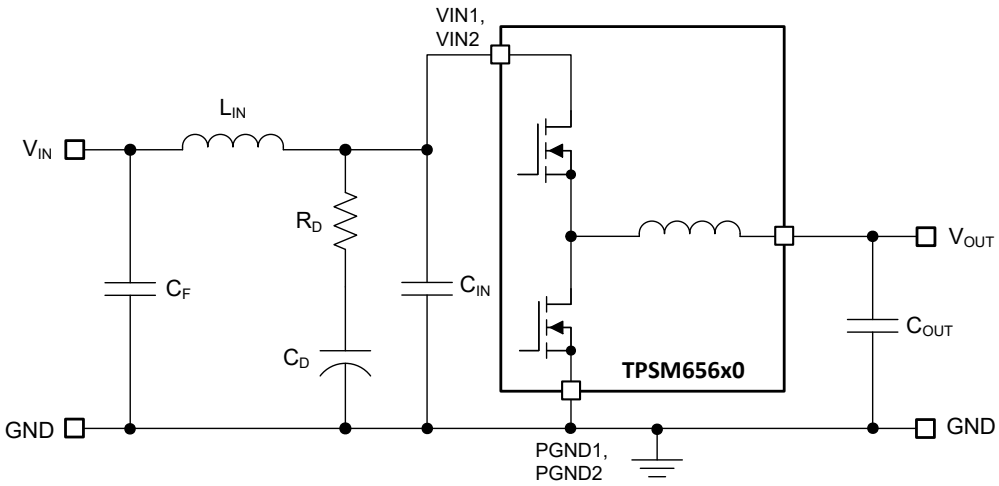


图 8-1. 降压稳压器的无源 π 级 EMI 滤波器

通过从傅里叶级数输入电流波形计算第一个谐波电流并乘以输入阻抗（阻抗由现有输入电容器 C_{IN} 定义），方程式 13 在开关频率上计算所需的滤波器衰减

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

$$Attn = 20\log\left(\frac{I_{L(pk)}}{\pi^2 \times F_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu V}\right) - V_{MAX} \quad (13)$$

其中

- V_{MAX} 是适用传导 EMI 标准（例如 CISPR 32 B 类）允许的 dB μV 噪声水平。
- C_{IN} 是稳压器的现有输入电容。
- D_{MAX} 是最大占空比。
- $I_{L(pk)}$ 是电感器的峰值电流。

就 EMI 滤波器设计而言，将输入端的电流建模为方波。使用 方程式 14 确定 EMI 滤波器电容 C_F。

$$C_F = \frac{1}{L_{IN}}\left(\frac{10^{\frac{|Attn|}{40}}}{2\pi \times F_{SW}}\right)^2 \quad (14)$$

在开关稳压器中增加一个输入滤波器会使“控制到输出”传递函数发生变化。滤波器的输出阻抗必须足够小，以免输入滤波器显著影响稳压器的环路增益。阻抗在滤波器谐振频率下达到峰值。使用 方程式 15 计算滤波器的谐振频率。

$$f_{res} = \frac{1}{2\pi \times \sqrt{L_{IN} \times C_F}} \quad (15)$$

R_D 的用途是减小滤波器在谐振频率下的峰值输出阻抗。电容器 C_D 会阻碍输入电压的直流分量，从而避免 R_D 上产生过大的功率损耗。电容器 C_D 在谐振频率下的阻抗必须小于 R_D，并且电容值必须大于输入电容器 C_{IN} 的电容值。这可以防止 C_{IN} 干扰主滤波器的截止频率。当滤波器的输出阻抗在谐振频率下较大（由 L_{IN} 和 C_{IN} 构成的滤波器具有过高的 Q 值）时，则增加阻尼。使用电解电容器 C_D 来提供 方程式 16 所给出的阻尼值。

$$C_D \geq 4 \times C_{IN} \quad (16)$$

使用方程式 17 来选择阻尼电容器 R_D。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (17)$$

8.1.2 误差放大器和补偿

图 8-2 展示了采用跨导误差放大器 (EA) 的 II 型比较器。EA 开环增益的主极点由 EA 输出电阻 R_{OEA} 和有效带宽限制电容 C_{BW} 设置，如方程式 18 所示。

$$G_{EA(openloop)}(s) = -\frac{g_m \times R_{OEA}}{1 + s \times R_{OEA} \times C_{BW}} \quad (18)$$

上述表达式中忽略了 EA 高频极点。方程式 19 表述了从输出电压到 COMP 的补偿器传递函数，其中包括反馈分压器贡献的增益。

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = -\frac{V_{REF}}{V_{OUT}} \times \frac{g_m \times R_{OEA} \times \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \times \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (19)$$

其中

- V_{REF} 是反馈电压基准
- g_m 是 EA 跨导
- R_{OEA} 是 EA 输出阻抗

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

$$\omega_{z1} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (20)$$

$$\omega_{p1} = \frac{1}{R_{OEA} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{OEA} \times C_{COMP}} \quad (21)$$

$$\omega_{p2} = \frac{1}{R_{COMP} \times (C_{COMP} \,||\, (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{HF}} \quad (22)$$

EA 补偿元件会在原点、零点和高频极点附近形成一个极点。通常，R_{COMP} << R_{OEA} 且 C_{COMP} >> C_{BW} 和 C_{HF}，因此近似值有效。图 8-2 以红色圈出极点，以蓝色圈出零点。

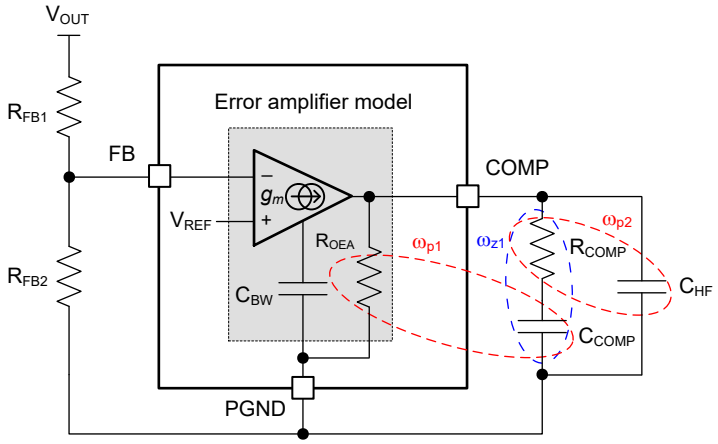


图 8-2. 误差放大器和补偿网络

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.2 典型应用

TPSM656x0 是一款同步降压电源模块，可在各种外部元件和系统参数下运行。将 CNFG/SYNCOUT 连接到 VCC 会将转换器设置为使用内部补偿，从而允许 COMP 保持开路或连接到 PGND。但是，为了实现稳定性，内部补偿需要最小的输出电容值。使用方程式 23 计算适合的输出电容值

$$C_{OUT(INTCOMP)} = \frac{K_{INTCOMP}}{f_C \times V_{OUT}} \quad (23)$$

其中

- f_C 是目标环路交叉频率，通常设置为开关频率的 10% 至 15%（最大频率为 100kHz）
- 对于 TPSM656x0，$K_{INTCOMP}$ = 34.6

作为快速参考，表 8-1 提供了使用内部补偿和 3.3V 或 5V 固定输出设置时一系列应用参数的典型元件值。同时，表 8-2 提供了使用反馈分压器设置输出电压时 8A、6A 和 4A 器件各自的典型元件值。

这些表格所列的设计方案对应典型的 48V 输入电压，并给出了参考的最小*有效*输出电容值（该值已考虑电压和温度的降额）。

表 8-1. 固定输出电压（3.3V 或 5V）和内部补偿的典型元件值

输出电压	开关频率	FB	C_{OUT}
3.3V	400kHz	GND	220 µ H
5V		VCC	140 µ H

表 8-2. 具有可调输出电压和内部补偿功能的 TPSM656x0 器件的典型元件值

输出电压	开关频率	C_{OUT}	R_{FB1}	R_{FB2}
3.3V	400kHz	220 µ F	78.7k Ω	24.9k Ω
5V		140 µ F		15k Ω
12V	1MHz	20 µ F	210k Ω	15k Ω
24V	1.6MHz	10 µ F	210k Ω	7.32k Ω

备注

有关基于 TPSM656x0 的实现的分步设计过程、电路原理图、物料清单、PCB 文件、模拟和测试结果，请参阅 *TI Designs* 参考设计库。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.2.1 设计 1 — 具有宽输入电压范围的 5V、6A 同步降压稳压器

图 8-3 展示了采用 TPSM656x0 的典型降压稳压器电路，该电路通过标称 48V 输入在 6A 电流下提供 5V 稳压输出。

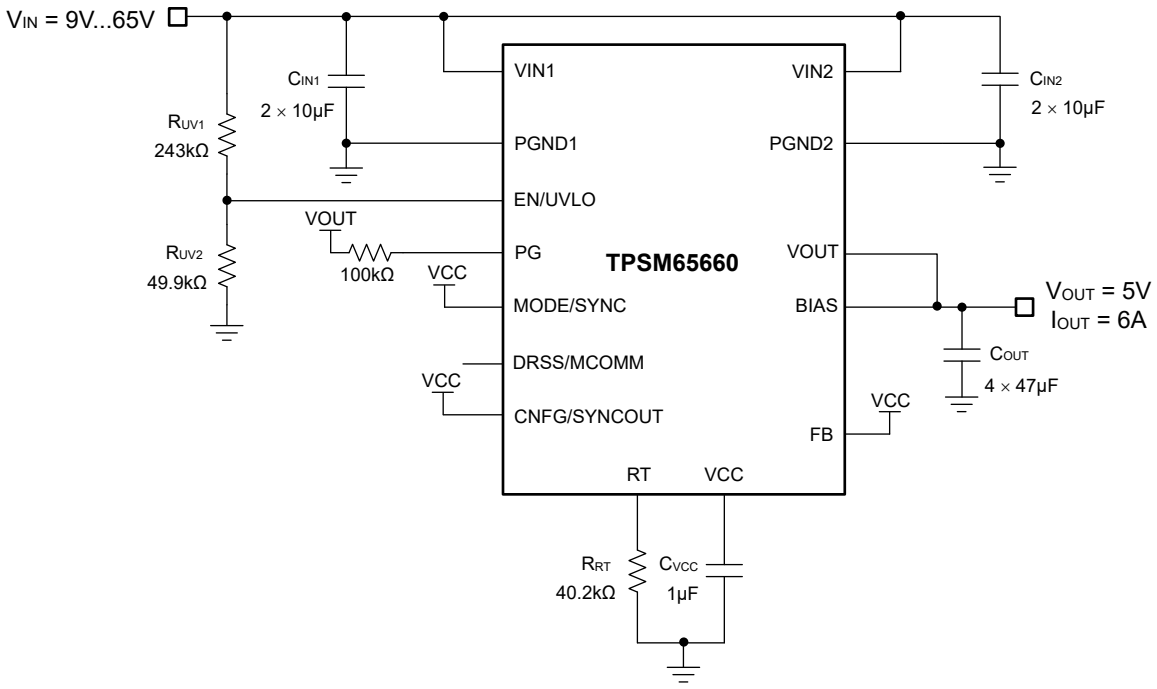


图 8-3. 采用 TPSM656x0 6A 降压电源模块且频率为 400kHz 时的应用电路 1

备注

这里提供的这个示例以及后续设计示例展示了 TPSM656x0 在几种不同应用中的使用情况。根据输入电源总线的源阻抗，输入端可能需要放置一个电解电容器来确保稳定性，尤其是在低输入电压和高输出电流工作条件下。另请参阅节 8.4。

8.2.1.1 设计要求

表 8-3 展示了开关频率为 400kHz 的 5V、6A 降压稳压器的规格。在此示例中，标称输入电压为 24V，范围为 9V 至 60V 稳态。

表 8-3. 详细设计参数

设计参数	值
输入电压范围（稳态）	9V 至 60V
输入 UVLO 导通阈值	7V
输出电压	5V
输出电流	0A 至 6A
开关频率	400kHz
软启动时间	5.3ms（默认内部设置）
降低 EMI	DRSS 已使能，转换率控制关闭
环境温度范围	-40°C 至 85°C

Copyright © 2026 Texas Instruments Incorporated

40.2kΩ 的电阻器 R_{RT} 将自由运行开关频率设置为 400kHz，可选的 SYNC 输入信号允许针对此特定应用，在 320kHz 至 480kHz 的范围内调整开关频率。若将 SS 引脚悬空，则软启动时间将固定为内部设定的 5.3ms。

表 8-4 中列出了所选的降压稳压器功率级组件，其中很多组件都可以从多个供应商处获得。此设计采用一种使用复合磁芯材料的低 DCR 电感器和全陶瓷输出电容器实现方案。

表 8-4. 应用电路 1 的物料清单

参考位号	数量	规格	供应商(1)	器件型号
C_{IN1}、C_{IN2}	4	10µF，±10%，100V，陶瓷电容，X7R，1210	TDK	CGA6P1X7R2A106K250AC
C_{OUT}	4	47uF ±10% 10VDC X7S 1210	Murata	GCM32EC71A476KE02K
U_1	1	TPSM656x0 65V、6A 同步降压电源模块	德州仪器 (TI)	TPSM65660VCLR

(1) 请参阅*第三方产品免责声明*。

8.2.1.2 详细设计过程

以下设计过程适用于图 8-3 和表 8-3。

8.2.1.2.1 选择开关频率

选择开关频率时需权衡转换效率和整体设计尺寸。较低的开关频率意味着较小的开关损耗，通常会实现更高的系统效率。不过，较高的开关频率允许在功率级中使用较小的电感器和输出电容器，因此得到的设计更加紧凑。对于此应用示例，将一个 40.2kΩ 的标准电阻值从 RT 引脚连接到 PGND 引脚，以将频率设置为 400kHz。或者，将 RT 连接到 PGND。另请参阅方程式 5。

$$R_{RT}[k\Omega] = \frac{16.4}{F_{SW}[MHz]} - 0.633 = \frac{16.4}{0.4} - 0.633 = 40.36k\Omega \quad (24)$$

8.2.1.2.2 输入电容器选型

电源输入通常在开关频率下具有相对较高的源阻抗。需要高质量的输入电容器来限制输入纹波电压。通常，纹波电流会根据电容器在开关频率条件下的相对阻抗在几个输入电容器之间进行分流。

1. 选择具有足够电压和 RMS 电流额定值的输入电容器。使用方程式 25 来计算输入电容器中的 RMS 电流，其中最坏工况点是输入电压为 10V 时，对应于 50% 占空比。

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{D \times (1-D)} = 6A \times \sqrt{0.5 \times (1-0.5)} = 3A \quad (25)$$

2. 假设 48V 至 5V 转换的占空比约为 10%，使用方程式 26 来查找所需的输入电容：

$$C_{IN} \geq \frac{D \times (1-D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR,Cin} \times I_{OUT})} = \frac{0.2 \times (1-0.2) \times 6A}{400kHz \times (480mV - 2m\Omega \times 6A)} = 5.1\mu F \quad (26)$$

   其中

   - ΔV_{IN} 是峰值间输入纹波电压的规格。
   - $R_{ESR,Cin}$ 是输入电容器的有效 ESR。

3. 确认陶瓷电容器的电压系数后，选择四个 10µF、100V、X7R、1210 陶瓷输入电容器。每个电容器在 24VDC 时的有效电容值约为 4µF。将这些电容器放置在输入引脚对 [VIN1, PGND1] 和 [VIN2, PGND2] 的相邻位置。
4. 使用 方程式 27 计算峰值间纹波电压振幅。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1-D)}{C_{IN} \times F_{SW}} + R_{ESR,Cin} \times I_{OUT} = \frac{6A \times 0.2 \times (1-0.2)}{16\mu F \times 400kHz} + 2m\Omega \times 6A = 0.162V \quad (27)$$

8.2.1.2.3 输出电容器

1. 假设负载瞬态偏差规格为 5% V_{OUT}，环路交叉频率为 40kHz，则使用 方程式 28 来估算 100% 负载阶跃所需的输出电容。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

$$C_{OUT} \geq \frac{\Delta I_{OUT}}{2\pi \times f_C \times \Delta V_{OUT}} = \frac{6A}{2\pi \times 40kHz \times 0.25} = 96\mu F \quad (28)$$

2. 了解陶瓷电容器的电压系数（其中有效电容会在施加电压后显著减小）后，选择四个 47µF、10V、X7S、1210 陶瓷输出电容器。它们会在 5VDC 下提供 30µF 的有效电容。

8.2.1.2.4 输出电压设定点

将 FB 连接到 VCC 以通过 TPSM656x0 建立 5V 固定输出。通过直接连接到负载点的稳压器输出，使用 BIAS 进行电压检测。请注意，波德图测量仅适用于可调输出实现，其中信号注入发生在反馈分压器顶部。

8.2.1.2.5 补偿器件

在本例中，我们使用了内部补偿，但以下示例展示如何使用以下过程为稳定的控制环路选择补偿元件。

1. 将交叉频率设置为开关频率的 10% 到 20%。在本例中，f_C 指定为 40kHz，假设有效输出电容为 120 µ F（两个 47µF、10V 陶瓷电容在 5VDC 电压下降额），且 ESR 可以忽略不计，此时使用 方程式 29 来计算 R_{COMP}。为 R_{COMP} 选择 13.6kΩ 的标准值。

$$R_{COMP} = 2\pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{C_{OUT}}{g_m \times G} = 2\pi \times 40kHz \times \frac{5V}{0.8V} \times \frac{120\mu F}{1mS \times 13.86A/V} = 13.6k\Omega \quad (29)$$

其中

- 对于 TPSM656x0，G = 13.86A/V 是与内部电流检测增益相关的因子。

2. 计算出 C_{COMP}，以便在 (1) 交叉频率的十分之一或 (2) 负载极点条件下（取较大者）产生一个零点。为 C_{COMP} 选择 3.3nF 的标准值。

$$C_{COMP} = \frac{10}{2\pi \times f_C \times R_{COMP}} = \frac{10}{2 \times \pi \times 40kHz \times 13.6k\Omega} = 2.92nF \quad (30)$$

通常，将 R_{COMP} 和 C_{COMP} 的时间常数设置为约 25µs，以在负载瞬态后实现输出电压的快速稳态响应。

3. 计算出 C_{HF}，使极点出现在 ESR 零点频率和开关频率一半中较低者的位置（以衰减从输出到 COMP 的高频噪声耦合）。C_{BW} 是 COMP 下误差放大器的寄生电容。为 C_{HF} 选择 10pF 的标准值。

$$C_{HF} = \frac{1}{2\pi \times \frac{F_{SW}}{2} \times R_{COMP}} - C_{BW} = \frac{1}{2\pi \times \frac{400kHz}{2} \times 13.6k\Omega} - 50pF = 8pF \quad (31)$$

或者作为替代，通过将 CNFG/SYNCOUT 连接到 VCC 来使用内部补偿。使 COMP 保持开路或连接到 PGND。

备注

在使用外部补偿时，将环路设置为高 R_{COMP} 和低 C_{COMP} 值的快速环路，以改善从压降操作恢复时的响应（当输入电压低于输出电压设定值且 COMP 电压导轨较高时）。

8.2.1.2.6 设置输入电压 UVLO

在输入电压导通阈值指定为 7V 时，计算输入 UVLO 分压电阻器值（在 图 8-3 中表示为 R_{UV1} 和 R_{UV2}）。首先，R_{UV2} 阻值选择为 49.9kΩ（在 10kΩ 至 100kΩ 的典型范围内），然后使用方程式 32 和方程式 33 计算 R_{UV1} 和 $V_{IN(off)}$。

$$R_{UV1} = R_{UV2} \times \left(\frac{V_{IN(on)}}{V_{EN-TH(R)}} - 1\right) = 49.9k\Omega \times \left(\frac{7V}{1.25V} - 1\right) = 237k\Omega \quad (32)$$

$$V_{IN(off)} = V_{IN(on)} \times \frac{V_{EN-TH(F)}}{V_{EN-TH(R)}} = 7V \times \frac{1}{1.25} = 5.6V \quad (33)$$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

其中 $V_{IN(on)}$ 和 $V_{IN(off)}$ 是输入 UVLO 导通和关断阈值，为 R_{UV1} 选择 243kΩ。

8.2.1.2.7 减轻 EMI、R_{DRSS}

在 DRSS/MCOMM 和 PGND 之间连接一个 49.9kΩ 电阻器以启用转换率控制并禁用 DRSS。或者，将引脚保持开路状态以启用这两项功能，或是连接到 GND 以禁用这两项功能。有关更多信息，另请参阅节 7.3.8。在此处，保持此引脚悬空。

8.2.1.2.8 输入电容器选型

电源输入通常在开关频率下具有相对较高的源阻抗。需要高质量的输入电容器来限制输入纹波电压。通常，纹波电流会根据电容器在开关频率条件下的相对阻抗在几个输入电容器之间进行分流。

1. 选择具有足够电压和 RMS 电流额定值的输入电容器。使用方程式 34 来计算输入电容器中的 RMS 电流，其中最坏工况点是输入电压为 10V 时，对应于 50% 占空比。

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{D \times (1 - D)} = 6A \times \sqrt{0.5 \times (1 - 0.5)} = 3A \quad (34)$$

2. 假设 48V 至 5V 转换的占空比约为 10%，使用方程式 35 来查找所需的输入电容：

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR,Cin} \times I_{OUT})} = \frac{0.2 \times (1 - 0.2) \times 6A}{400kHz \times (480mV - 2m\Omega \times 6A)} = 5.1\mu F \quad (35)$$

   其中

   - ΔV_{IN} 是峰值间输入纹波电压的规格。
   - $R_{ESR,Cin}$ 是输入电容器的有效 ESR。

3. 确认陶瓷电容器的电压系数后，选择四个 10µF、100V、X7R、1210 陶瓷输入电容器。每个电容器在 24VDC 时的有效电容值约为 4µF。将这些电容器放置在输入引脚对 [VIN1, PGND1] 和 [VIN2, PGND2] 的相邻位置。
4. 使用 方程式 36 计算峰值间纹波电压振幅。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{C_{IN} \times F_{SW}} + R_{ESR,Cin} \times I_{OUT} = \frac{6A \times 0.2 \times (1 - 0.2)}{16\mu F \times 400kHz} + 2m\Omega \times 6A = 0.162V \quad (36)$$

ADVANCE INFORMATION

ADVANCE INFORMATION

8.2.1.3 应用曲线

除非另有规定，否则 V_{IN} = 24V，V_{OUT} = 5V，I_{OUT} = 4A，F_{SW} = 400kHz，T_A = 25°C

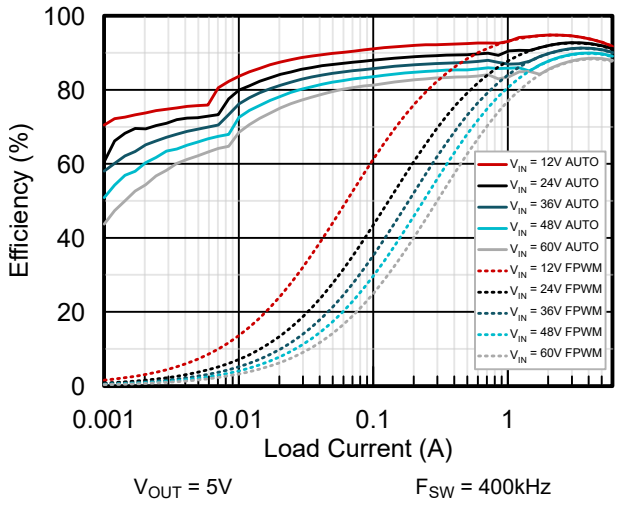


图 8-4. 效率

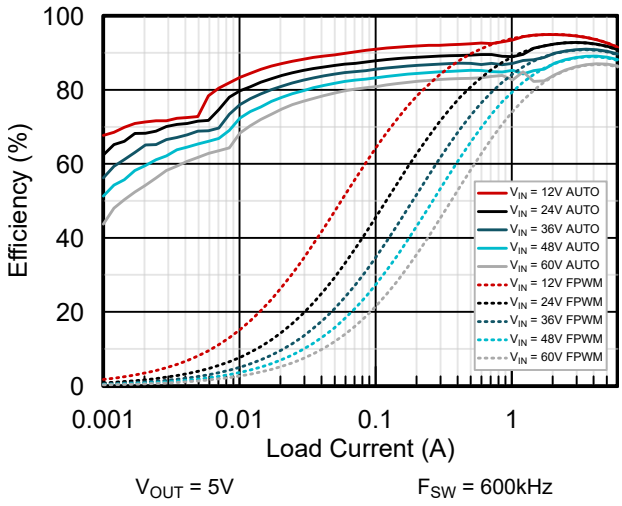


图 8-5. 效率

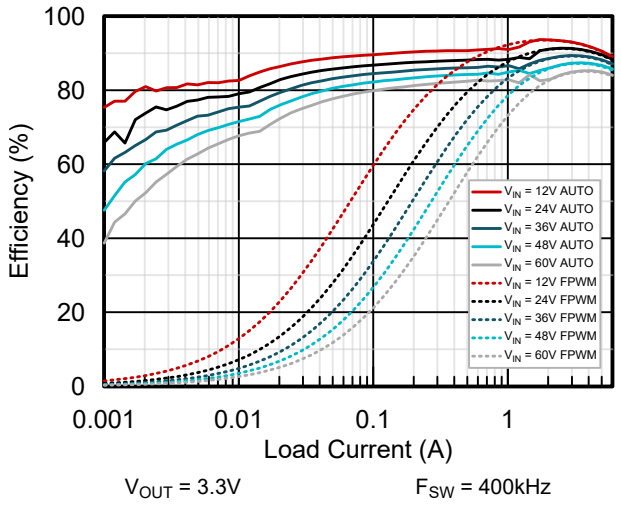


图 8-6. 效率

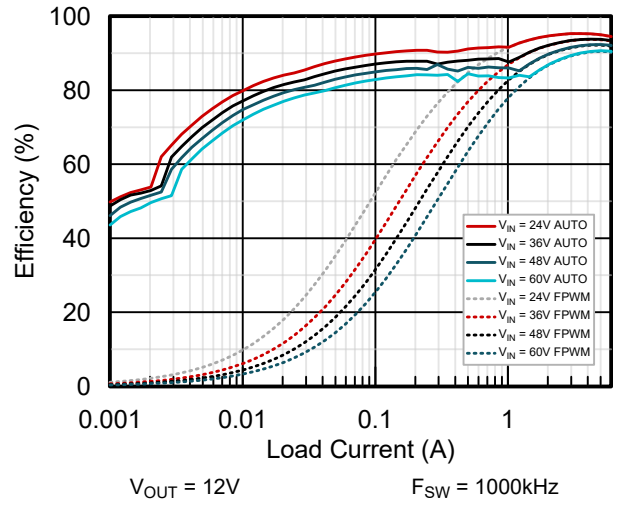
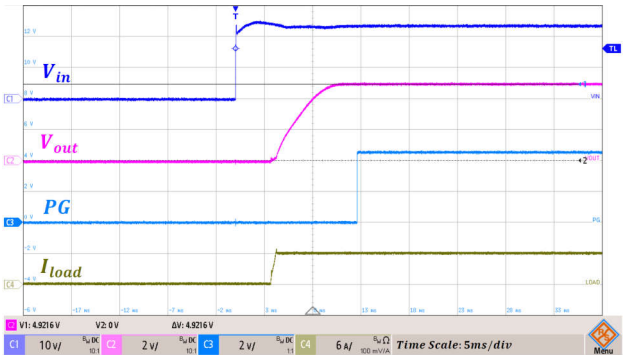


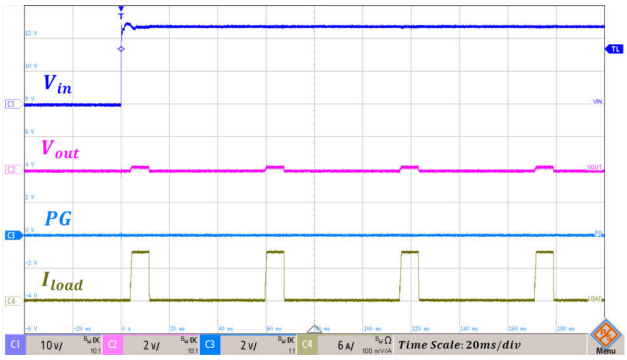
图 8-7. 效率

Copyright © 2026 Texas Instruments Incorporated



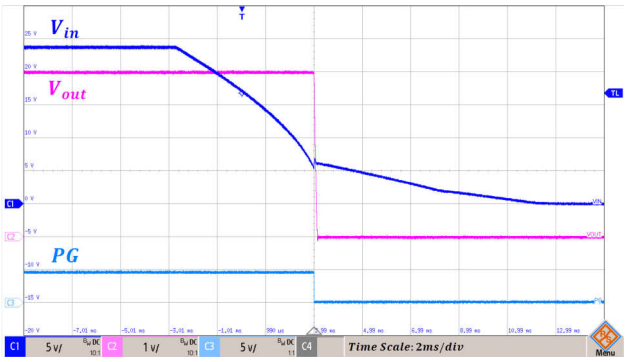
I_{OUT} = 6A V_{IN} = 24V 自动 V_{OUT} = 5V

图 8-8. 满载启动



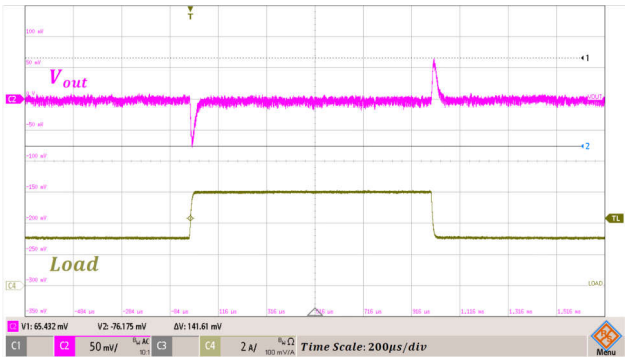
V_{IN} = 24V 自动 V_{OUT} = 5V

图 8-9. 输出短路时启动



I_{OUT} = 6A V_{IN} = 24V 自动 V_{OUT} = 5V

图 8-10. 关断



I_{OUT} = 3 至 6A V_{IN} = 24V 自动 V_{OUT} = 5V

图 8-11. 负载瞬态

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3 最佳设计实践

- 不要超过 *绝对最大额定值*。
- 不要超过 *建议运行条件*。
- 不要超过 *节 6.2*。
- 请勿保持 EN/UVLO 开路。
- 在将设计投入生产之前，请遵循此数据表中的所有指南和建议。TI 应用工程师随时乐意帮助您对设计和 PCB 布局进行评论，助力项目取得成功。

8.4 电源相关建议

输入电源的特性必须能够向负载稳压器提供所需的输入电流。可以使用以下公式来估算平均输入电流。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (37)$$

其中

η 是效率。

如果稳压器通过长导线或 PCB 布线连接到输入电源，则需要特别关注才能实现良好的性能。输入电缆的寄生电感和电阻可能会对稳压器的运行造成不良影响。寄生电感与低 ESR 陶瓷输入电容器相结合，可以构成一个欠阻尼谐振电路。此操作可能导致稳压器输入端出现过压瞬态或触发 UVLO。考虑在向输出端施加负载瞬态时，电源电压可能会下降，这取决于线束的寄生电阻和电感以及电源的特性。如果应用的工作电压接近最小输入电压，此下降会导致稳压器暂时关断并复位。解决这类问题的最佳方法是缩短输入电源与稳压器之间的距离。此外，将一个铝输入电容器与陶瓷电容器并联使用。此类电容器的中等 ESR 有助于抑制输入谐振电路并减少任何过冲或下冲。22µF 至 68µF 范围内的值通常足以提供输入抑制，并有助于在大负载瞬变期间保持输入电压稳定。

输入电压不得低于输出电压。在这种情况下（例如输入短路测试），输出电容器通过器件的 VIN 和 SW 引脚之间的内部主体二极管放电。在这种情况下，电流会变得不受控制，从而可能损坏器件。如果认为这种情况很可能发生，则可以在输出和输入电源之间使用肖特基二极管。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.5 布局

8.5.1 布局指南

任何直流/直流稳压器的 PCB 布局对于实现设计的出色性能而言都至关重要。PCB 布局不良可能会破坏原本良好的原理图设计的运行效果。即使器件正确调节，PCB 布局不良也意味着稳健的设计无法大规模生产。此外，稳压器的 EMI 性能在很大程度上取决于 PCB 布局。在降压稳压器中，最关键的 PCB 功能是由一个或多个输入电容器和电源地形成的环路，如图 8-12 所示。该环路承载大瞬态电流，在布线电感的作用下可能产生大瞬态电压。这些不必要的瞬态电压会破坏稳压器的正常运行。由于这种干扰，该环路中的布线必须宽且短，并且环路面积必须尽可能小以降低寄生电感。节 8.5.2 展示了 TPSM656x0 关键元件的建议布局。

- *将输入电容器尽可能靠近 VIN 引脚放置，并通过一条短宽布线接地。*
- *将输入电容器置于对称布局中。*
- *将反馈分压器尽可能靠近器件的 FB 引脚放置。*将 R_{FBB}、R_{FBT} 和 C_{FF}（如果使用）在物理上靠近器件放置。与 FB 和 GND 的连接必须短且靠近器件上的这些引脚。到 V_{OUT} 的连接可能会更长一些。但是，不得将这一条较长的布线布置在任何可能电容耦合到稳压器反馈路径的噪声源（例如 SW 节点）附近。
- *至少将其中一个中间层作为接地层。*该层充当噪声屏蔽层，也充当散热路径。
- *将散热焊盘连接到接地层。*B1QFN 封装具有可焊接到 PCB 接地平面的散热焊盘 (PAD) 连接。此焊盘用作散热器连接。该焊接连接的完整性直接影响应用的总有效 $R_{\theta JA}$。
- *为 VIN、VOUT 和 GND 提供宽平面。*使这些路径尽可能宽和直接可减少稳压器输入或输出路径上的任何电压降，并更大限度地提高效率。
- *提供足够大的 PCB 面积，以实现适当的散热。*必须使铜面积足够大，以确保实现与最大负载电流和环境温度相称的低 $R_{\theta JA}$。使用 2 盎司（不少于 1 盎司）的铜制作 PCB 顶层和底层。对于 B1QFN 封装，使用从散热焊盘到 PCB 接地层其余部分的散热过孔以协助散热。如果 PCB 设计使用多个铜层（建议），则散热过孔也可以连接到内层散热接地平面。

有关其他重要指南，请参阅以下 PCB 布局资源：

- *AN-1149 开关电源布局指南* 应用手册
- *AN-1229 SIMPLE SWITCHER® PCB 布局指南* 应用手册
- *构建电源之布局注意事项* 研讨会
- *使用 LM4360x 与 LM4600x 简化低辐射 EMI 布局* 应用手册

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

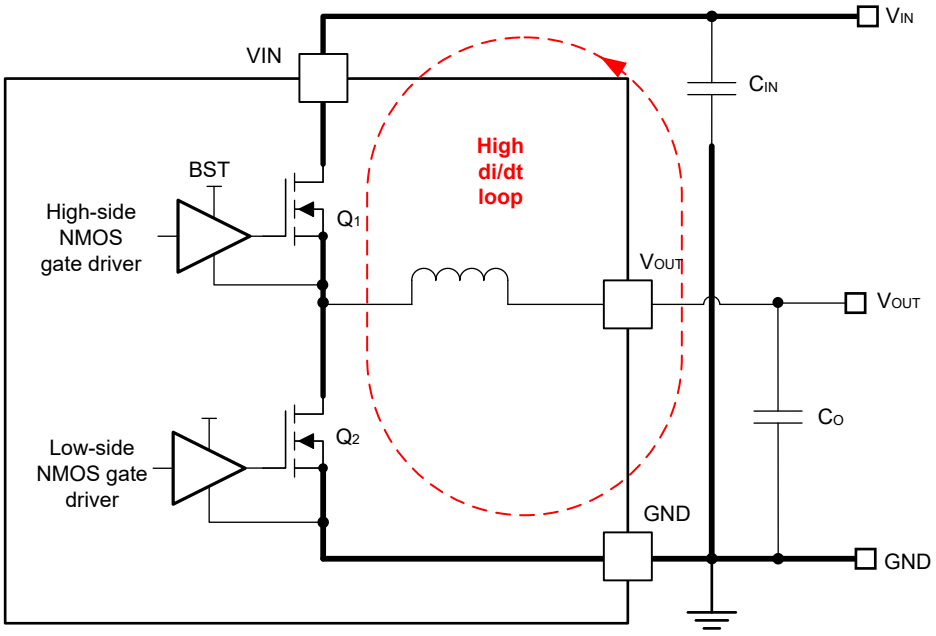


图 8-12. 具有快速边沿的电流环路

8.5.1.1 热设计和布局

如上所述，TI 建议使用一个中间层作为实心接地层。接地层可为敏感电路和布线屏蔽噪声，还可为控制电路提供低噪声基准电位。PGND 引脚直接连接到低侧 MOSFET 开关的源极，也直接连接到输入和输出电容器的接地端。PGND 网在开关频率下会产生噪声，会因负载变化而反弹。PGND 布线以及 VIN 和 SW 布线应限制在接地层的一侧。接地层另一侧的噪声要少得多，必须用于敏感的布线。

TI 建议使用器件的散热焊盘 (PAD) 作为主要散热途径，从而使器件充分散热。使用至少六个 10mil 散热过孔将焊盘连接到系统接地层散热。过孔必须均匀地分布在焊盘下方。系统接地层、顶层和底层的覆铜越厚，越利于散热。使用四层电路板，四层的铜厚（从顶层开始）依次为：2oz/1oz/1oz/2oz。具有足够铜厚度和适当布局布线的四层电路板可实现低电流传导阻抗、适当的屏蔽和较低的热阻。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 布局示例

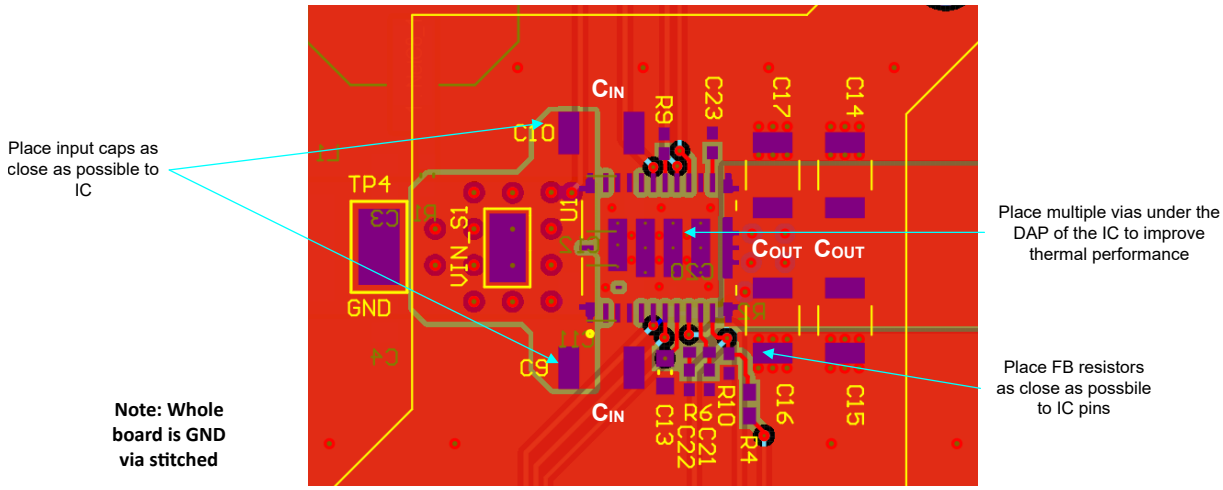


图 8-13. PCB 顶层 — 高密度单面布局示例

ADVANCE INFORMATION

ADVANCE INFORMATION

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.1.2 开发支持

相关开发支持，请参阅以下文档：

- 有关 TI 的参考设计库，请访问 TI Designs
- TI 设计：
  - *适用于存储服务器的 137W 保持转换器参考设计*
  - *具备展频频谱的宽输入同步降压转换器参考设计*
- 技术文章：
  - *直流/直流转换器的高密度 PCB 布局*
  - *同步降压控制器解决方案支持提供宽 V_{IN} 性能和灵活性*
  - *如何使用压摆率进行 EMI 控制*

9.2 文档支持

9.2.1 相关文档

如要查看相关文件，请参阅以下内容：

- 应用手册：
  - 德州仪器 (TI)，*AN-2162：轻松解决直流/直流转换器的传导 EMI 问题*
  - 德州仪器 (TI)，*在汽车冷启动期间使用 LM5140-Q1 双路同步降压控制器维持输出电压调节*
  - 德州仪器 (TI)，*多相降压设计大全*
- 模拟设计期刊：
  - 德州仪器 (TI)，通过将电感寄生效应降至最低来降低降压转换器 EMI 和电压应力
  - 德州仪器 (TI)，*多相降压转换器的优势*
- 白皮书：
  - 德州仪器 (TI)，*电源的传导 EMI 规格概述*
  - 德州仪器 (TI)，*电源的辐射 EMI 规格概述*
  - 德州仪器 (TI)，*评估适用于成本驱动型严苛应用的宽 V_{IN}、低 EMI 同步降压电路*
- 德州仪器 (TI)，*通过优化的功率级布局免费提高大电流直流/直流稳压器性能* 应用简报

9.2.1.1 PCB 布局资源

- 应用手册：
  - 德州仪器 (TI)，AN-1149 开关电源布局指南
  - 德州仪器 (TI)，*AN-1229 SIMPLE SWITCHER® PCB 布局指南*
  - 德州仪器 (TI)，使用 LM4360x 与 LM4600x 简化低辐射 EMI 布局
- 德州仪器 (TI)，*构建电源之布局注意事项* 研讨会

9.2.1.2 热设计资源

- 应用手册：
  - 德州仪器 (TI)，AN-2020 热设计：学会洞察先机，不做事后诸葛
  - 德州仪器 (TI)，*AN-1520 外露焊盘封装实现理想热阻的电路板布局布线指南*
  - 德州仪器 (TI)，*半导体和 IC 封装热指标*
  - 德州仪器 (TI)，使用 LM43603 和 LM43602 简化热设计
  - 德州仪器 (TI)，*PowerPAD™ 热增强型封装*

Copyright © 2026 Texas Instruments Incorporated

  - 德州仪器 (TI)，使用新的热指标
- 德州仪器 (TI)，*PowerPAD™ 速成* 应用简报

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

HotRod™, PowerPAD™, and TI E2E™ are trademarks of Texas Instruments.
SIMPLE SWITCHER® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订版本	注释
June 2026	*	初始发行版

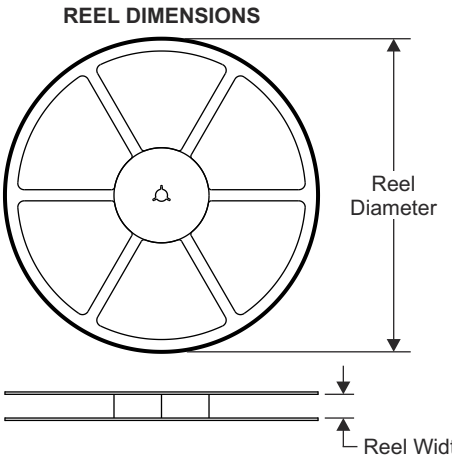
ADVANCE INFORMATION

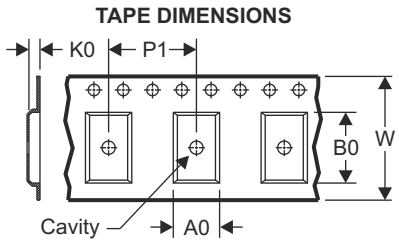
ADVANCE INFORMATION

11 机械、封装和可订购信息

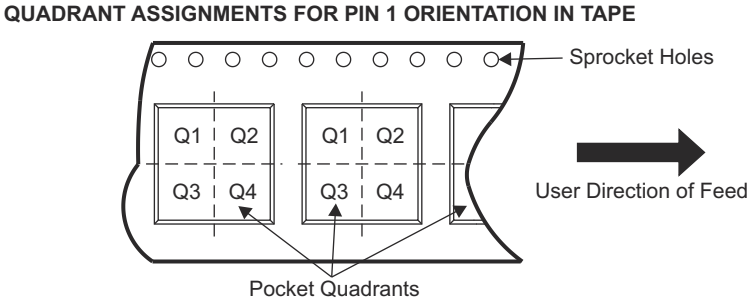
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 卷带包装信息





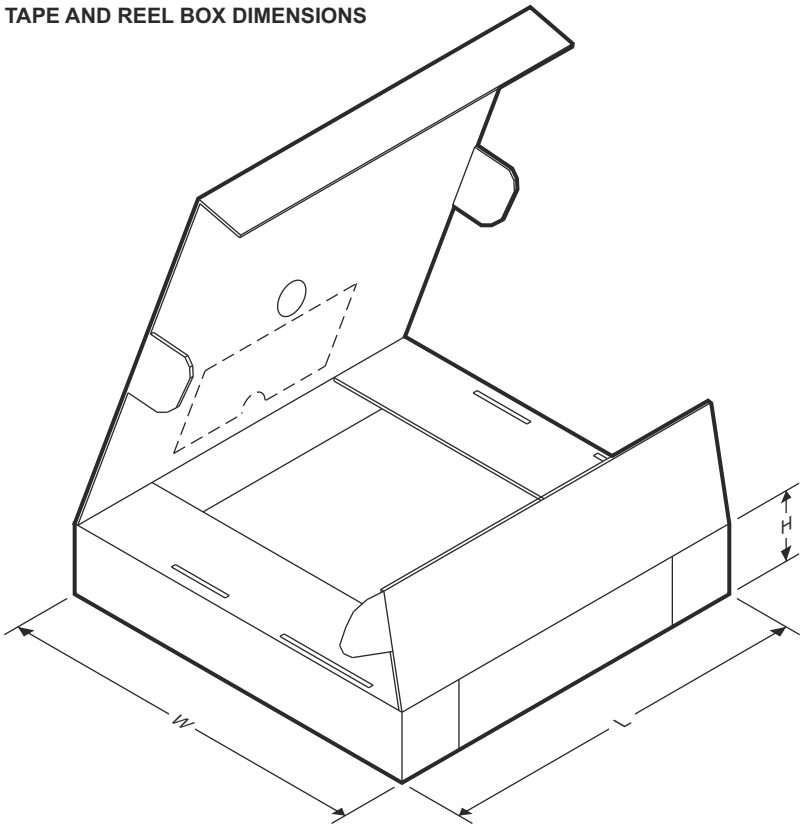
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PTPSM65660VCLR	QFN-FCMOD	VCL	30	3000	330	12.4	3.79	3.79	0.71	8.0	12.0	Q2

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TPSM65660VCLR	QFN-FCMOD	VCL	30	3000	367	367	35

ADVANCE INFORMATION

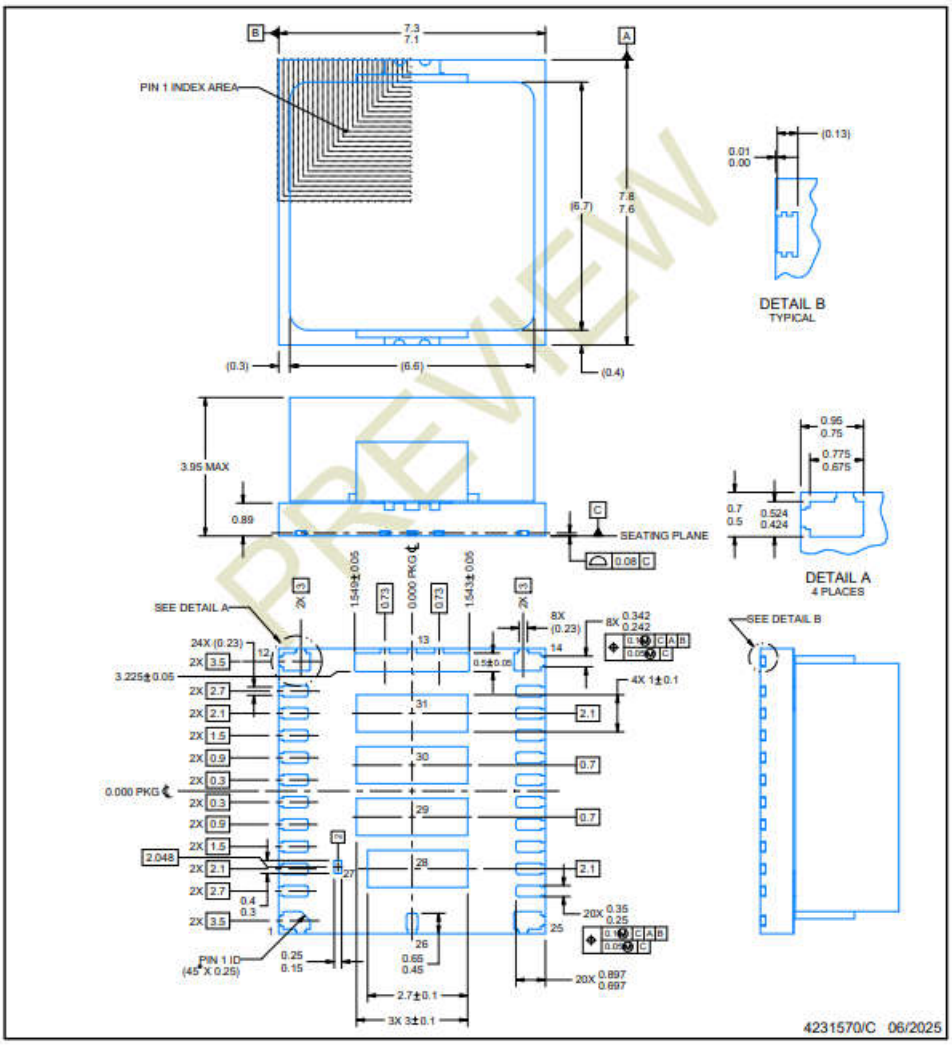
ADVANCE INFORMATION

PACKAGE OUTLINE

VCL0031A

QFN-FCMOD - 3.95 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

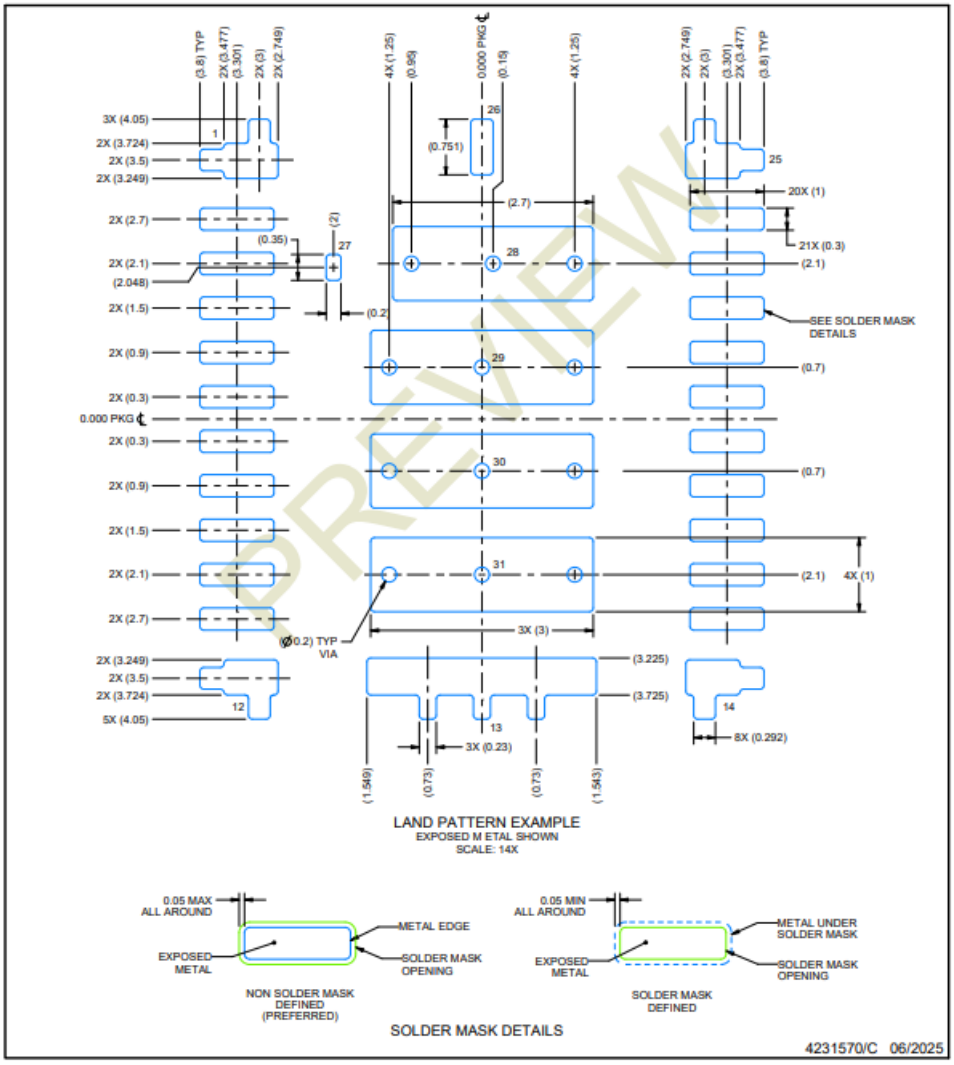
Texas Instruments
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VCL0031A — **QFN-FCMOD - 3.95 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

www.ti.com

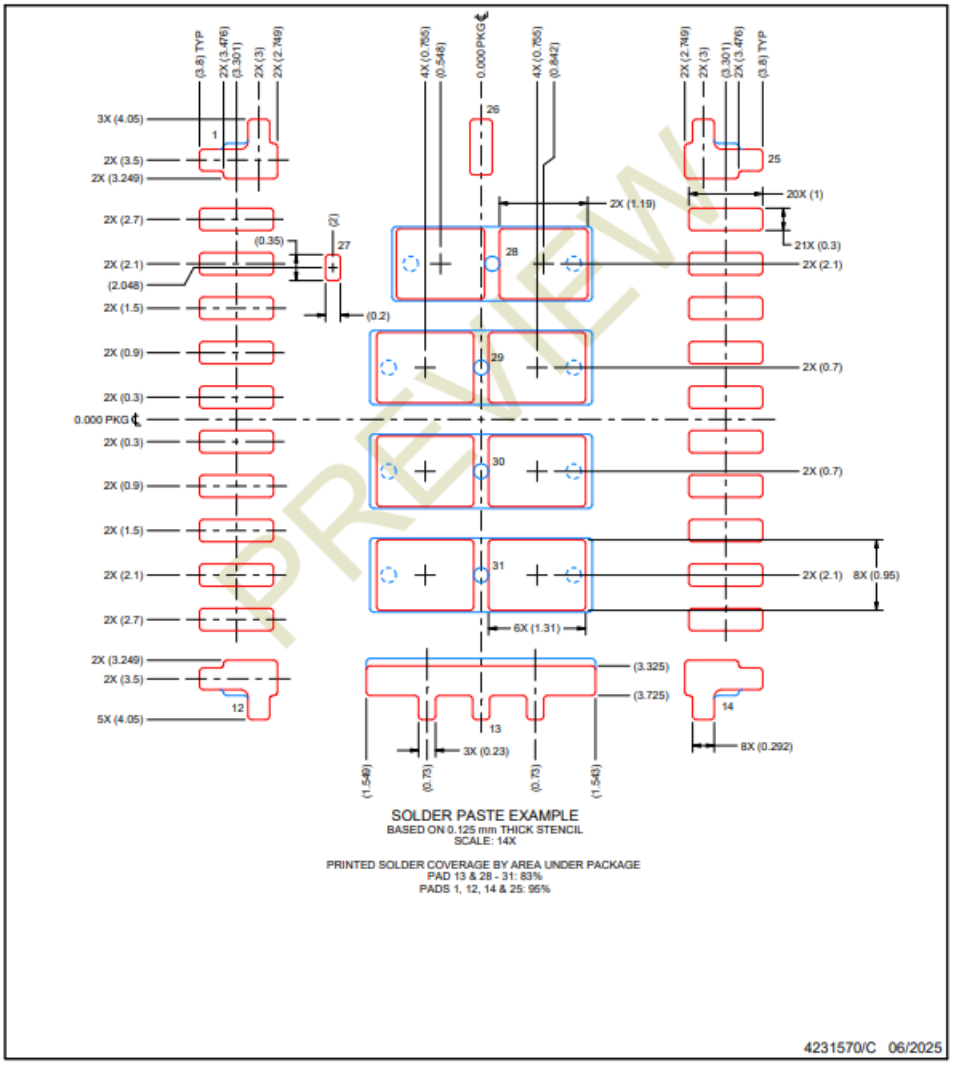
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

VCL0031A — **QFN-FCMOD - 3.95 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPSM65660VCLR	Active	Preproduction	QFN-FCMOD (VCL) | 31	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月