

TSD5402-Q1 具有集成保护和 I²C 诊断功能的 8W 汽车级高效传感器驱动器放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 温度等级 1：-40°C 至 125°C，T_A
- 单声道 BTL 数字功率放大器
- 负载为 4 Ω 且 THD+N 为 10% 时的输出功率为 8W
- 4.5V 至 18V 的工作范围
- 负载为 4 Ω 时的效率为 83%
- 差分模拟输入
- Power Guard 保护 (可调电压限制器)
- 电源抑制比 (PSRR)：75dB
- 负载诊断功能：
 - 开路 and 短路输出负载
 - 输出到电源和输出到地短接
- 保护和监控功能：
 - 短路保护
 - 40V 负载突降保护符合 ISO-7637-2 标准
 - 输出直流电平检测
 - 过热保护
 - 欠压和过压保护
- 采用 PowerPAD™ 封装 (焊盘朝下) 的耐热增强型 16 引脚 HTSSOP (PWP) 封装
- 旨在满足汽车电磁兼容性 (EMC) 要求
- ISO9000：已通过 2002 TS16949 认证
- 待机时 40V 负载突降保护
- 待机时无阻塞 I²C

2 应用

- 基于旋转变压器的汽车和工业应用
- HEV/EV 逆变器和电机控制
- 电动助力转向 (EPS)
- 后视镜模块
- 汽车电子视镜
- 伺服驱动器功率级模块
- 飞行控制系统

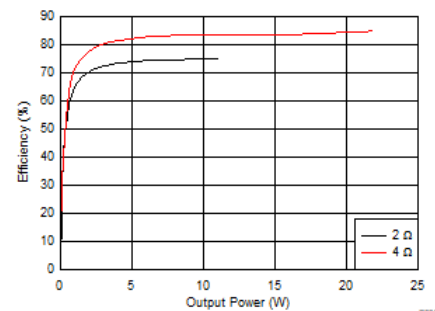
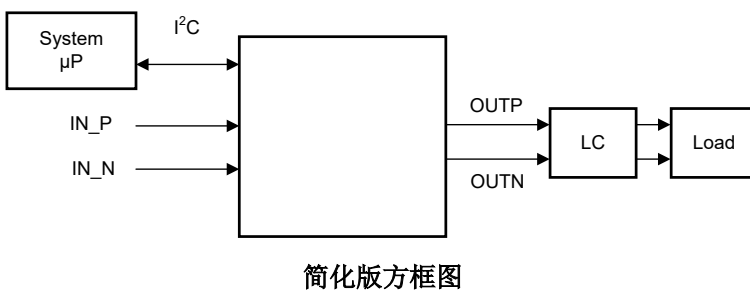
3 说明

TSD5402-Q1 是一款 D 类传感器驱动放大器，非常适合用于汽车和工业应用，包括但不限于：基于旋转变压器的电机控制、制动系统、电动助力转向、伺服系统和飞行控制面板。该器件具有宽工作电压范围和出色的效率，因此非常适合需要设计灵活性的应用。集成的负载突降保护能够缩减外部电压钳位电路的成本与尺寸，板载负载诊断功能能够通过 I²C 报告负载状态。集成的负载短路和负载开路诊断功能使系统无需外部实现。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TSD5402-Q1	HTSSOP (16)	5.0mm × 6.4mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



输出功率效率



内容

1 特性	1	7.1 I ² C 地址寄存器定义.....	18
2 应用	1	8 应用和实施	20
3 说明	1	8.1 应用信息.....	20
4 引脚配置和功能	3	8.2 典型应用.....	20
5 规格	4	8.3 电源相关建议.....	23
5.1 绝对最大额定值.....	4	8.4 布局.....	24
5.2 ESD 等级.....	4	9 器件和文档支持	28
5.3 建议运行条件.....	4	9.1 器件支持.....	28
5.4 热性能信息.....	5	9.2 文档支持.....	28
5.5 电气特性.....	5	9.3 接收文档更新通知.....	28
5.6 I2C 接口信号的时序要求.....	7	9.4 支持资源.....	28
5.7 典型特性.....	8	9.5 商标.....	28
6 详细说明	10	9.6 静电放电警告.....	28
6.1 概述.....	10	9.7 术语表.....	28
6.2 功能方框图.....	10	10 修订历史记录	28
6.3 特性说明.....	11	11 机械、封装和可订购信息	28
6.4 器件功能模式.....	17	11.1 封装选项附录.....	29
7 寄存器映射	18		

4 引脚配置和功能

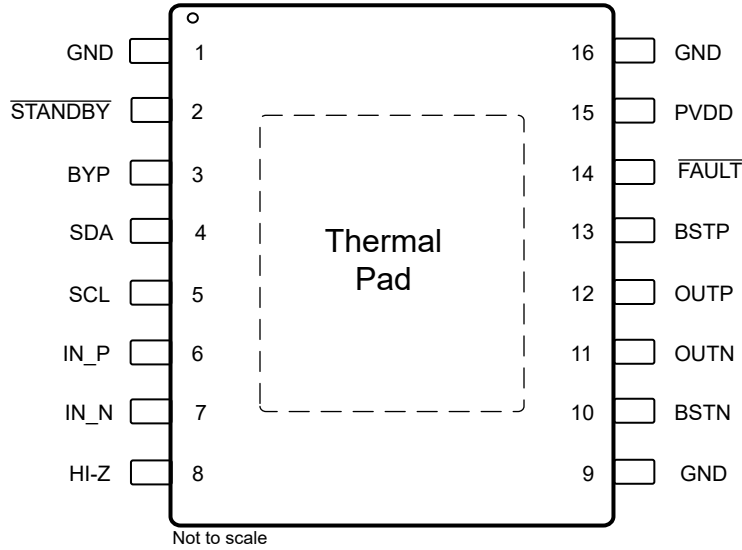


图 4-1. PWP 封装，16 引脚 TSSOP (带外露散热焊盘) (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
BSTN	10	AI	负输出高侧 FET 的自举电路
BSTP	13	AI	正输出高侧 FET 的自举电路
BYP	3	PBY	稳压器旁路电容器引脚
FAULT	14	DO	用于报告故障的低电平有效开漏输出
GND	1、9、16	GND	接地
IN_N	7	AI	反相模拟输入
IN_P	6	AI	同相模拟输入
HI-Z	8	DI	在驱动模式下停止输出开关，高电平有效 (无内部上拉或下拉)
OUTN	11	PO	输出 (-)
OUTP	12	PO	输出 (+)
PVDD	15	PWR	电源
SCL	5	DI	I ² C 时钟
SDA	4	DI/DO	I ² C 数据
STANDBY	2	DI	低电平有效 STANDBY 引脚 (无内部上拉或下拉电阻)
散热焊盘	—	—	必须焊接至地

(1) DI = 数字输入、DO = 数字输出、AI = 模拟输入、PWR = 电源、PBY = 电源旁路、PO = 电源输出、GND = 地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
输入电压	直流电源电压范围, $V_{(PVDD)}$	相对于 GND	-0.3	30	V
	脉冲电源电压范围, $V_{(PVDD_MAX)}$	$t \leq 400\text{ms}$ 暴露	-1	40	
	电源电压斜坡速率, $\Delta V_{(PVDD_RAMP)}$			15	V/ms
	用于 SCL、SDA 和 STANDBY、 $\overline{\text{FAULT}}$ 引脚	相对于 GND	-0.3	5	V
	用于 IN_N、IN_P 和 HI-Z 引脚	相对于 GND	-0.3	6.5	
	BYP	相对于 GND	-0.3	7	
	BSTN、BSTP	相对于 BYP	-0.3	30	
	BSTN、BSTP	相对于 GND	-0.3	36.3	
	OUTN、OUTP	相对于 GND	-0.3	30	
电流	PVDD、GND 和 OUTx 引脚上的直流电流, $I_{(PVDD)}$ 、 I_o			± 4	A
	所有输入引脚上的最大电流, $I_{(IN_MAX)}$ ⁽²⁾			± 1	mA
	开漏引脚的最大灌电流, $I_{(IN_ODMAX)}$			7	
贮存温度, T_{stg}			-55	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 有关模拟输入电压和交流耦合的信息, 请参阅部分。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 H2	± 3500	V
		充电器件模型 (CDM), 符合 AEC Q100 - 011 CDM ESD 分类等级 C5	± 1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

			最小值	标称值	最大值	单位
$V_{(PVDD_OP)}$	相对于 GND 的电源电压范围。包括交流瞬变, 需要适当的去耦。 ⁽³⁾	$4\Omega \pm 20\%$ 负载 (或更高)	4.5	14.4	18	V
		$2\Omega \pm 20\%$ 负载	5	14.4	18	
$V_{(PVDD_RIPPLE)}$	PVDD 上的最大纹波	$V_{(PVDD)} < 8\text{V}$			1	V_{pp}
$V_{(HI-Z)}$	相对于 GND 的 HI-Z 引脚电压范围		-0.3	3.3	5.5	V
$V_{(AIN)}$ ⁽¹⁾	模拟输入信号电平	交流耦合输入电压	0	0.25 - 1 ⁽²⁾		V _{rms}
$V_{(IH_STANDBY)}$	逻辑高电平的 HI-Z 和 $\overline{\text{STANDBY}}$ 引脚输入电压		2			V
$V_{(IL_STANDBY)}$	逻辑低电平的 HI-Z 和 $\overline{\text{STANDBY}}$ 引脚输入电压				0.7	V
$V_{(IH_SCL)}$	逻辑高电平的 SCL 引脚输入电压	$R_{(PU_I2C)} = 4.7\text{k}\Omega$ 上拉, 电源电压 = 3.3V 或 5V	2.1			V
$V_{(IH_SDA)}$	逻辑高电平的 SDA 引脚输入电压	$R_{(PU_I2C)} = 4.7\text{k}\Omega$ 上拉, 电源电压 = 3.3V 或 5V	2.1			V
$V_{(IL_SCL)}$	逻辑低电平的 SCL 引脚输入电压	$R_{(PU_I2C)} = 4.7\text{k}\Omega$ 上拉, 电源电压 = 3.3V 或 5V			1.1	V
$V_{(IL_SDA)}$	逻辑低电平的 SDA 引脚输入电压	$R_{(PU_I2C)} = 4.7\text{k}\Omega$ 上拉, 电源电压 = 3.3V 或 5V			1.1	V

		最小值	标称值	最大值	单位
T _A	环境温度	-40		125	°C
R _(L)	标称负载阻抗	2	4	60	Ω
V _(PU)	上拉电压电源 (用于开漏逻辑输出)	3	3.3	5.5	V
R _(PU_EXT)	开漏逻辑输出上的外部上拉电阻	10		50	kΩ
R _(PU_I2C)	SDA 和 SCL 引脚上的 I ² C 上拉电阻	1	4.7	10	kΩ
C _(PVDD)	PVDD 引脚上的外部电容器, 典型值 ±20% ⁽³⁾		10		μF
C _(BYP)	BYP 引脚上的外部电容器, 典型值 ±10%		1		μF
C _(OUT)	OUT_X 引脚上连接到 GND 的外部电容			4	μF
C _(IN)	与输入信号串联连接到模拟输入引脚的外部电容		1		μF
C _(BSTN) 、 C _(BSTP)	外部自举电容器, 典型值 ±20%		220		nF

- (1) 全未削波输出的信号输入, 增益为 36dB、32dB、26dB 和 20dB
 (2) 建议的最大输入电压由增益设置决定。
 (3) 请参阅该部分。

5.4 热性能信息

热指标 ⁽¹⁾		TSD5402	单位
		PWP (HTSSOP)	
		16 引脚	
R _{θJA}	结至环境热阻	39.4	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	24.9	°C/W
R _{θJB}	结至电路板热阻	20	°C/W
ψ _{JT}	结至顶部特征参数	0.6	°C/W
ψ _{JB}	结至电路板特征参数	19.8	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	2	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅应用报告。

5.5 电气特性

T_C = 25°C、PVDD = 14.4V、R_L = 4 Ω、P_(O) = 1W/通道、AES17 滤波器、默认 I²C 设置 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
工作电流					
PVDD 空闲电流	在驱动模式下, 不存在信号		16		mA
PVDD 待机电流	待机模式, HI-Z = 0V		5	20	μA
输出功率					
每通道输出功率	4 Ω、THD+N ≤ 1%、1kHz 且 T _C = 75°C		6		W
	4 Ω、THD+N = 10%、1kHz 且 T _C = 75°C		8		
电源效率	4 Ω、P _(O) = 8W (10% THD)		83%		
输出性能					
输出端的噪声电压	G = 20dB、零输入和 A 加权		65		μV
共模抑制比	f = 1kHz、100mVrms (以 GND 为基准)、G = 20dB		63		dB
电源抑制比	PVDD = 14.4Vdc + 1Vrms、f = 1kHz		75		
总谐波失真 + 噪声	P _(O) = 1W、f = 1kHz		0.05%		

$T_C = 25^\circ\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $R_L = 4\ \Omega$ 、 $P_{(O)} = 1\text{W}$ /通道、AES17 滤波器、默认 I²C 设置 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
开关频率	开关频率可选, 以避免 AM 干扰	400			kHz
		500			
内部共模输入偏置电压	施加到 IN_N、IN_P 引脚的内部偏置	3			V
电压增益 (V_O/V_{IN})	源阻抗 = 0 Ω , 寄存器 0x03 位 7 - 6 = 00	19	20	21	dB
	源阻抗 = 0 Ω , 寄存器 0x03 位 7 - 6 = 01	25	26	27	
	源阻抗 = 0 Ω , 寄存器 0x03 位 7 - 6 = 10	31	32	33	
	源阻抗 = 0 Ω , 寄存器 0x03 位 7 - 6 = 11	35	36	37	
PWM 输出级					
FET 漏源电阻	$T_J = 25^\circ\text{C}$	180			m Ω
输出失调电压	零输入信号, $G = 20\text{dB}$	± 25			mV
PVDD 过压 (OV) 保护					
PVDD 过压关断设置		19.5	21	22.5	V
PVDD 过压关断迟滞		0.6			V
PVDD 欠压 (UV) 保护					
PVDD 欠压关断设置		3.6	4	4.4	V
PVDD 欠压关断迟滞		0.25			V
BYP					
BYP 引脚电压		6.4	6.9	7.4	V
上电复位 (POR)					
POR 的 PVDD 电压		4.1			V
POR 的 PVDD 恢复迟滞电压		0.3			V
过热 (OT) 保护					
过热关断的结温		155	170		$^\circ\text{C}$
结温过热关断迟滞		15			$^\circ\text{C}$
过流 (OC) 关断保护					
最大电流 (峰值输出电流)		2.4			A
STANDBY 引脚					
STANDBY 引脚电流		0.1	0.2		μA
直流检测					
直流检测阈值		2.9			V
直流检测阶跃响应时间		700			ms
故障报告					
$\overline{\text{FAULT}}$ 引脚逻辑高电平输出电压 (开漏逻辑输出)	使用外部 47k Ω 上拉电阻拉至 3.3V	2.4			V
$\overline{\text{FAULT}}$ 引脚逻辑低电平输出电压 (开漏逻辑输出)	使用外部 47k Ω 上拉电阻拉至 3.3V				0.5 V
负载诊断					
用于检测 OUT 引脚与 PVDD 或地之间短路的电阻		200			Ω
开路检测阈值	包括负载线	70	95	120	Ω
短路检测阈值	包括负载线	0.9	1.2	1.5	Ω
I²C					
SDA 引脚逻辑高电平输出电压	$R_{(PU_{I2C})} = 4.7\text{k}\ \Omega$ 上拉, 电源电压 = 3.3V 或 5V	2.4			V
SDA 引脚逻辑低电平输出电压	3mA 灌电流				0.4 V
SCL 和 SDA 引脚的电容		10			pF

$T_C = 25^\circ\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $R_L = 4\ \Omega$ 、 $P_{(O)} = 1\text{W/通道}$ 、AES17 滤波器、默认 I²C 设置 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
SDA 引脚的电容	待机模式		30		pF

5.6 I²C 接口信号的时序要求

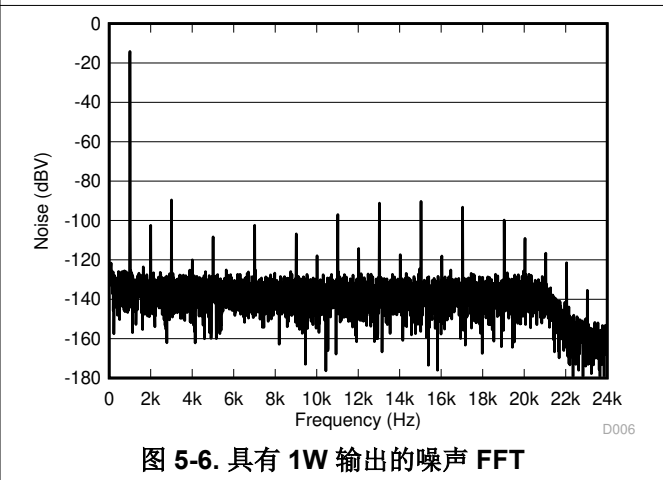
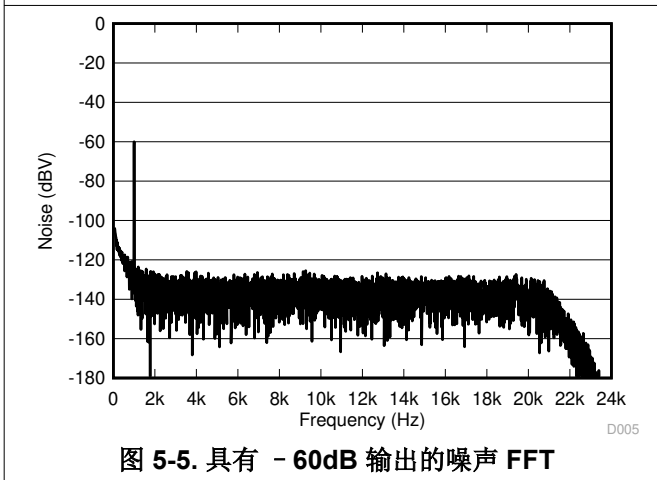
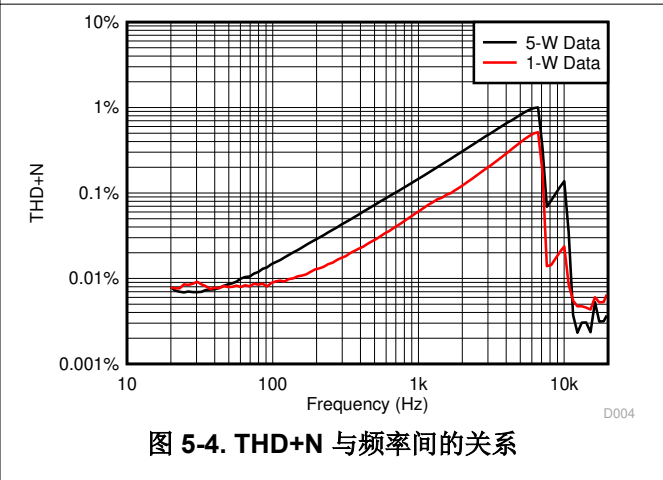
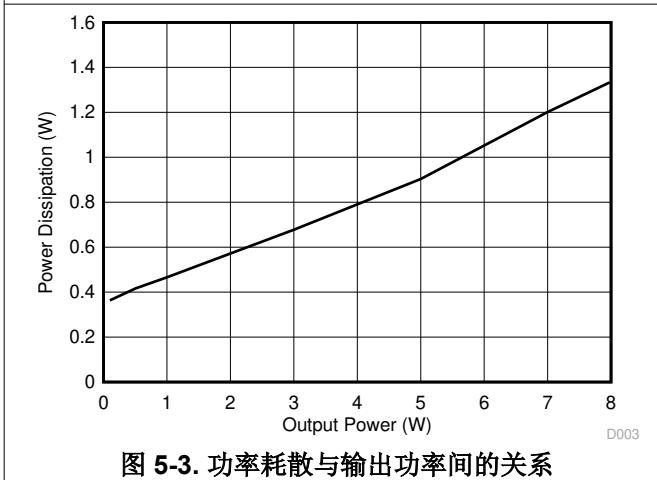
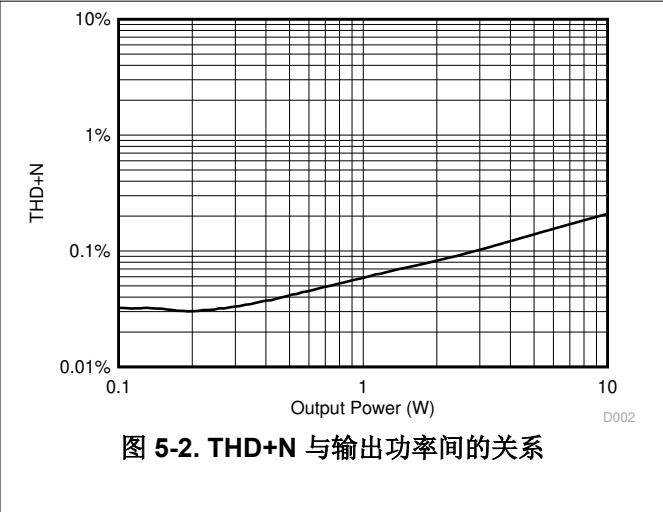
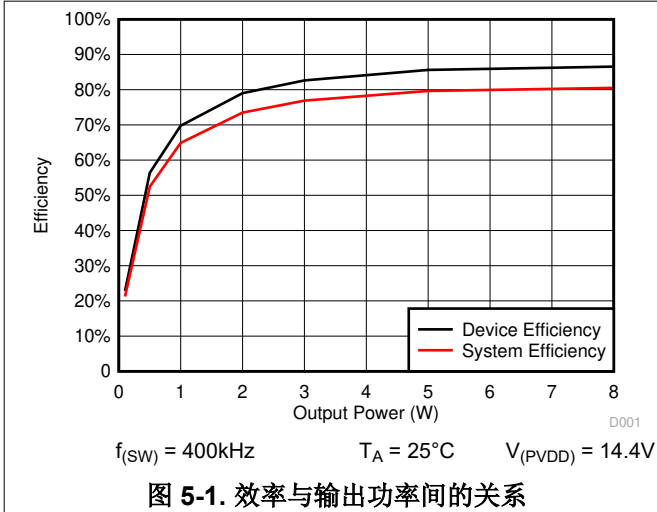
在建议运行条件下测得 (除非另有说明)

		最小值	标称值	最大值	单位
$f_{(SCL)}$	SCL 时钟频率			400	kHz
t_r	SDA 和 SCL 信号的上升时间			300	ns
t_f	SDA 和 SCL 信号的下降时间			300	ns
$t_{w(H)}$	SCL 脉冲持续时间, 高电平	0.6			μs
$t_{w(L)}$	SCL 脉冲持续时间, 低电平	1.3			μs
$t_{su(2)}$	START 条件的建立时间	0.6			μs
$t_{h(2)}$	生成第一个时钟脉冲之前的 START 条件保持时间	0.6			μs
$t_{su(1)}$	数据建立时间	100			ns
$t_{h(1)}$	数据保持时间	0 ⁽¹⁾			ns
$t_{su(3)}$	STOP 条件的建立时间	0.6			μs
$C_{(B)}$	每个总线的负载电容			400	pF

(1) 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间来连接 SCL 下降边沿的未定义区域。

5.7 典型特性

$T_C = 25^\circ\text{C}$ 、 $PVDD = 14.4\text{V}$ 、 $R_L = 4\ \Omega$ 、 $P_{(O)} =$ 每通道 1W、AES17 滤波器、1kHz 输入、默认 I²C 设置 (除非另有说明)



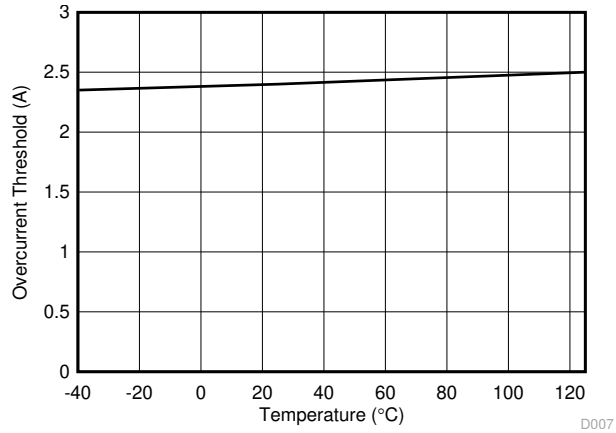


图 5-7. 过流阈值与温度间的关系

6 详细说明

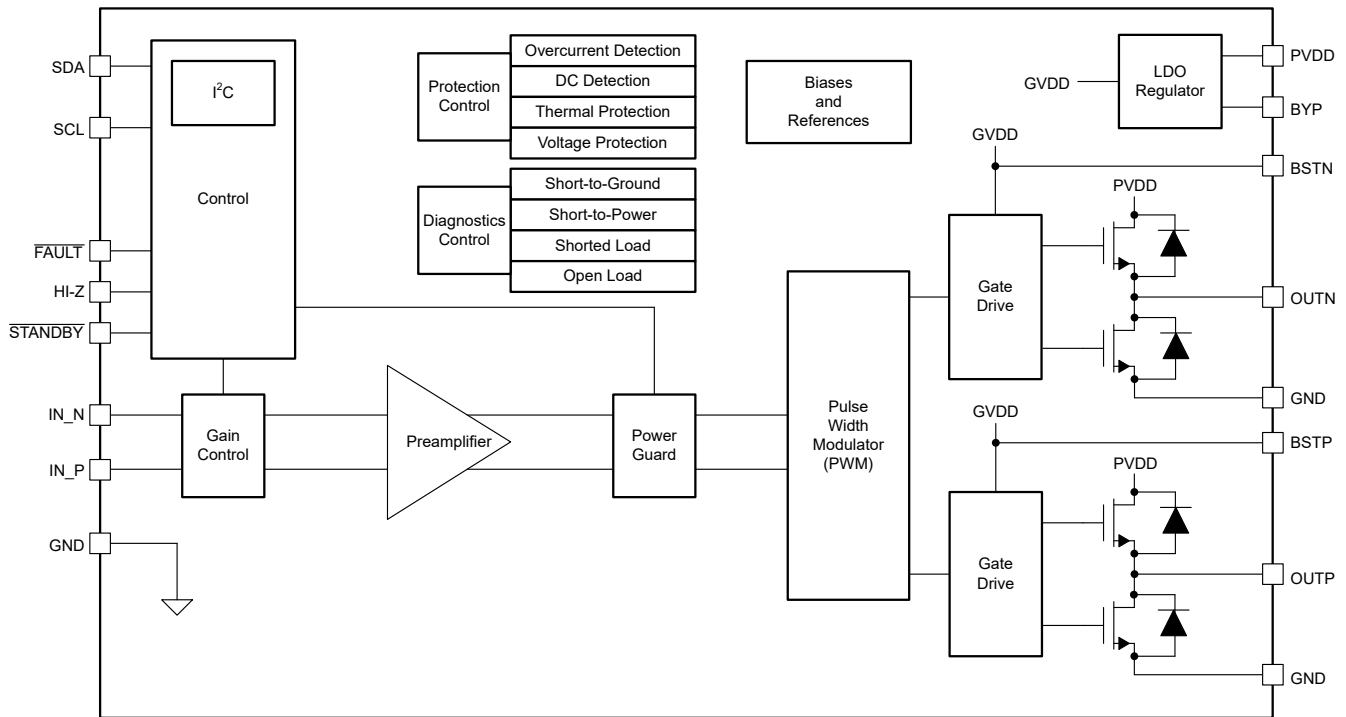
6.1 概述

TSD5402-Q1 是一款模拟输入 D 类传感器驱动放大器，适用于汽车/工业环境。该设计采用了德州仪器 (TI) 开发的超高效 D 类技术，并包含特定于汽车行业的附加功能。该 D 类技术可降低功耗，减少发热量以及电气系统中的峰值电流。该器件可用作高度集成的传感器驱动器，与传统 AB 类解决方案相比，尺寸更小、效率更高。

TSD5402-Q1 器件具有七个核心设计块：

- PWM
- 栅极驱动
- 功率 FET
- 诊断
- 保护
- 电源
- I²C 串行通信总线

6.2 功能方框图



6.3 特性说明

6.3.1 模拟输入和前置放大器

放大器的差分输入级可消除出现在输入端的共模噪声。对于差分源，将正极引线连接到 IN_P，将负极引线连接到 IN_N。输入必须进行交流耦合，以更大限度地减少输出直流失调电压并确保输出电压的正确斜坡。为了获得良好的瞬态性能，两个差分输入端的阻抗应相同。

增益设置会影响放大器的模拟输入阻抗。请参阅[输入阻抗和增益](#)以了解典型值。

表 6-1. 输入阻抗和增益

增益	输入阻抗
20dB	60k Ω \pm 20%
26dB	30k Ω \pm 20%
32dB	15k Ω \pm 20%
36dB	9k Ω \pm 20%

6.3.2 脉宽调制器 (PWM)

PWM 将前置放大器的模拟信号转换为具有不同占空比的开关信号。这是定义 D 类架构的关键阶段。在 TSD5402-Q1 中，调制器采用先进设计，具有高带宽、低噪声、低失真和出色的稳定性。

脉宽调制方案可在低功耗时提高效率。每个输出从 0V 切换到 PVDD。OUTP 和 OUTN 在无输入的情况下彼此同相，因此负载中几乎没有电流。对于正输出电压，OUTP 的占空比大于 50%，OUTN 的占空比小于 50%。对于负输出电压，OUTN 的占空比大于 50%，OUTP 的占空比小于 50%。在大部分开关周期内，负载两端的电压为 0V，从而降低了功率损耗。

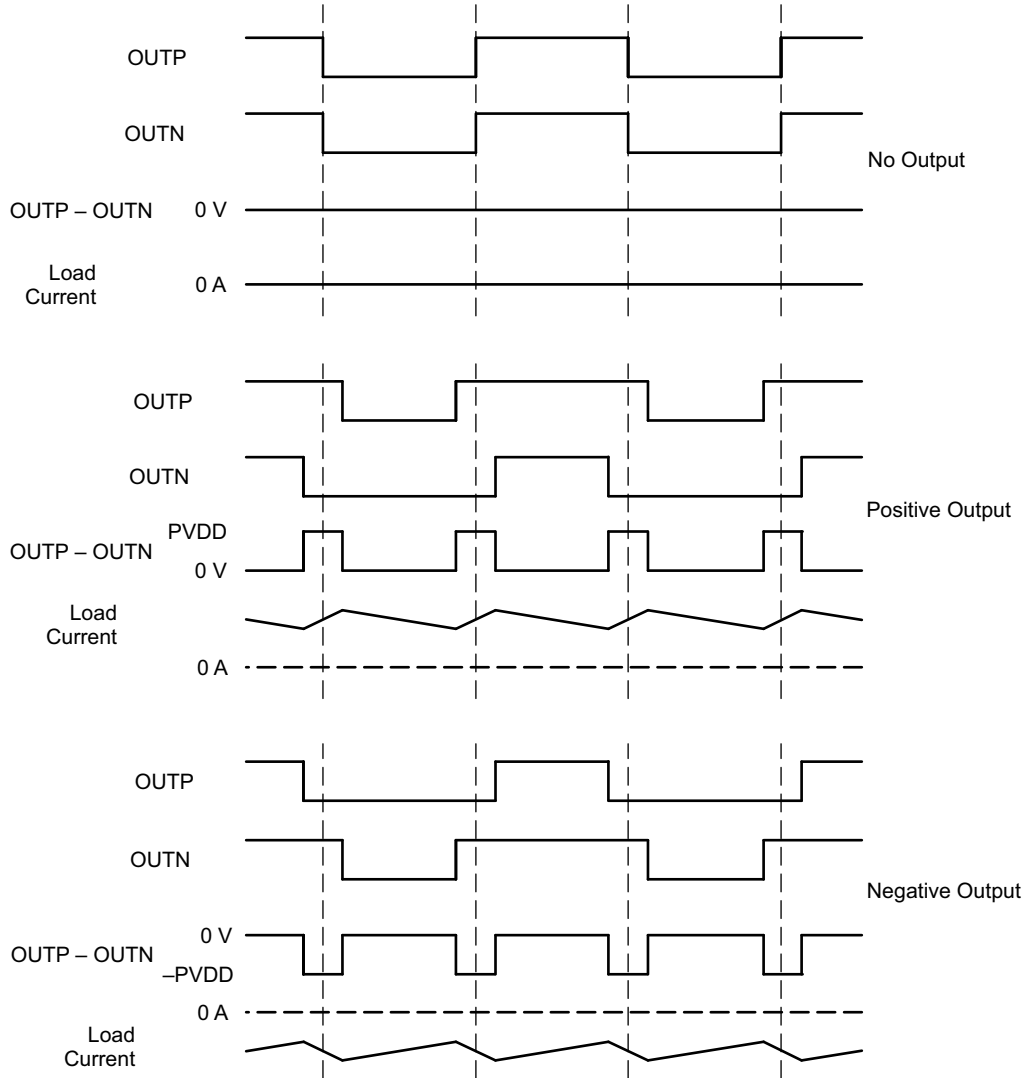


图 6-1. BD 模式调制

6.3.3 栅极驱动

栅极驱动器接受低压 PWM 信号并对其进行电平转换以驱动高电流全桥功率 FET 级。该器件使用专有技术来优化 EMI 性能。

6.3.4 功率 FET

BTL 输出包含四个匹配的 N 沟道 FET，可实现高效率 and 向负载的最大功率传输。根据设计，FET 可在负载突降事件期间承受较大的电压瞬态。

6.3.5 负载诊断

该器件包含负载诊断电路，用于检测和确定输出连接的状态。该器件支持以下诊断功能：

- 短接至 GND
- 短接至 PVDD
- 负载短路
- 负载开路

该器件会通过 I²C 寄存器读取向系统报告是否存在任何短路或开路情况。

6.3.5.1 负载诊断序列

负载诊断功能在 STANDBY 置为无效或者器件处于故障状态（直流检测、过流、过压、欠压和过热）时运行。在此测试期间，输出处于高阻态。该器件确定输出是短接至 GND、短接至 PVDD、负载开路还是负载短路。负载诊断会偏置输出，因此需要限制电容值才能正常运行；请参阅 *建议运行条件*。负载诊断测试大约需要 229ms 来运行。请注意，如果存在故障或输出端存在连接到 GND 的大电容器，检查阶段最多会重复五次。检测到负载开路时，输出仍会运行。检测到任何其他故障情况时，输出会进入高阻态，并且器件会持续检查负载，直到故障条件消除。检测到正常输出条件后，信号输出开始。负载诊断会在每隔一次过压 (OV) 事件后运行。负载开路的负载诊断仅通过 I²C 进行报告。所有其他故障均具有 I²C 和 $\overline{\text{FAULT}}$ 引脚置位。

该器件会按图 6-2 所示执行负载诊断测试。

图 6-3 展示了诊断如何根据输出条件确定负载。

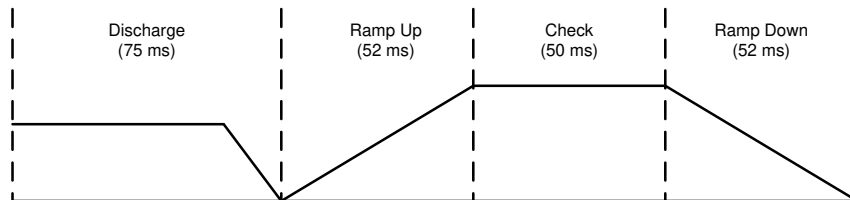


图 6-2. 负载诊断事件序列

	Output Conditions	Load Diagnostics
OL Max	Open Load	Open Load Detected
OL Min	Open Load (OL) Detection Threshold	Normal or Open Load May Be Detected
SL Max	Normal Load	Drive Mode
SL Min	Shorted Load (SL) Detection Threshold	Normal or Shorted Load May Be Detected
	Shorted Load	Shorted Load Detected

图 6-3. 负载诊断报告阈值

6.3.5.2 负载诊断期间的故障

如果器件在负载诊断测试期间检测到故障（例如过热、过压或欠压），则器件会退出负载诊断，这可能导致输出出现咔嚓声和砰砰声。

6.3.6 保护和监控

- **过流关断 (OCSO)** - 过流关断会强制输出端进入高阻态。器件会使 $\overline{\text{FAULT}}$ 引脚置为有效并更新 I²C 寄存器。
- **直流检测** - 该电路会在正常运行期间持续检查放大器输出端是否存在直流偏移。如果发生直流偏移，器件会将 $\overline{\text{FAULT}}$ 引脚置为有效并更新 I²C 寄存器。请注意，直流检测阈值随 PVDD 变化而变化。
- **过热关断 (OTSD)** - 当芯片结温达到过热阈值时，器件会关断。器件将 $\overline{\text{FAULT}}$ 引脚置为有效并更新 I²C 寄存器。当温度恢复到安全水平时，器件会自动恢复。
- **欠压 (UV)** - 欠压 (UV) 保护检测 PVDD 上的低电压。在发生欠压情况时，器件会使 $\overline{\text{FAULT}}$ 引脚置为有效并将 I²C 寄存器复位。
- **上电复位 (POR)** - 当 PVDD 降至 POR 阈值以下时，会发生上电复位 (POR)。POR 事件会导致 I²C 总线进入高阻抗状态。从 POR 事件中恢复后，器件会使用默认的 I²C 寄存器设置自动重新启动。
- **过压 (OV) 和负载突降** - OV 保护检测 PVDD 上的高电压。如果 PVDD 达到过压阈值，器件会将 $\overline{\text{FAULT}}$ 引脚置为有效并更新 I²C 寄存器。该器件可承受 40V 的负载突降电压尖峰。该器件在待机和工作模式下都支持负载突降。
- **Power Guard** - 此保护电路将输出电压限制为在 I²C 寄存器 0x03 中选择的值。该值决定了正负限值。用户可以使用 Power Guard 功能来延长电池寿命或保护负载避免超过其偏移限制。
- **相邻引脚短路** - 器件设计为使相邻引脚之间的短路不会造成损坏。

6.3.7 I²C 串行通信总线

该器件作为仅 I²C 目标器件，通过 I²C 串行通信总线与系统处理器进行通信。处理器可以通过 I²C 轮询器件，以确定运行状态。所有故障状况和检测报告均通过 I²C 生成。系统还可以通过 I²C 设置多种功能和运行条件。I²C 接口会在 $\overline{\text{STANDBY}}$ 引脚变为高电平约 1ms 后处于活动状态。

I²C 接口控制以下器件功能：

- 将增益设置更改为 20dB、26dB、32dB 或 36dB。
- 控制 Power Guard 保护电路的峰值电压值
- 报告负载诊断结果
- 更改开关频率，以避免对 AM 无线电的干扰

6.3.7.1 I²C 总线协议

该器件具有与内部 IC (I²C) 总线协议兼容的双向串行控制接口，并支持 400kbps 数据传输速率，以进行随机和顺序写入与读取操作。作为目标器件，该器件不支持多控制器总线环境或等待状态插入。控制器器件使用 I²C 控制接口对器件的寄存器进行编程以及读取器件状态。

I²C 总线采用 SDA (数据) 和 SCL (时钟) 这两个信号在系统中的集成电路之间进行通信。数据传输在总线上以串行方式进行，一次传输一位。地址和数据以字节 (8 位) 格式传输，最高有效位 (MSB) 首先传输。此外，接收器件使用一个确认位来确认总线上传输的每个字节。每次传输操作从控制器器件在总线上驱动启动条件开始，到控制器器件在总线上驱动停止条件结束。当时钟处于高电平时，总线使用数据引脚 (SDA) 上的转换来指示启动和停止条件。SDA 上从高电平转换到低电平表示启动，而从低电平转换到高电平表示停止。正常的数位转换必须发生在时钟周期的低电平时间内。图 6-4 显示了这些情况。控制器生成 7 位目标地址和读取/写入 (R/W) 位，以打开与另一个器件的通信，然后等待确认条件。器件会在确认时钟期间将 SDA 保持为低电平以指示确认。当发生这种情况时，控制器会传输序列的下一个字节。每个器件的寻址都通过一个唯一的 7 位目标地址加上 R/W 位 (1 个字节) 进行。所有兼容器件均使用线与连接，通过双向总线共享相同的信号。SDA 和 SCL 信号需要使用一个外部上拉电阻器来设置总线的高电平。通信器件在启动和停止条件之间可以传输的字节数没有限制。在传输最后一个字后，控制器生成停止条件以释放总线。

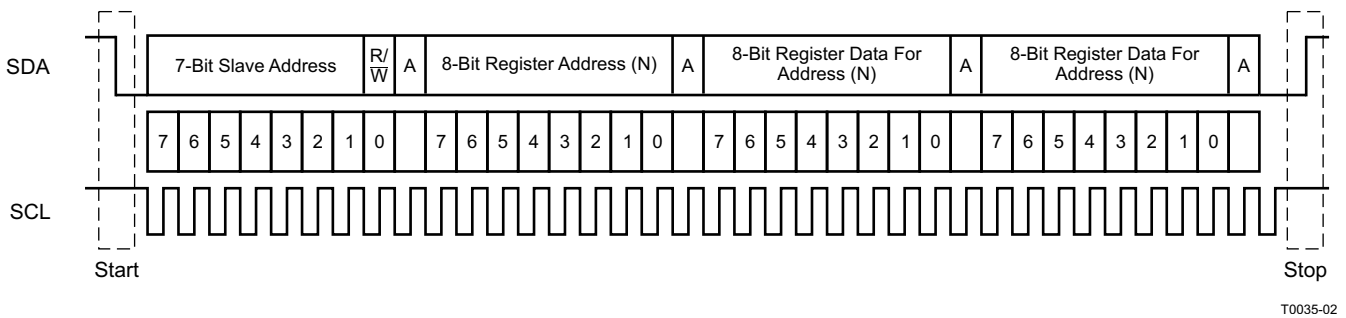


图 6-4. 典型的 I²C 序列

为了与器件通信，I²C 控制器使用图 6-4 中所示的地址。读写数据可以通过单字节或多字节数据传输方式进行传输。

6.3.7.2 随机写入

如图 6-5 所示，单字节数据写入传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。读取/写入位决定数据传输的方向。对于写入数据传输，读取/写入位为 0。在接收到正确的 I²C 器件地址和读取/写入位后，该器件会以一个确认位进行响应。接下来，控制器传输对应于正在访问的内部存储器地址的地址字节。收到地址字节之后，器件会再次用一个确认位进行响应。接下来，控制器器件传输要写入所访问存储器地址的数据字节。收到数据字节之后，器件会再次用一个确认位进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

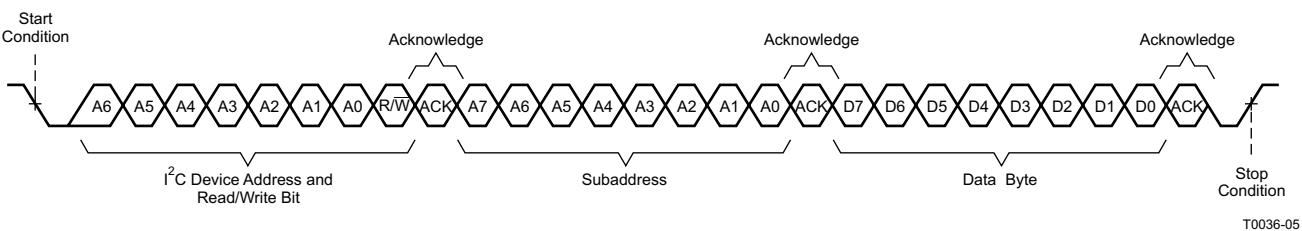


图 6-5. 随机写入传输

6.3.7.3 随机读取

如图 6-6 所示，单字节数据读取传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。对于数据读取传输，控制器器件会执行写入和后续读取。最初，控制器器件执行写入以传输要读取的内部存储器地址的地址字节。因此，读取/写入位为 0。在接收到地址和读取/写入位后，器件会以一个确认位进行响应。此外，发送内部存储器地址字节后，控制器器件会再次发送另一个启动条件，然后是器件地址和读取/写入位。这次，读取/写入位为 1，指示读取传输。在接收到地址和读取/写入位后，器件会再次以一个确认位进行响应。接下来，该器件从正在读取的存储器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成单字节数据读取传输。

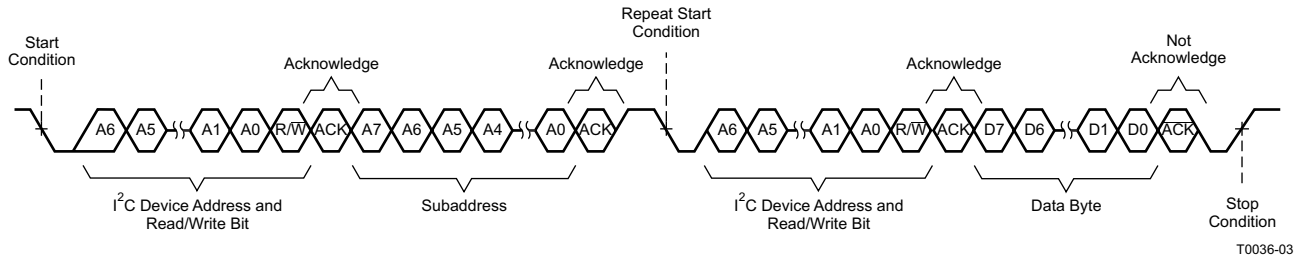


图 6-6. 随机读取传输

6.3.7.4 顺序读取

顺序数据读取传输与单字节数据读取传输完全相同，唯一的例外是 TSD5402-Q1 将多个数据字节传输到控制器器件，如图 6-7 所示。除最后一个数据字节外，控制器器件在接收到每个数据字节后都会以一个确认位进行响应，并自动将 I²C 子地址递增 1。收到最后一个数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成传输。

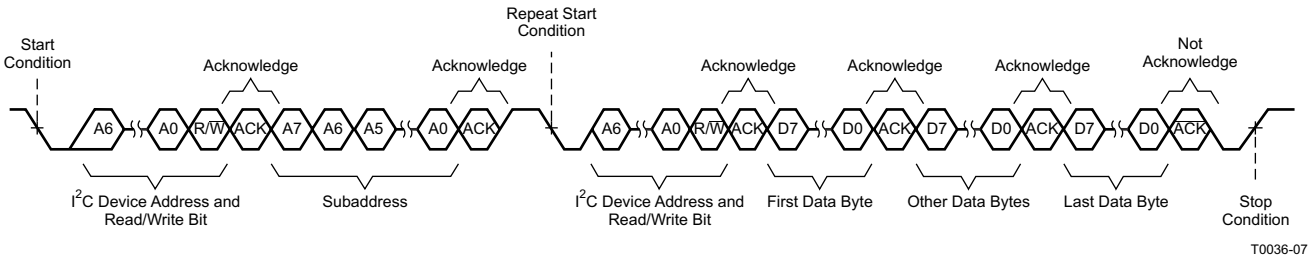


图 6-7. 顺序读取传输

6.4 器件功能模式

6.4.1 硬件控制引脚

三个分立式硬件引脚可用于实时控制和器件状态指示。

- FAULT** 引脚：该低电平有效的开漏输出引脚指示是否存在故障情况而需要器件进入高阻态模式。该引脚置位后，器件会保护自身和系统免受潜在的损坏。系统可以通过 I²C 读取故障的确切性质，但低于 POR 的 PVDD 欠压故障除外，在这种情况下，I²C 总线不再工作。
- STANDBY** 引脚：该低电平有效引脚置位为有效会使器件进入完全关断状态，从而限制电流消耗。支持负载突降保护。I²C 处于非活动状态且未阻塞（不会将 I²C 总线拉至低电平），并且器件寄存器会复位。
- HI-Z** 引脚：在该高电平有效引脚置位时，器件处于高阻态模式。输出引脚会停止开关，并且信号不会从输入传递到输出。要将器件重新置于驱动模式，请将此引脚置为无效。当器件处于 **STANDBY** 模式时，HI-Z 引脚应置为低电平有效。

6.4.2 EMI 注意事项

汽车级 EMI 性能取决于集成电路设计是否仔细以及系统级设计是否良好。控制电磁干扰 (EMI) 源是设计的所有方面的主要考虑因素。

由于封装上的引线较短，因此该设计具有很小的寄生电感，从而显著降低了电流从芯片流向系统 PCB 时产生的 EMI。该设计采用了针对导致 EMI 的输出转换进行了优化的电路。

6.4.3 工作模式和故障

以下各表列出了工作模式和故障。

表 6-2. 工作模式

状态名称	输出	振荡器	I ² C (1)
待机	HI-Z，悬空	停止	非活动、寄存器复位、非阻断
负载诊断	直流偏置	活动	活动
HI-Z (高阻态)/故障	高阻态、悬空	活动	活动
驱动	通过输出信号进行开关	活动	活动

(1) 对于 I2C 应用，请参阅 SLOA264。

表 6-3. 故障和操作

故障事件	故障事件类别	监视模式	报告方法	操作类型	操作结果	清除	待机
POR	电压故障	HI-Z (高阻态)，驱动	不适用	硬停止 (无斜坡)	待机	自清除	禁用
UV			I ² C + FAULT 引脚		高阻态		受保护、无报告
OV 和负载突降(1)							
OTSD	热故障	HI-Z (高阻态)，驱动	I ² C + FAULT 引脚	无	高阻态、重新运行诊断	禁用	
OC 故障	输出通道故障	驱动					
直流检测							
负载诊断 - 短路	诊断	高阻态	I ² C	无	无	在下个诊断周期清除	
负载诊断 - 开路							

(1) 按照 ISO7637-1 进行测试

7 寄存器映射

表 7-1. I²C 地址

说明	固定地址							读取/写入位	I ² C 地址
	MSB	6	5	4	3	2	1	LSB	
I ² C 写入	1	1	0	1	1	0	0	0	0xD8
I ² C 读取	1	1	0	1	1	0	0	1	0xD9

7.1 I²C 地址寄存器定义

表 7-2. I²C 地址寄存器定义

地址	R/W	寄存器说明
0x01	R	锁存故障寄存器
0x02	R	状态和负载诊断寄存器
0x03	R/W	控制寄存器

表 7-3. 故障寄存器 (0x01)

D7	D6	D5	D4	D3	D2	D1	D0	功能
0	0	0	0	0	0	0	0	无触发保护的故障，默认值
-	-	-	-	-	-	-	1	保留
-	-	-	-	-	-	1	-	保留
-	-	-	-	-	1	-	-	发生了负载诊断故障。
-	-	-	-	1	-	-	-	发生了过流关断。
-	-	-	1	-	-	-	-	发生了 PVDD 欠压。
-	-	1	-	-	-	-	-	发生了 PVDD 过压。
-	1	-	-	-	-	-	-	发生了直流偏移保护。
1	-	-	-	-	-	-	-	发生了过热关断。

表 7-4. 状态和负载诊断寄存器 (0x02)

D7	D6	D5	D4	D3	D2	D1	D0	功能
0	0	0	0	0	0	0	0	无产生负载诊断的故障，默认值
-	-	-	-	-	-	-	1	存在输出对 PVDD 短路。
-	-	-	-	-	-	1	-	存在输出接地短路。
-	-	-	-	-	1	-	-	存在负载开路。
-	-	-	-	1	-	-	-	存在负载短路。
-	-	-	1	-	-	-	-	处于故障状况
-	-	1	-	-	-	-	-	正在执行负载诊断
-	1	-	-	-	-	-	-	处于高阻态模式
1	-	-	-	-	-	-	-	处于驱动模式

表 7-5. 控制寄存器 (0x03)

D7	D6	D5	D4	D3	D2	D1	D0	功能
0	1	1	1	1	0	0	0	26dB 增益, 开关频率设置为 400kHz, Power Guard 保护电路禁用
-	-	-	-	-	-	-	1	开关频率设置为 500kHz
-	-	-	-	-	1	1	-	保留
-	-	1	1	0	-	-	-	Power Guard 保护电路设置为 14V 峰值输出
-	-	1	0	1	-	-	-	Power Guard 保护电路设置为 11.8V 峰值输出
-	-	1	0	0	-	-	-	Power Guard 保护电路设置为 9.8V 峰值输出
-	-	0	1	1	-	-	-	Power Guard 保护电路设置为 8.4V 峰值输出
-	-	0	1	0	-	-	-	Power Guard 保护电路设置为 7V 峰值输出
-	-	0	0	1	-	-	-	Power Guard 保护电路设置为 5.9V 峰值输出
-	-	0	0	0	-	-	-	Power Guard 保护电路设置为 5V 峰值输出
0	0	-	-	-	-	-	-	增益设为 20dB
1	0	-	-	-	-	-	-	增益设为 32dB
1	1	-	-	-	-	-	-	增益设为 36dB

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

该器件是一款用于驱动 D 类放大器的高效传感器。该器件通常用于放大信号输入以驱动传感器。该器件用于桥接负载 (BTL) 应用，而不支持单端配置。本节介绍了如何在应用中使用该器件，包括需要哪些外部元件以及如何连接未使用的引脚。

8.2 典型应用

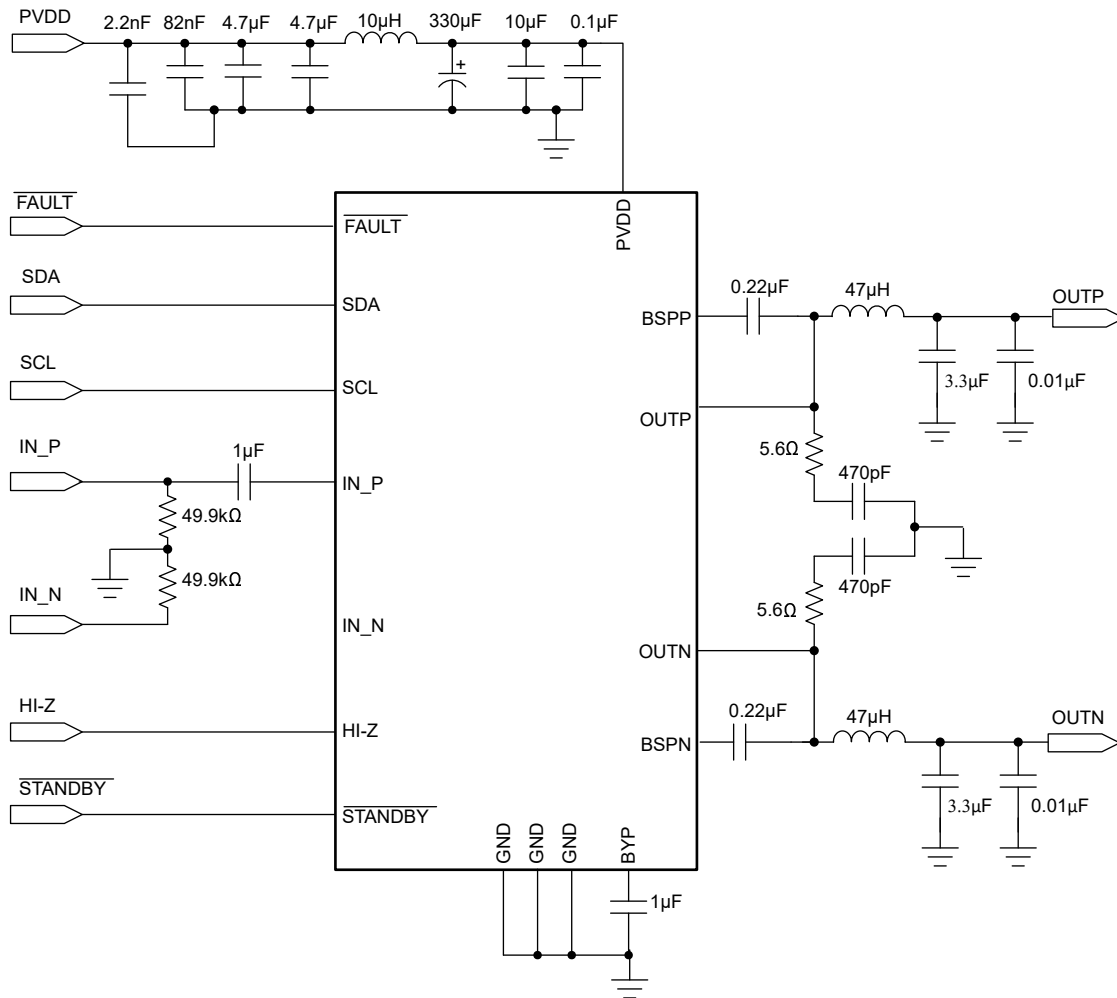


图 8-1. TSD5402-Q1 典型应用原理图

8.2.1 设计要求

请参考以下内容作为设计要求：

电源

- 该器件只需一个符合建议工作范围的电源。该器件可与汽车电池或稳压电源（例如备用电池）配合使用。

通信

- 该器件通过两个分立式硬件控制引脚和 I²C 与系统控制器进行通信。该器件是 I²C 目标器件，因此需要一个控制器。如果系统中没有符合 I²C 标准的控制器，则仍可以使用该器件，但只能使用默认设置。诊断信息只能通过独立的 FAULT 引脚进行报告。

外部元件

- 表 8-1 列出了该器件所需的元件。

表 8-1. 支持元件

EVM 位号	数量	值	尺寸	说明	应用场景
C7	1	10 μ F \pm 10%	1206	X7R 陶瓷电容器, 25V	电源
C8	1	330 μ F \pm 20%	10mm	低 ESR 铝电容器, 25V	电源
C9、C16、C20	3	1 μ F \pm 10%	0805	X7R 陶瓷电容器, 25V	模拟信号输入滤波器, 旁路
C10、C14	2	0.22 μ F \pm 10%	0603	X7R 陶瓷电容器, 25V	自举电容器
C11、C17	2	3.3 μ F \pm 10%	0805	X7R 陶瓷电容器, 25V	放大器输出滤波
C13、C15	2	470pF \pm 10%	0603	X7R 陶瓷电容器, 250V	放大器输出缓冲器
C6	1	0.1 μ F \pm 10%	0603	X7R 陶瓷电容器, 25V	电源
C2	1	2200pF \pm 10%	0603	X7R 陶瓷电容器, 50V	电源
C3	1	0.082 μ F \pm 10%	0603	X7R 陶瓷电容器, 25V	电源
C4、C5	2	4.7 μ F \pm 10%	1206	X7R 陶瓷电容器, 25V	电源
C12、C18	2	0.01 μ F \pm 10%	0603	X7R 陶瓷电容器, 25V	输出 EMI 滤波
L1	1	10 μ H \pm 20%	3.5mm \times 13.5mm	屏蔽式铁氧体电感器	电源
L2	1	47 μ H \pm 20%	8mm \times 8mm	耦合电感器	放大器输出滤波
R5、R6	2	49.9k Ω \pm 1%	0805	电阻器, 0.125W	模拟信号输入滤波器
R4、R7	2	5.6 Ω \pm 5%	0805	电阻器, 0.125W	输出缓冲器

8.2.1.1 放大器输出滤波

输出 FET 用于驱动 H 桥配置中的放大器输出。这些晶体管要么完全关断，要么完全导通。结果是方波输出信号，其占空比与输入信号的幅度成正比。放大器输出需要一个低通滤波器来滤除 PWM 调制载波频率。由于该滤波器包含电感元件 L 和电容元件 C 而构成双极低通滤波器，因此人们常常将其称为 L-C 滤波器。L-C 滤波器能够衰减载波频率，从而降低电磁辐射并平滑负载从电源汲取的电流波形。有关根据所需负载和响应适当选择元件并设计 L-C 滤波器的详细说明，请参阅 [D 类 LC 滤波器设计](#)。

8.2.1.2 放大器输出缓冲器

缓冲器是放置在放大器输出端的 RC 网络，用于抑制 PWM 输出波形上的振铃或过冲。过冲和振铃可能会产生负面影响，包括：潜在的 EMI 源和输出 FET 或电路板元件的过压应力。有关输出缓冲器使用和设计的详细信息，请参阅 [D 类输出缓冲器设计指南](#)。

8.2.1.3 自举电容器

输出级使用双 NMOS 晶体管；因此，电路需要使用自举电容器才能正确导通每个输出的高侧。所需的电容器连接是从 BSTN 到 OUTN 以及从 BSTP 到 OUTP，如图 8-1 所示。

8.2.1.4 模拟信号输入滤波器

该电路需要一个输入电容器，从而将放大器偏置到适当的直流电平。输入电容器和放大器的输入阻抗形成一个高通滤波器，其转角频率为 -3dB ，由以下公式确定： $f = 1 / (2\pi R_{(i)}C_{(i)})$ ，其中 $R_{(i)}$ 是器件基于增益设置的输入阻抗， $C_{(i)}$ 是输入电容值。表 8-2 列出了建议的最大输入电容器容值。使用的电容器应符合应用对最低频率的要求，但不要超过列出的值。

表 8-2. 建议的输入交流耦合电容

增益 (dB)	典型输入阻抗 (kΩ)	输入电容 (μF)	高通滤波器 (Hz)
20	60	1	2.7
		1.5	1.8
26	30	1	5.3
		3.3	1.6
32	15	5.6	2.3
36	9	10	1.8

8.2.2 详细设计过程

请按照以下步骤来进行设计过程：

- 第 1 步：硬件原理图设计：以图 8-1 为指南，将硬件集成到系统原理图中。
- 第 2 步：按照 节 8.4.1 部分中建议的布局指南，将器件及其配套元件集成到系统 PCB 文件中。
- 第 3 步：热设计：该器件具有需要正确焊接的外露散热焊盘。有关更多信息，请参阅 [半导体和 IC 封装热指标](#) 和 [PowerPAD 热增强型封装](#)。
- 第 4 步：开发软件：EVM 用户指南详细说明了如何设置器件并解释了诊断信息等。有关控制寄存器的信息，请参阅 节 7 不分。

如有问题和需要支持，请访问 [E2E 论坛](#)。

8.2.2.1 未使用引脚连接

即使未使用引脚，也应始终将其连接到固定电源轨；请勿将其悬空。输入引脚悬空会带来 ESD 风险，因此对于每个引脚，用户均必须遵守以下指导。

8.2.2.1.1 HI-Z 引脚

如果应用中未使用 HI-Z 引脚，则通过一个高阻抗电阻器将其连接到 GND。

8.2.2.1.2 STANDBY 引脚

如果应用中未使用 STANDBY 引脚，请通过高阻抗电阻将其连接到低电压轨（例如 3.3V 或 5V）。

8.2.2.1.3 I²C 引脚 (SDA 和 SCL)

如果系统中没有微控制器，则可以在没有 I²C 通信的情况下使用该器件。在这种情况下，请将 SDA 和 SCL 引脚连接至 3.3V。

8.2.2.1.4 端接未使用的输出

如果 FAULT 引脚不向应用中的系统微控制器报告信息，则将其连接到 GND。

8.2.2.1.5 使用单端信号输入

使用单端信号源时，通过一个容值等于正输入端输入电容的电容器将负输入端交流接地，并将信号源施加到正输入端。为了获得最佳性能，如果可能，应将交流地置于信号源处，而不是器件输入端。

8.2.3 应用曲线

有关应用性能图，请参阅 *典型特性* 部分。

表 8-3. 图形表

图形	图编号
效率与输出功率间的关系	图 5-1
THD+N 与输出功率间的关系	图 5-2
功率耗散与输出功率间的关系	图 5-3
THD+N 与频率间的关系	图 5-4
具有 -60dB 输出的噪声 FFT	图 5-5
具有 1W 输出的噪声 FFT	图 5-6
过流阈值与温度间的关系	图 5-7

8.3 电源相关建议

该器件通常由电压范围较宽的汽车电池供电。PVDD 是一种经过滤波的电池电压，为输出 FET 和低侧 FET 栅极驱动器供电。必须具有良好的电源去耦，尤其是在低电压和低温条件下。为了满足 *电气特性* 一节中的 PVDD 规格，TI 在 PVDD 引脚附近使用 10 μ F 和 0.1 μ F 陶瓷电容器，并添加了一个较大的大容量 330 μ F 电解去耦电容器。

内部线性稳压器为模拟电路供电，并在 BYP 引脚上提供电压。该电源需要在 BYP 引脚上连接一个外部旁路陶瓷电容器。

8.4 布局

8.4.1 布局指南

该 EVM 布局针对散热和 EMC 性能进行了优化。TSD5402-Q1 器件具有朝下的散热焊盘，良好的导热和散热需要足够的铜面积。布局也会影响 EMC 性能。布局讨论基于 TSD5402Q1EVM 的示意图。

8.4.2 布局示例

8.4.2.1 顶层

数字 1 周围的红色框是顶层的铜接地。该接地直接焊接到散热焊盘上，是必需的第一个重要散热部件。有些过孔会连接其他层，以进一步实现散热，但过孔具有较高的热阻。TI 建议主要使用顶层进行散热。另一个建议是从输出引脚到二阶 LC 滤波器采用短布线来抑制 EMC。数字 2 箭头指示这些短布线，以实现更好的 ECM 效果。如数字 3 箭头所示，从 PVDD 引脚到电池或电源的 LC 滤波器采用短布线也可改善 EMC 抑制。在外层布线以提高电流能力。数字 4 周围的红色框表示 OUTP 和 OUTN 共用的接地平面。将 LC 滤波器的电容器放置在公共接地平面上，以帮助降低共模噪声并缩短接地环路。

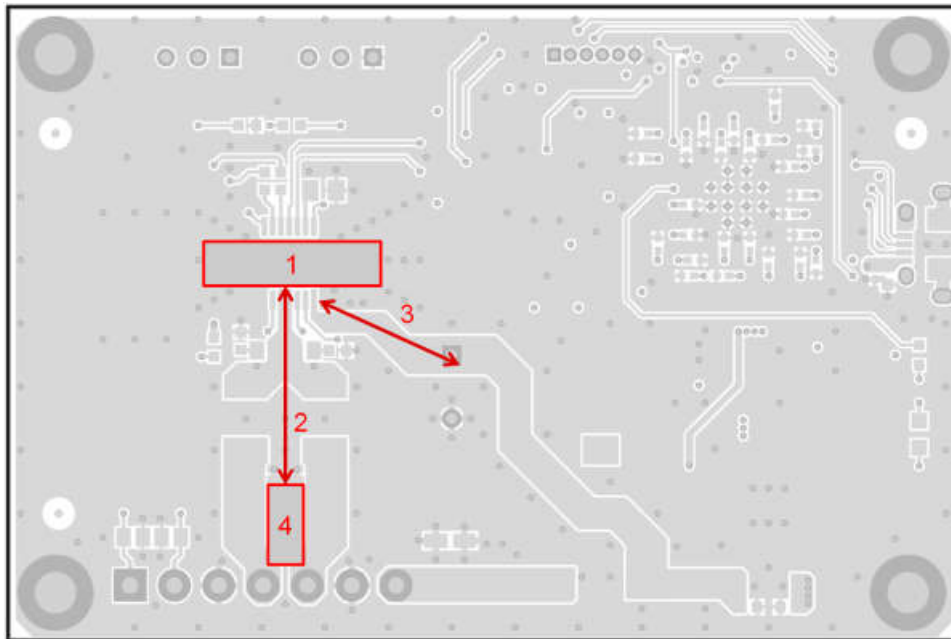


图 8-2. 顶层

8.4.2.2 第二层 - 信号层

在内层上铺设一个完整的接地平面，使电流环路保持较小的尺寸，从而降低 EMI。

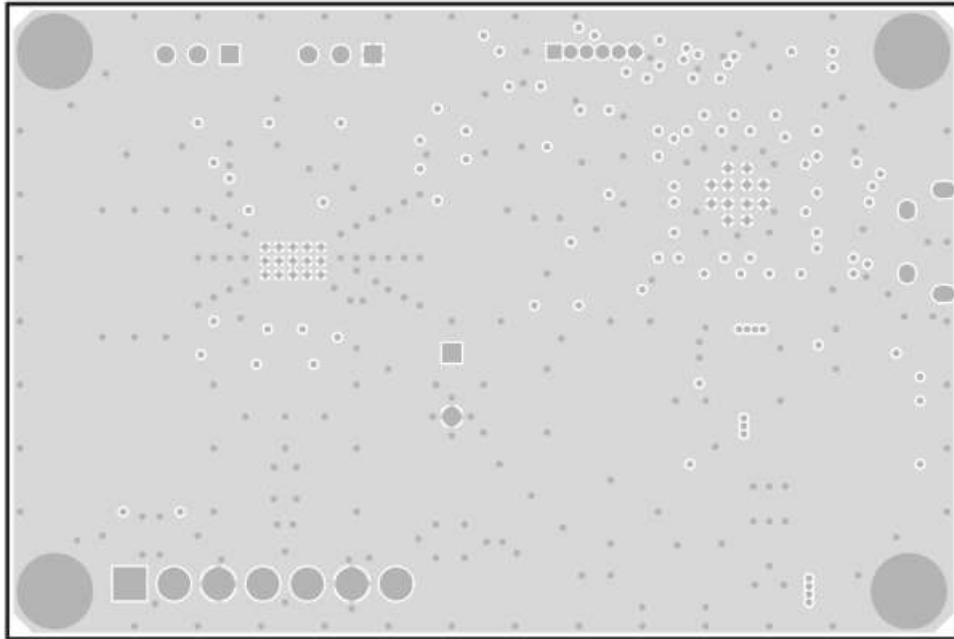


图 8-3. 信号层

8.4.2.3 第三层 - 电源层

尽管不需要电源平面，但 TI 建议使用较宽的单一布线，以将开关噪声保持在尽可能低的水平并为器件提供足够的电流。宽布线提供了来自电源的低阻抗路径。在正路径和返回（接地）路径上抑制开关噪声（纹波电压）需要低阻抗。

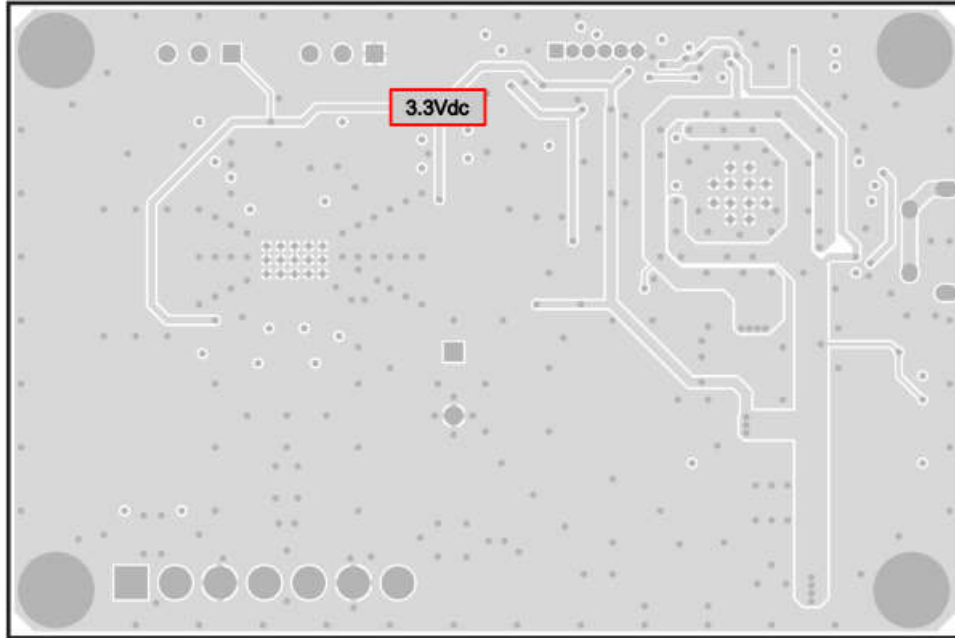


图 8-4. 电源层

8.4.2.4 底层 - 接地层

该器件的底部具有外露散热焊盘，可提高热性能。将热量从散热焊盘传导至其他层需要散热过孔。由于底层是与环境进行二次热交换的表面，因此散热过孔区域必须具有低热阻。

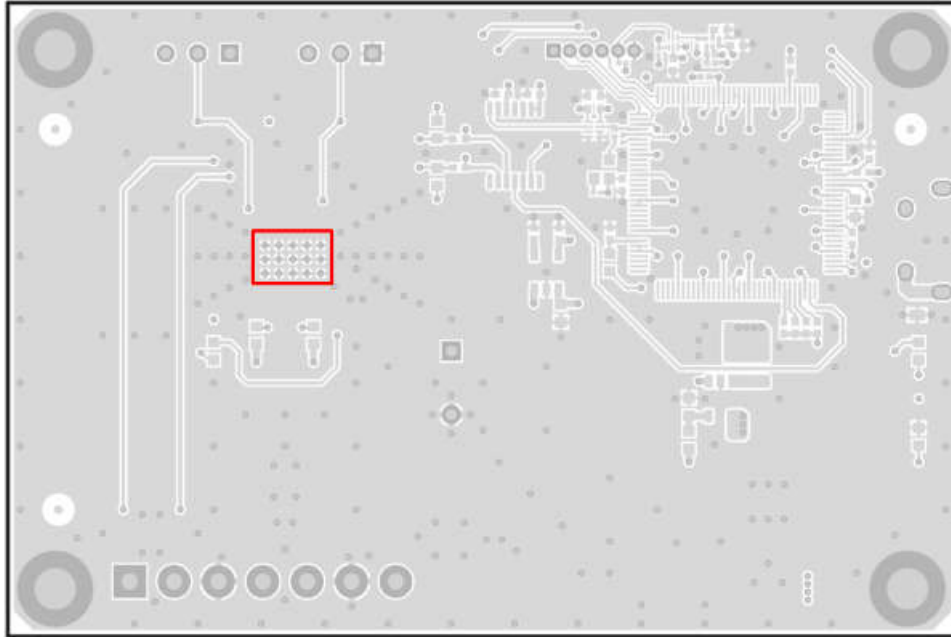


图 8-5. 底层

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- [D 类 LC 滤波器设计 \(SLOA119\)](#)
- [D 类输出缓冲器设计指南 \(SLOA201\)](#)
- [PowerPAD 散热增强型封装 \(SLMA002\)](#)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 封装选项附录

11.1.1 封装信息

可订购器件	状态 ⁽¹⁾	封装类型	封装图	引脚	包装数量	环保计划 ⁽²⁾	铅/焊球镀层 ⁽⁴⁾	MSL 峰值温度 ⁽³⁾	工作温度 (°C)	器件标识 ^{(5) (6)}
TSD5402QPWPRQ1	预发布	HTSSOP	PWP	16	2000	待定	NIPDAU	Level-3-260C-1 68 HR	-40 至 125	TSD5402

(1) 销售状态值定义如下：

正在供货：建议用于新设计的产品器件。

限期购买：TI 已宣布器件即将停产，但仍在购买期限内。

NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。

PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。

预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。

已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅 (RoHS 豁免) 或绿色环保 (RoHS，无镉/溴) - 如需了解最新供货信息及更多产品信息详情，请访问 <http://www.ti.com/productcontent>。

待定：无铅/绿色环保转换计划尚未确定。

无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。

无铅 (RoHS 豁免)：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅 (符合 RoHS)。

绿色环保 (RoHS，无镉/溴)：TI 将“绿色环保”定义为无铅 (符合 RoHS 标准)、无溴 (Br) 和无镉 (Sb) 基阻燃剂 (Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%)

(3) MSL，峰值温度-- 湿敏等级额定值 (符合 JEDEC 工业标准分级) 和峰值焊接温度。

(4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

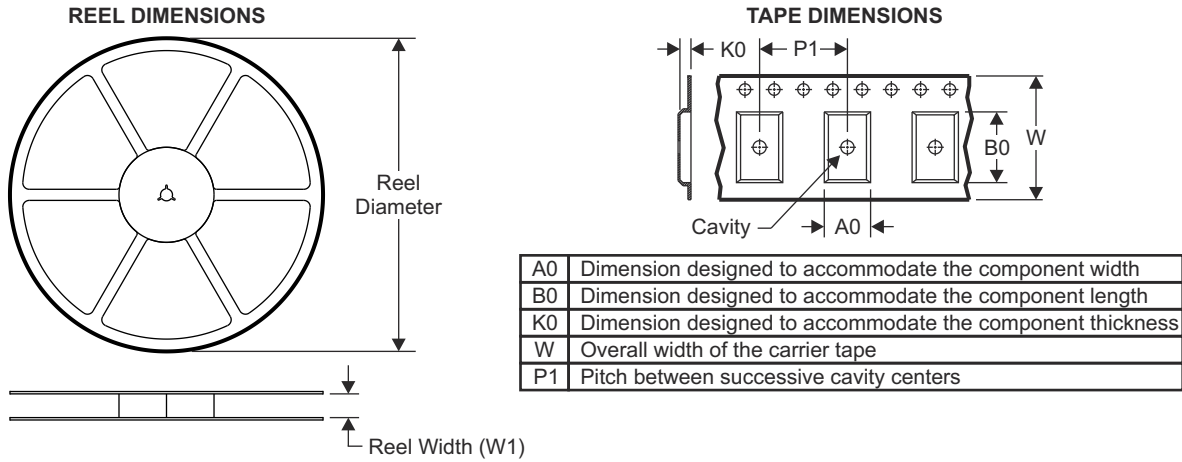
(5) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记

(6) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

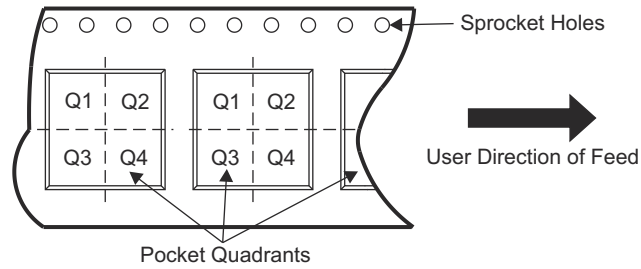
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

11.1.2 卷带包装信息

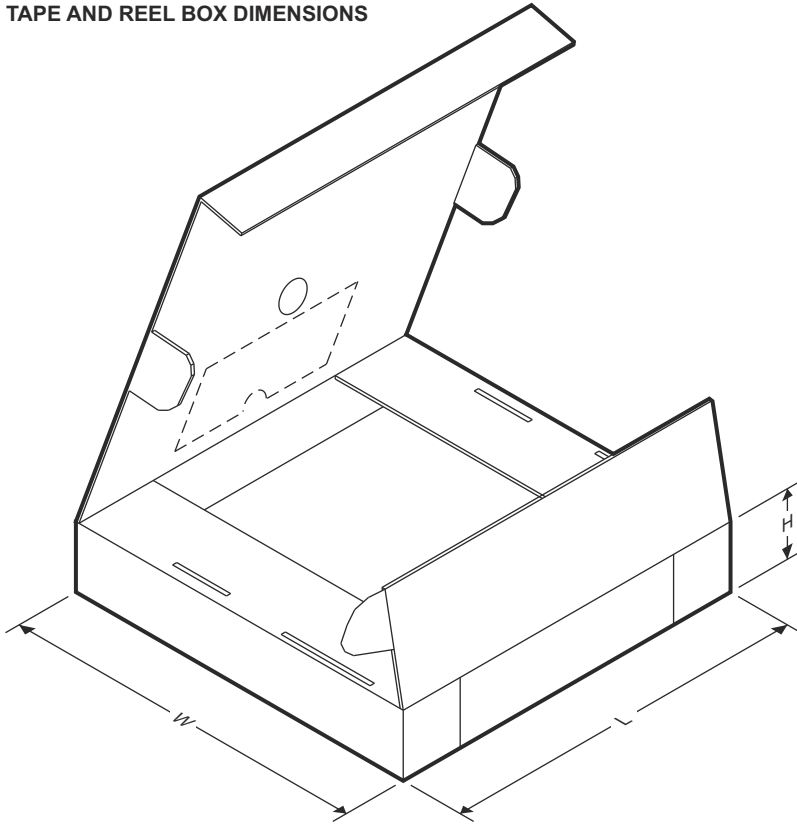


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
TSD5402QPWRQ1	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TSD54021QPWPRQ1	HTSSOP	PWP	16	2000	350.0	350.0	43.0

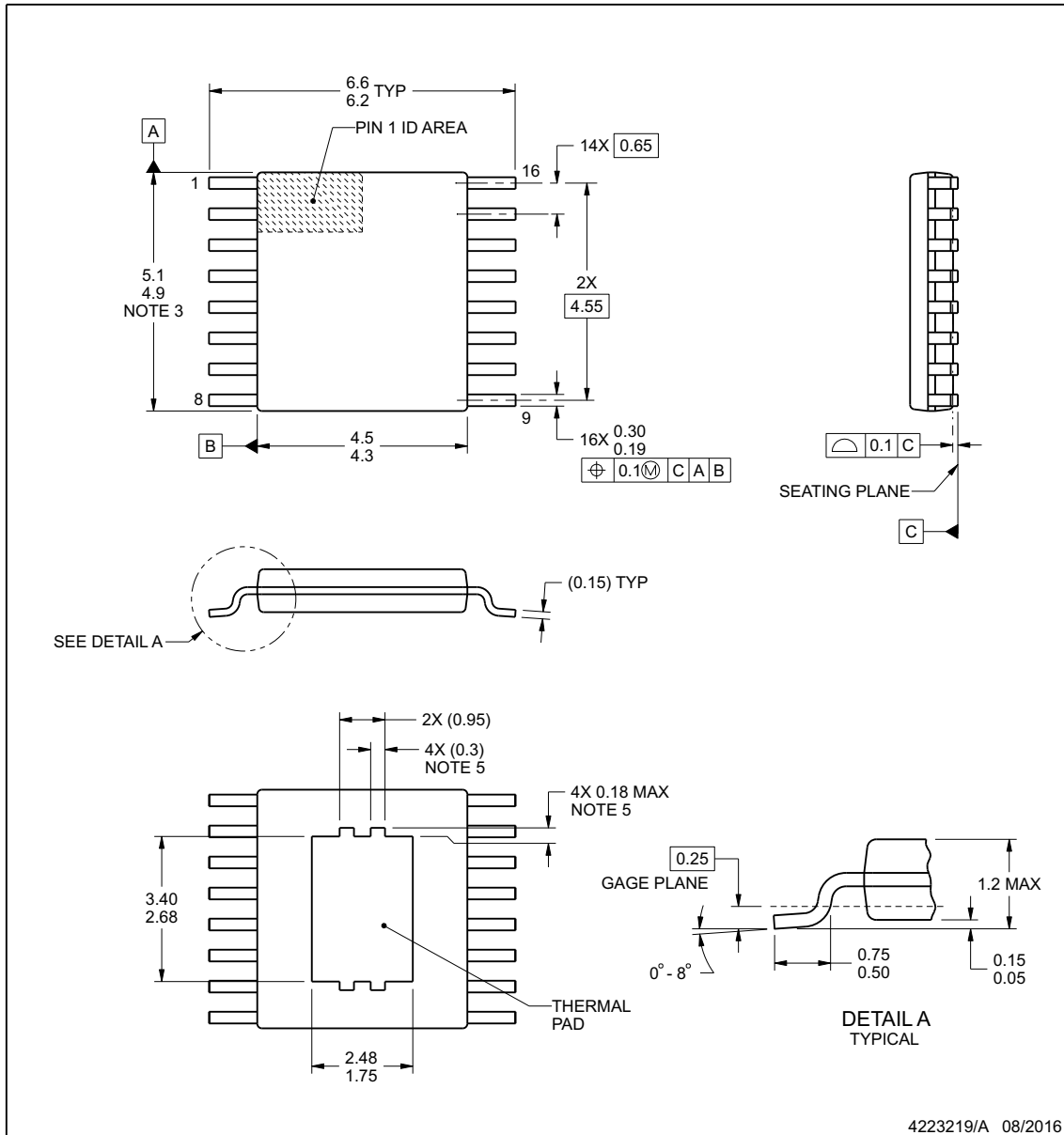
PACKAGE OUTLINE

PWP0016D



PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4223219/A 08/2016

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ and may not be present.

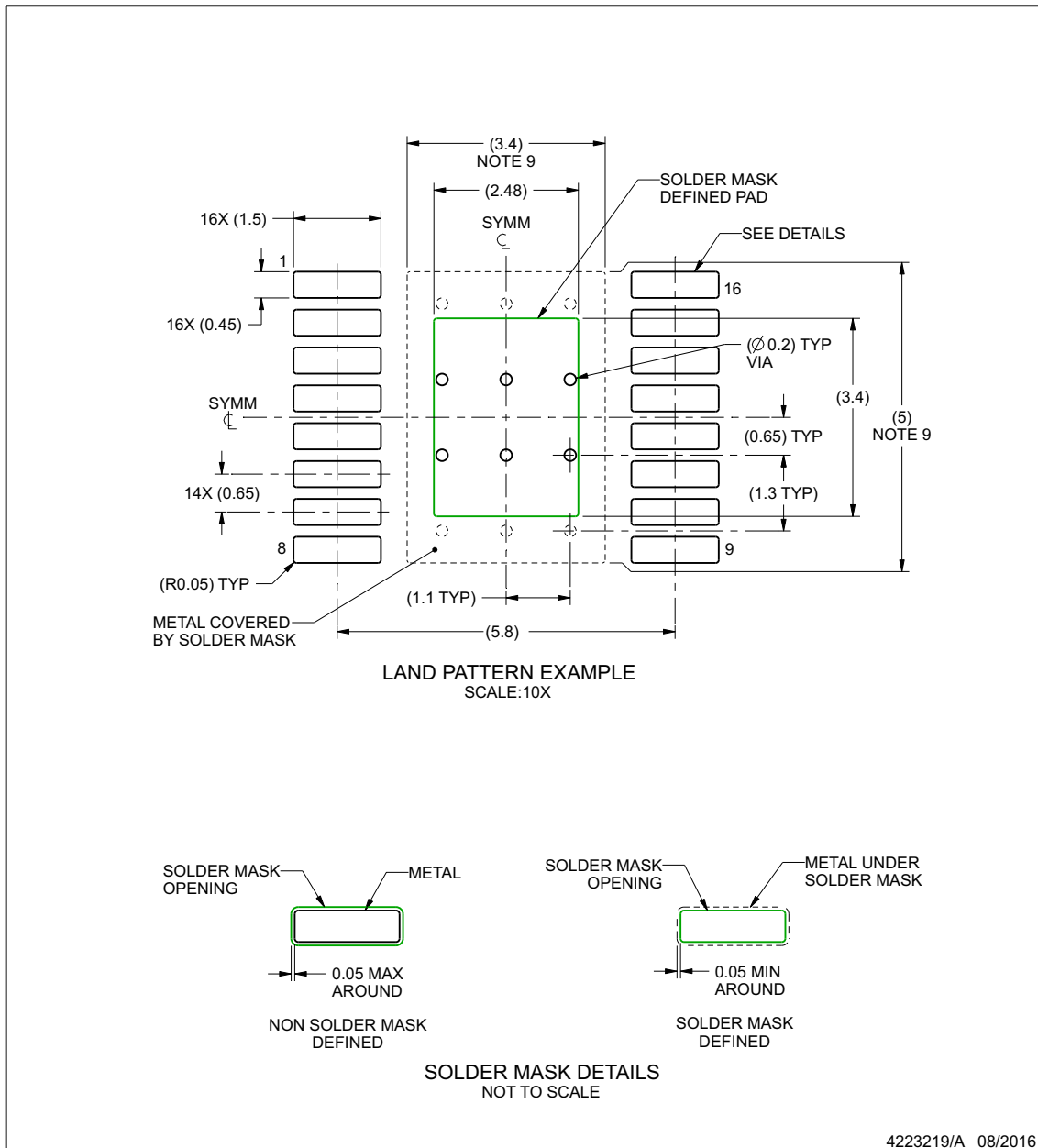
www.ti.com

EXAMPLE BOARD LAYOUT

PWP0016D

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

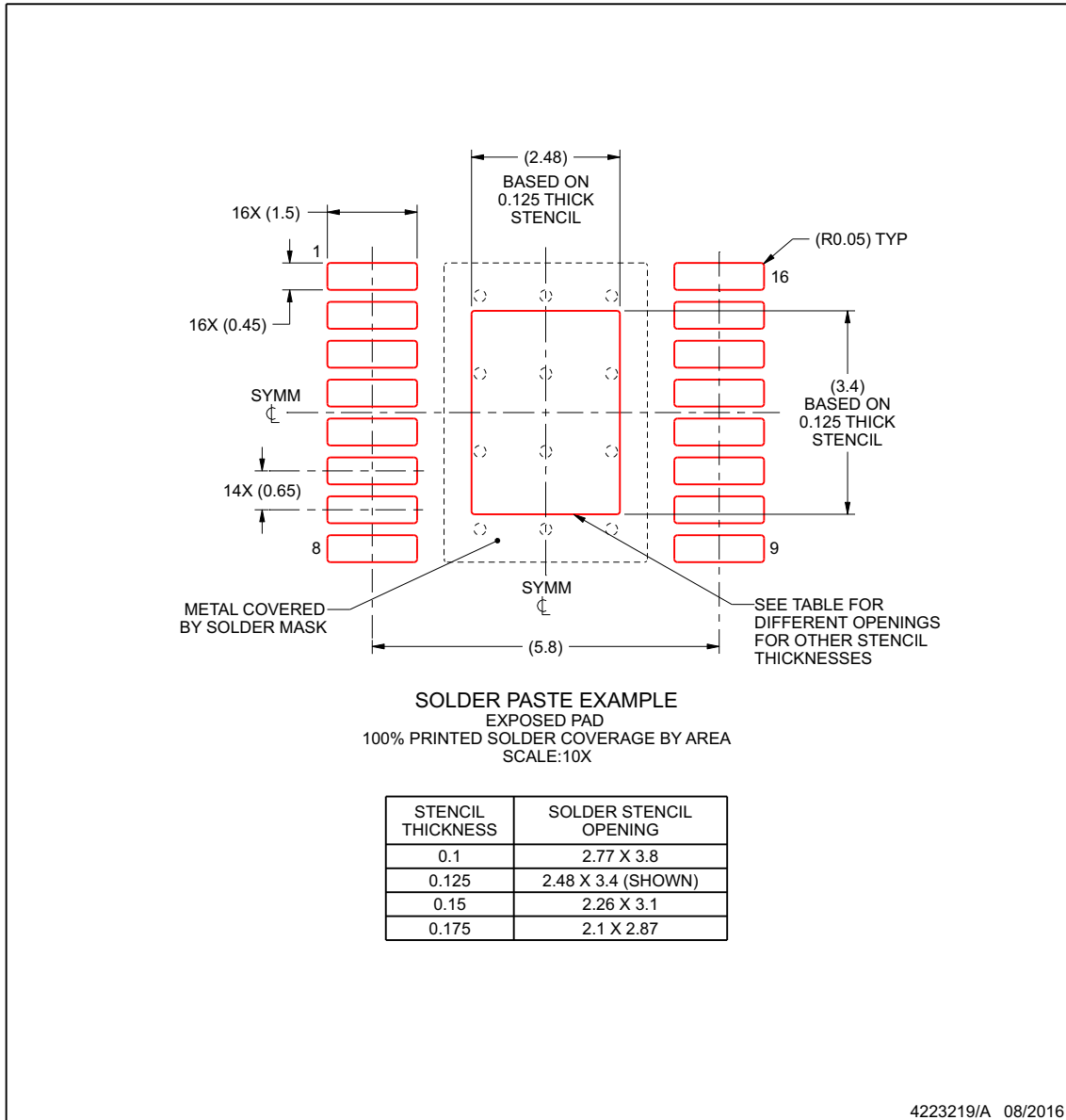
www.ti.com

EXAMPLE STENCIL DESIGN

PWP0016D

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TSD5402QPWPRQ1	ACTIVE	HTSSOP	PWP	16	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	TSD5402	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

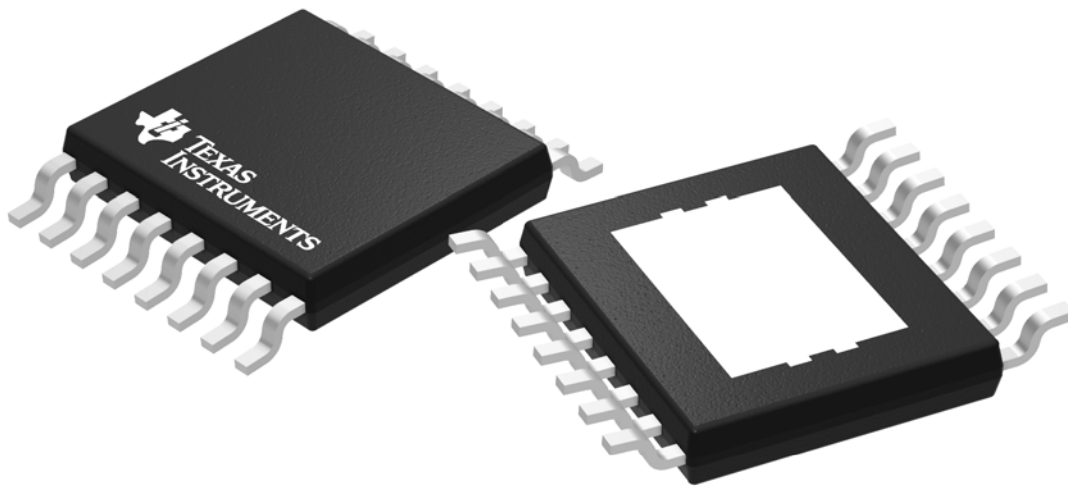
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

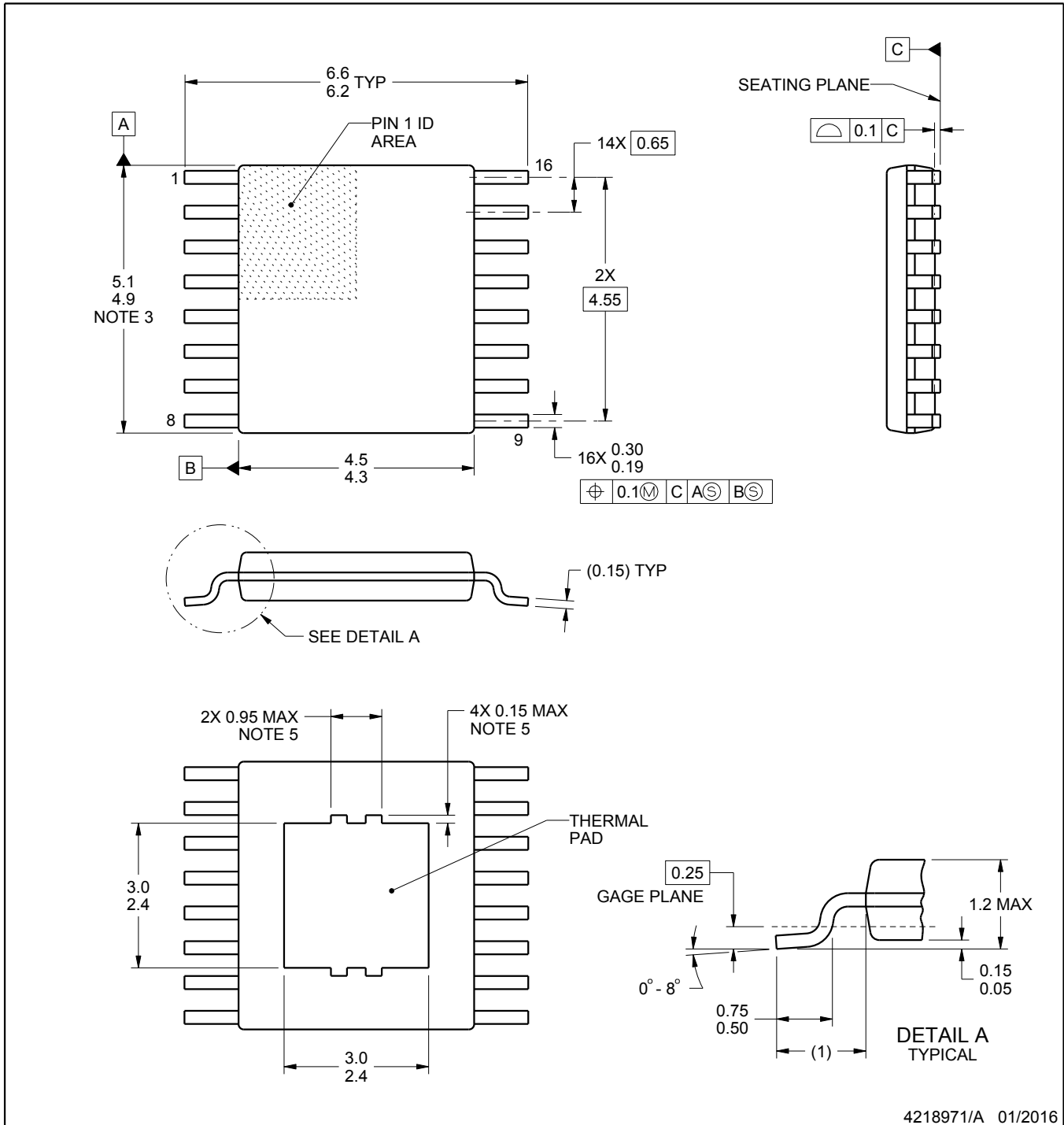
PWP0016B



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4218971/A 01/2016

NOTES:

PowerPAD is a trademark of Texas Instruments.

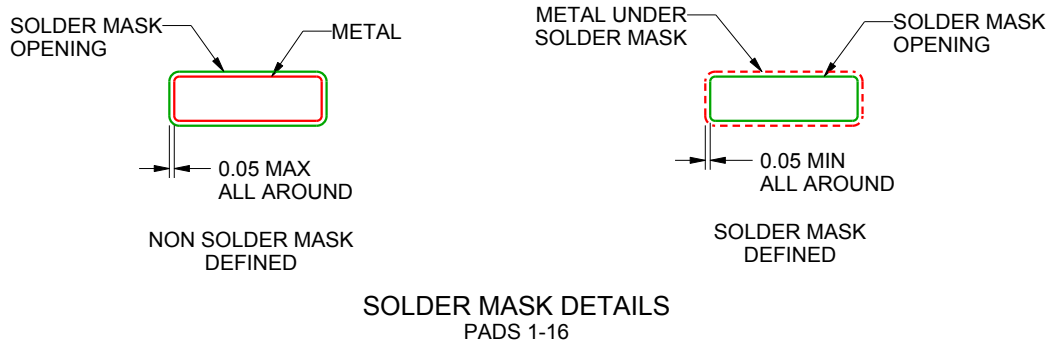
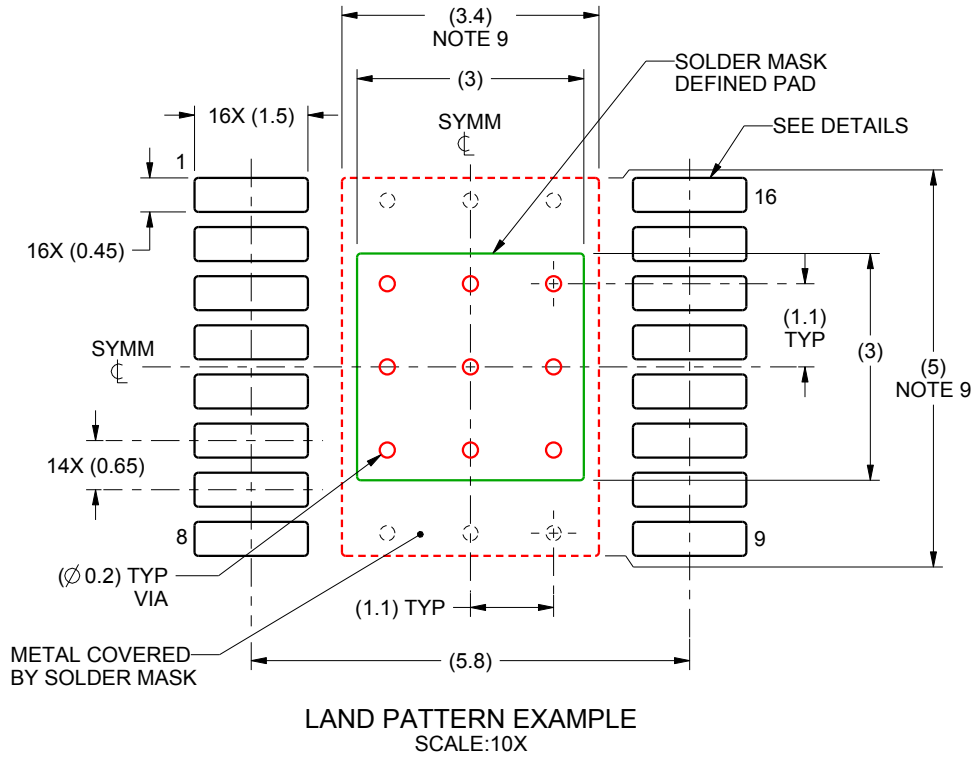
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.

EXAMPLE BOARD LAYOUT

PWP0016B

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4218971/A 01/2016

NOTES: (continued)

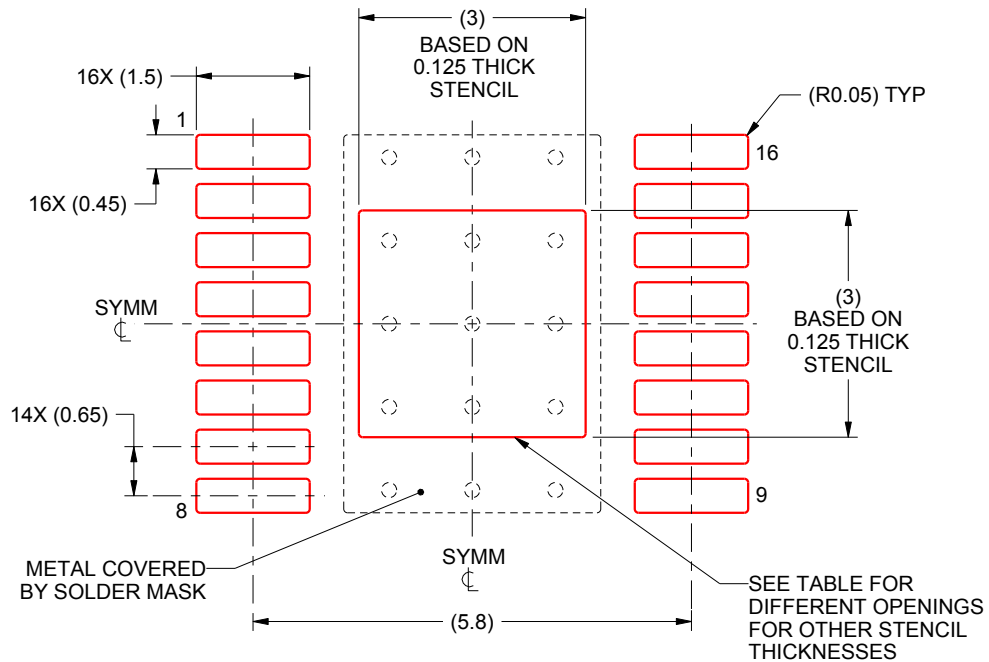
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PWP0016B

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
 EXPOSED PAD
 100% PRINTED SOLDER COVERAGE BY AREA
 SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.35 X 3.35
0.125	3 X 3 (SHOWN)
0.15	2.74 X 2.74
0.175	2.54 X 2.54

4218971/A 01/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司