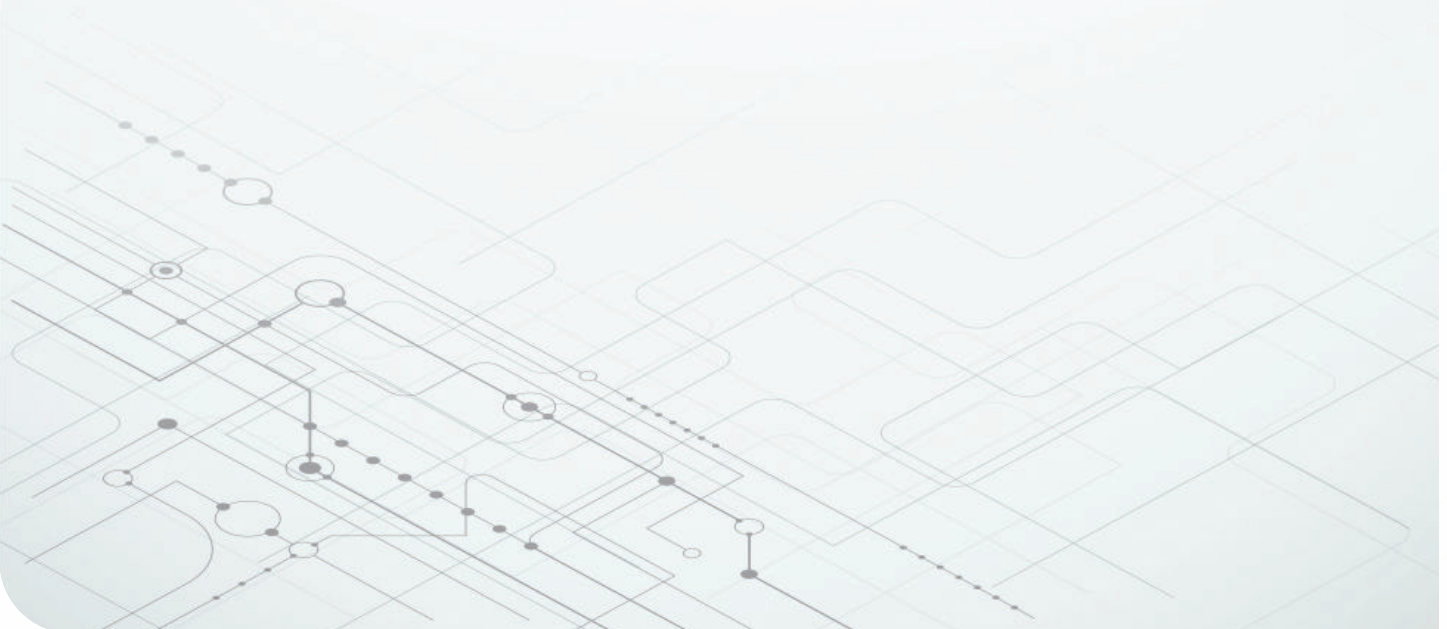


패키징 혁신을 통한 아날로그 성능 가속화







Les Stark
Director of Package Development

Sreenivasan Koduri
TI Fellow



한눈에 보기

-  **1 머리말**
이 백서에서는 전력 관리 장치부터 연산 증폭기, 데이터 컨버터는 물론 기타 아날로그 IC(통합 회로)까지 아날로그 반도체 칩과 모듈 패키징 기술의 업계 표준 패키지 유형과 최근의 혁신을 살펴봅니다.
-  **2 패키지 다양화를 통해 시장의 요구에 부합하는 방식**
안정성, 비용 효율성 및 공급망 회복 탄력성에 대한 시장 요구 사항을 이해하려면 효율적이고 신뢰할 수 있는 패키징에 집중해야 합니다.
-  **3 전력 효율**
시스템, 서브시스템(보드 수준) 및 패키지 수준(여러 다이 및 패시브 부품 포함)의 통합을 살펴보면 패키징 기술이 전력 효율과 밀도를 어떻게 향상시킬 수 있는지 알 수 있습니다.
-  **4 미니어처 제품 구현**
아날로그 패키징 기술의 발전 전망과 잠재적 영향을 살펴봅니다.

머리말

반도체는 삶의 거의 모든 영역에 스며들어 있으며, 상상할 수 있는 모든 애플리케이션에 맞게 장치가 최적화되어 있습니다. 무어의 법칙에 따라 CMOS(보조 금속 산화물 반도체) 기술은 디지털 컴퓨팅의 발전을 촉진했으며, 양극 반도체의 변형으로 디지털 프로세서를 물리적 세계에 연결하여 온도, 압력, 움직임, 빛, 소리 및 터치를 감지하는 아날로그 제품을 구현할 수 있었습니다.

모든 웨이퍼에는 수천 개의 IC(통합 회로)가 포함되어 있으며, 이는 반도체 칩 또는 다이라고 하는 개별 단위로 분리됩니다. 이러한 칩은 매우 취약하기 때문에, 스마트워치부터 산업용 로봇에 이르기까지 다양한 제품에 사용되기 위해서는 보호용 패키징이 필요합니다. **그림 1**에 표시된 것처럼 다른 효과 중에서도 패키지는 반도체 칩을 보호하고, PCB(인쇄 회로 보드)에 전기적 연결을 제공하고, 방열을 위한 경로를 제공합니다. 반도체 장치 애플리케이션이 증가함에 따라 패키지 기능과 폼 팩터가 다양한 요구를 충족하도록 진화했습니다.

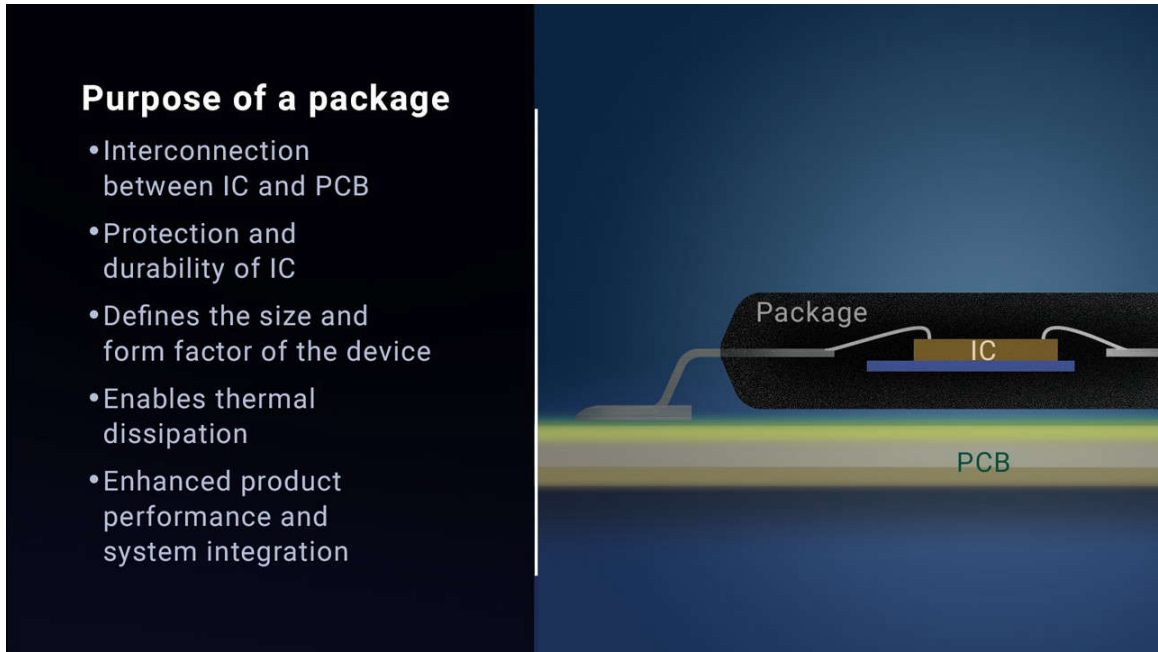


그림1. 일반적인 아날로그 패키지의 내부 다이어그램 및 패키징이 달성하는 효과.

반도체 장치는 성능을 최적화하고 칩을 보호하는 패키지로 구성됩니다. 각 패키지는 그림 2에 설명된 대로 핀(또는 리드), 수지, 본드 와이어 및 칩 자체를 포함한 여러 요소로 구성됩니다. 핀 또는 리드는 장치와 외부 회로 사이의 인터페이스로서 신호 및 전력의 전송을 가능하게 합니다. 수지는 칩과 본드 와이어를 덮어 습기, 먼지, 진동 및 충격과 같은 요소로부터 보호하거나 차폐합니다. 본드 와이어는 칩을 패키지 리드에 연결하여 칩과 PCB의 외부 회로 간의 전기적 연결을 가능하게 합니다.

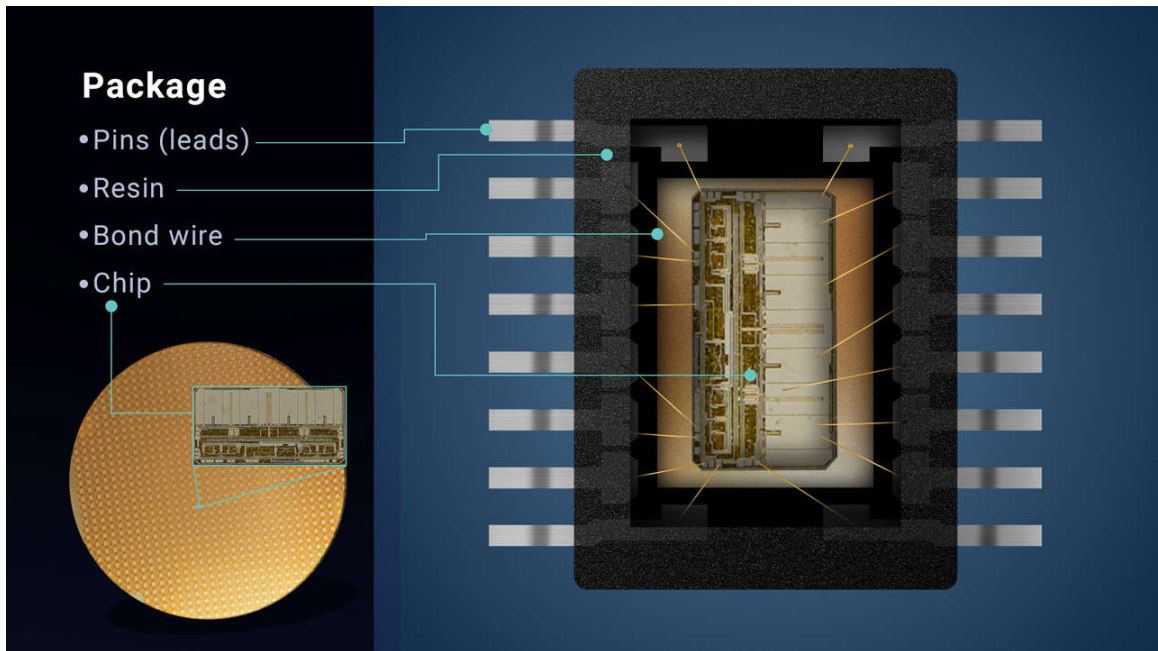


그림2. 패키지에는 핀(또는 리드), 수지, 본드 와이어, 칩 부착 에폭시 및 반도체 칩 자체가 포함됩니다.

오늘날의 빠르게 변화하는 전자 제품 환경에서 설계 엔지니어는 엄격한 성능, 비용 및 시장 출시 시간 요구 사항을 충족하는 데 필요한 아날로그 반도체를 확보해야 한다는 엄청난 압박을 받고 있습니다. 다양한 패키징 옵션을 갖춘 제품 포트폴리오를 제공하는 설계자가 다양한 패키지 유형과 기술을 활용하여 성능, 폼 팩터, 열 관리 및 비용 효율성을 최적화할 수 있는 유연성을 제공함으로써 혁신과 시장 출시 시간 단축을 지원합니다. 엔지니어는 수십 년 동안 업계 표준 패키지에 의존해 왔습니다.

그림 3에서는 아날로그 및 전력 관리 IC를 위한 여러 가지 일반 패키지 및 플라스틱 패키지를 보여줍니다.



그림 3. 아날로그 및 전력 관리 IC를 위한 일반 패키지 유형 및 미니어처 플라스틱 패키지.

패키지 다양화를 통해 시장의 요구에 부합하는 방식

하나의 패키지 유형으로 모든 전자 장치의 설계 요구 사항을 충족할 수 없기 때문에, 수년 동안 다양한 패키징 유형이 발전하여 안정성, 전기 성능, 열 성능, 비용, 공급망 고려 사항, 크기 등의 구체적인 요구를 해결해 왔습니다.

예를 들어 안정성 요구 사항은 소형 완구의 간단한 전자 장치부터 차량용 제동 시스템의 필수 부품에 이르기까지 애플리케이션에 따라 크게 달라집니다. 산업용 애플리케이션은 긴 수명의 IC가 필요하며 두바이, 싱가포르 또는 알래스카 같은 기후에 있는 통신 타워에는 극한의 온도, 습도, 부식성 환경을 견딜 수 있는 장치가 필요합니다. 우주선에 설치된 IC는 발사로 인한 충격과 우주의 방사선을 견뎌야 합니다.

고속 통신이나 고전력 애플리케이션에서는 패키지의 전기 임피던스가 시스템 성능에 큰 영향을 미치기 때문에, 칩과 패키지 간은 물론 패키지와 PCB 간의 연결도 최적화해야 합니다. 기존의 반도체 장치는 이러한 초기 연결을 위해 순금 와이어 본딩(일반적으로 직경 15µm~50µm)에 의존했지만, 최신 장치는 특정 전기 임피던스 요구 사항을 충족하기 위해 구리 와이어 본딩, 리본 본딩, 고밀도 본딩, 구리 포스트, 구리 클립, 솔더 범프 및 스루 실리콘 비아와 같은 방법을 사용할 수도 있습니다.

다양한 패키징 옵션의 생성을 이끄는 시장 요구 사항에 대해 살펴보겠습니다.

비용 효율성

비용 관리를 위해 PCB, 패키지, 실리콘을 최적화할 때 실리콘의 크기를 최소화하면 비용을 절감할 수 있습니다. 하지만 많은 애플리케이션에서는 큰 I/O(입출력) 피치를 가진 더 큰 패키지가 필요할 수 있습니다. **그림 4**에서는 실리콘 상의 I/O 패드

간격이 100 μm 미만이면 칩 크기를 작게 만들 수 있으며, 이러한 I/O는 650 μm 를 초과하는 간격으로 팬 아웃되어 저비용 PCB의 설계 제약 조건을 충족합니다.

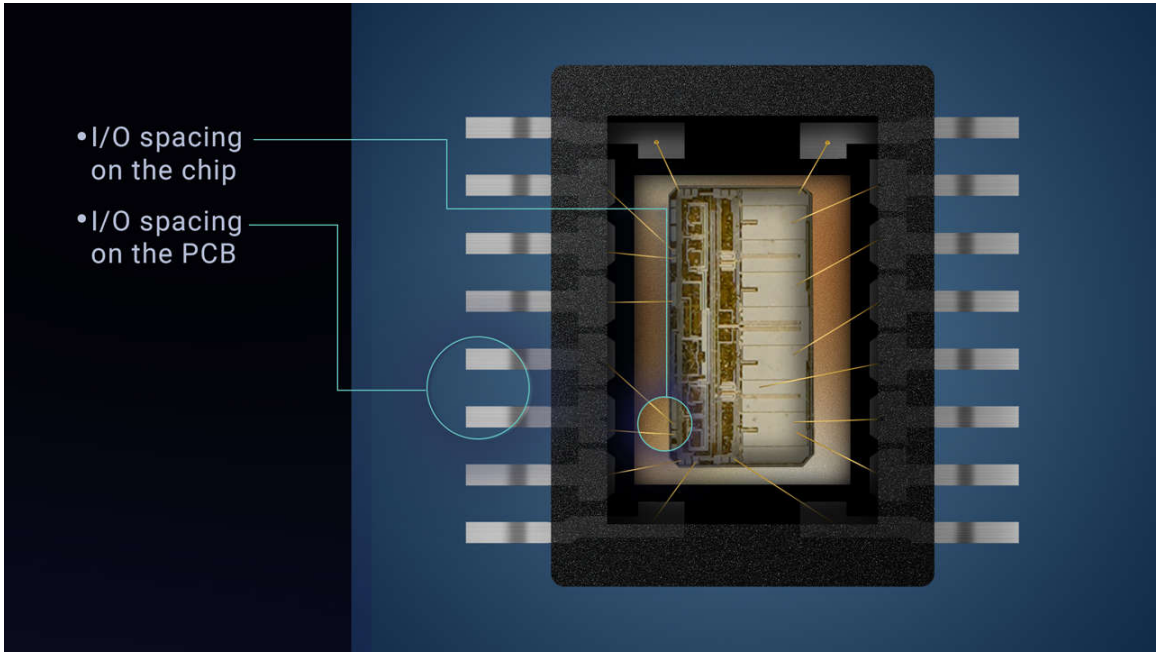


그림 4. 100 μm 미만의 I/O 간격은 소형 칩 설계에서 일반적이며, 650 μm 를 초과하는 I/O 간격은 저비용 PCB 설계에 적합합니다.

범용 제품의 경우, PCB 치수와 패키지 크기를 표준화하면 여러 공급업체로부터 동일한 부품을 구매할 수 있습니다. 또한 이러한 패키지는 최종 애플리케이션의 적합성에 영향을 주지 않으면서 실리콘을 지속적으로 축소할 수 있는 유연성을 제공하여 다시 한 번 비용을 절감할 수 있게 합니다. 경우에 따라 패키지를 축소하면서도 **업계 표준 풋프린트**를 동일하게 지원할 수 있습니다. 이를 통해 기존 PCB 레이아웃과의 하위 호환성을 유지하면서 미니어처 패키지로의 마이그레이션이 가능해집니다.

전력 효율

효율성은 고전력 솔루션을 설계할 때 가장 중요한 측정 기준입니다. TI는 개별 FET(전계 효과 트랜지스터)와 레귤레이터를 제공하지만, 많은 전원 설계에서는 FET를 컨트롤러와 통합하는 것이 중요합니다. 이전 설계에서는 수많은 금 와이어 본드(예: **그림 5** 참조)에 의존하여 FET의 전기적 저항을 최소화했으며, 와이어 비용이 패키지의 칩 비용보다 많은 경우도 있었습니다. TI는 비용을 절감하고 전력 및 성능을 개선하기 위해 구리 와이어 본드와 호환되는 실리콘 기술을 개발했습니다.

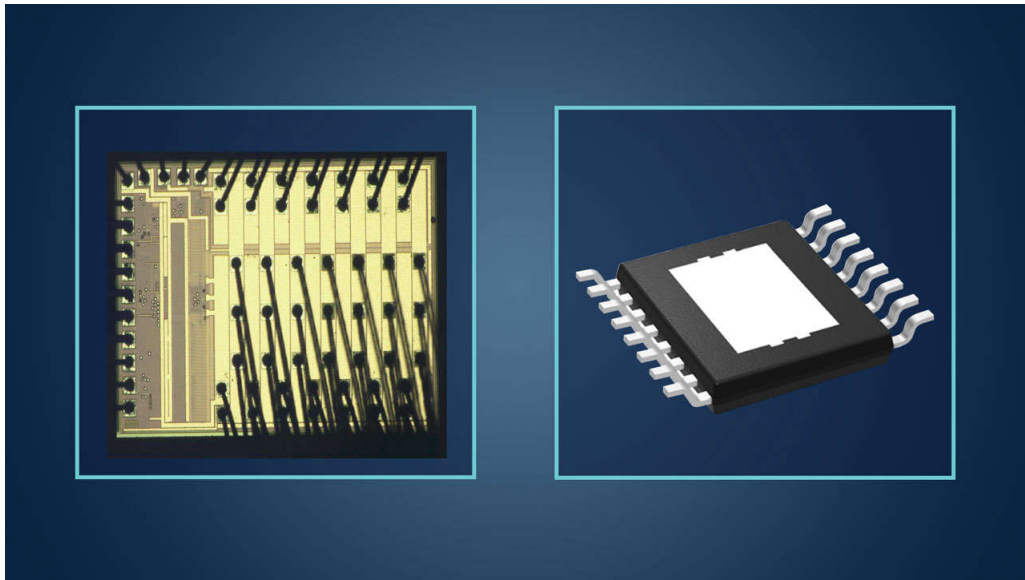


그림 5. HTSSOP 패키지에는 몇 개의 외부 핀만 있을 수 있지만, 통합 FET의 전류 및 저항 요구 사항을 충족하려면 수십 개의 굵은 게이지의 와이어 본드가 필요합니다.

전력 밀도가 증가함에 따라 TI는 고전류 패키지의 FET에서 낮은 저항을 유지하기 위해 **그림 6**에 표시된 것처럼 수직형 FET 기술과 구리 클립을 도입했습니다.

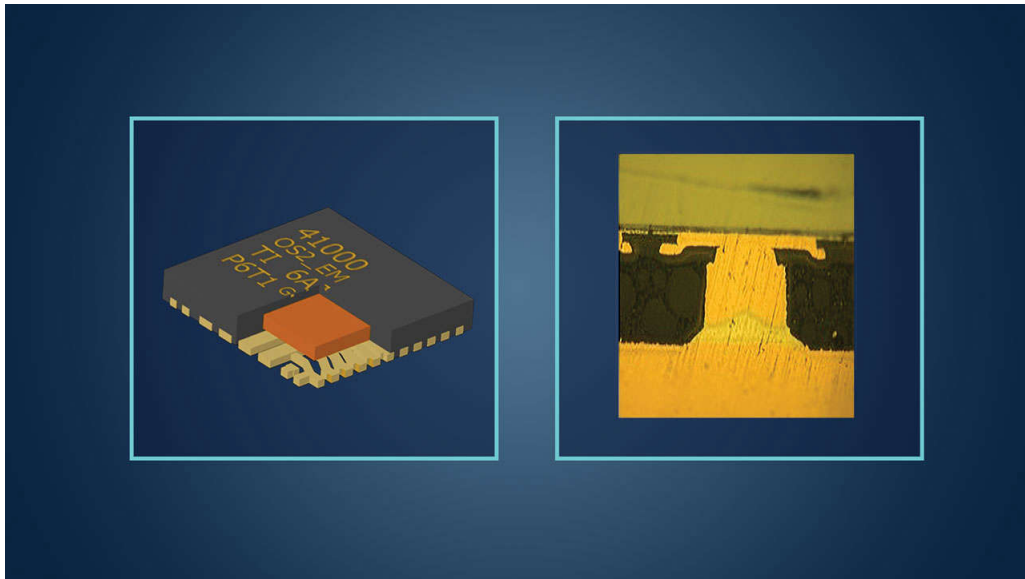


그림 6. 그림 5에 표시된 것처럼 와이어 본드를 여러 개 사용하는 경우보다 저항을 줄이기 위해 고전류 패키지에 구리 클립을 사용합니다.

반도체 제조의 혁신으로 CMOS와 양극 트랜지스터 기술이 동일한 칩에 통합되었으며, 컨트롤러가 통합된 고성능 FET가 개발되었습니다. 낮은 전기 저항 및 고급 컨트롤러에 대한 요구를 충족하기 위해 TI는 **그림 7**에 표시된 것처럼 낮은 저항 구리 범프를 사용하여 PCB의 전원 회로를 칩에 긴밀하게 연결하는 HotRod™ 기술을 만들었습니다.



그림 7. 구리 범프는 실리콘 다이를 패키지의 구리에 직결하여 FET에서 PCB까지 거의 직접적인 경로를 제공합니다.

업계 표준 패키지 풋프린트가 필요한 설계자를 위해 TI의 **향상된 HotRod QFN 패키지 기술**은 **그림 8**에 표시된 것처럼 패키지 전체에서 신호를 라우팅할 수 있는 유연성을 제공하며, 매우 낮은 저항 연결을 유지하여 완제품에 효율적으로 전원을 공급할 수 있습니다.

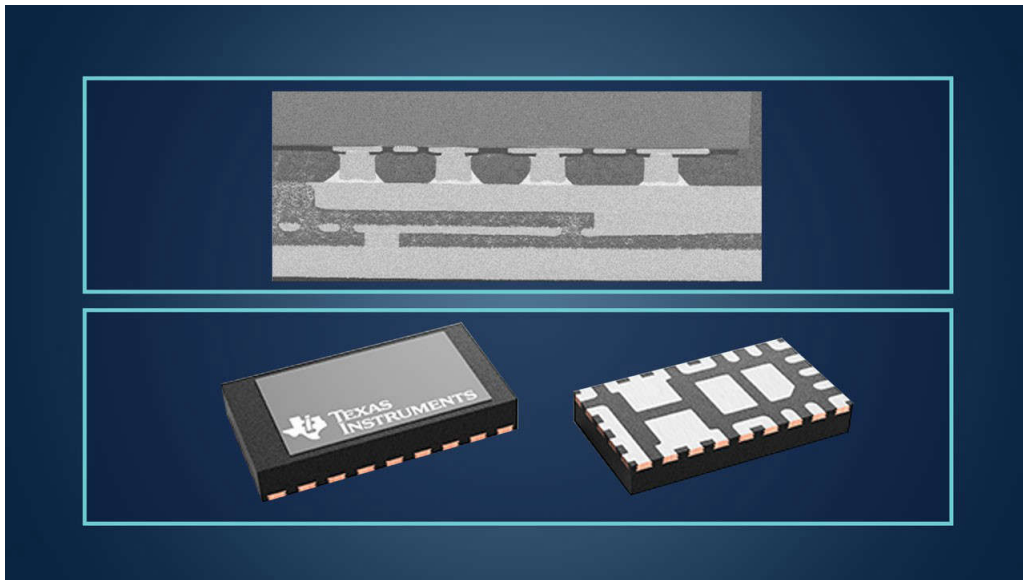


그림 8. 향상된 HotRod 기술은 실리콘을 두꺼운 구리 라우팅 레이어에 연결합니다. 이 접근 방식을 이용하면 PCB에서 매우 낮은 저항을 구현할 수 있고, 열 패드 또는 표준화된 패키지 풋프린트와의 매칭에 대한 유연성을 제공합니다.

전자 스타일러스와 같이 극도의 소형화를 요구하는 많은 애플리케이션이 있습니다. 그림 9와 그림 10에 표시된 것처럼 인덕터를 패키지에 통합하면 작은 크기 제약 조건을 해결하는 데 도움이 되므로 설계자는 이전에는 구현할 수 없었던 고효율

스위칭 레귤레이터를 구현할 수 있습니다. 소형화 외에도 TI의 **MicroSiP™ 패키지**(**그림 9** 및 **그림 10**에 표시)는 칩을 PCB 내의 더 두꺼운 구리 레이어에 긴밀하게 결합하여 모듈의 모든 열을 PCB로 보내도록 설계되었습니다.

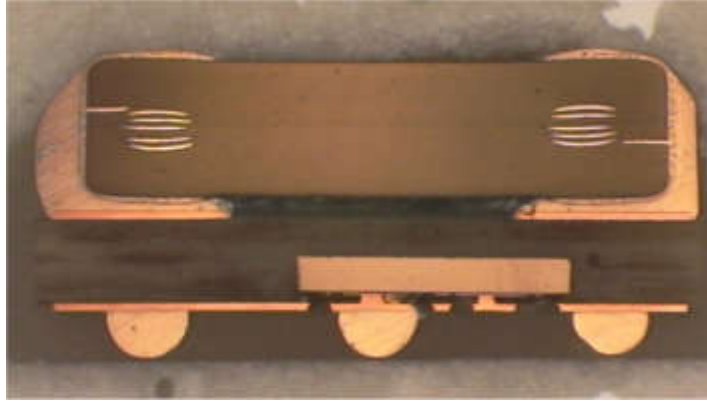


그림 9. MicroSiP™ 패키지의 TI TPS82670 스텝다운 컨버터의 교차 섹션입니다. 임베디드 실리콘 회로는 인덕터 아래에 위치

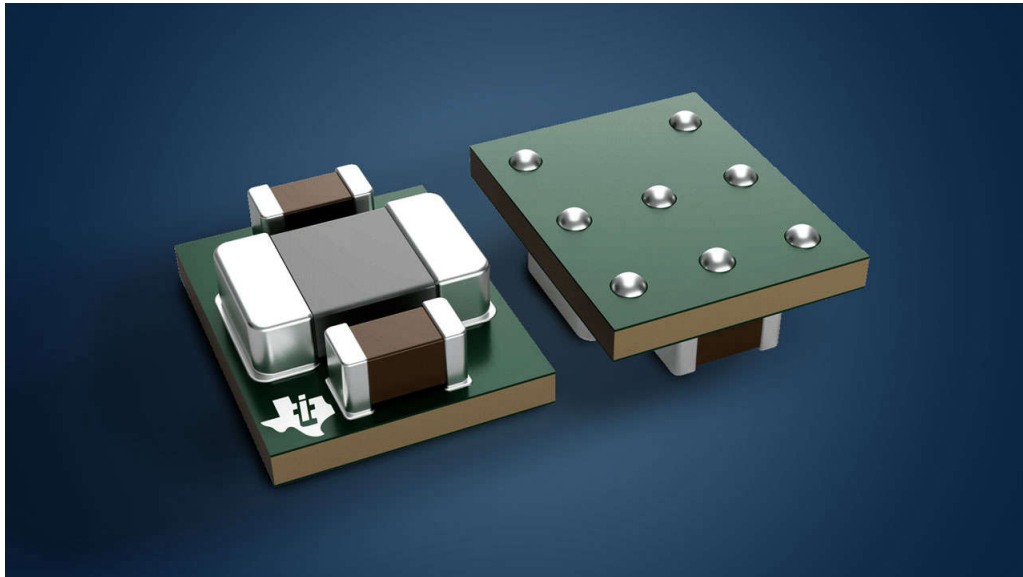


그림 10. MicroSiP 패키지로 제공되는 TPS82670 스텝다운 컨버터의 상단과 하단면 모습.

또한 설계 엔지니어는 고효율 인덕터를 패키지에 직접 통합하면서 전력 밀도의 한계를 높이는 고전력 모듈이 필요합니다. TI의 새로운 전원 모듈은 TI의 새로운 독점 통합 자기 패키징인 MagPack™ 기술을 활용하여 전력 밀도와 효율성을 높이고 온도 및 복사 방출을 줄이는 동시에 보드 공간과 시스템 전력 손실을 최소화합니다. **TPSM82866A** 6A 스텝다운 컨버터(**그림 11** 및 **그림 12**에 표시)와 같은 MagPack 기술을 사용하는 모듈은 1mm²당 거의 1A의 전력 밀도를 가지고 있습니다.

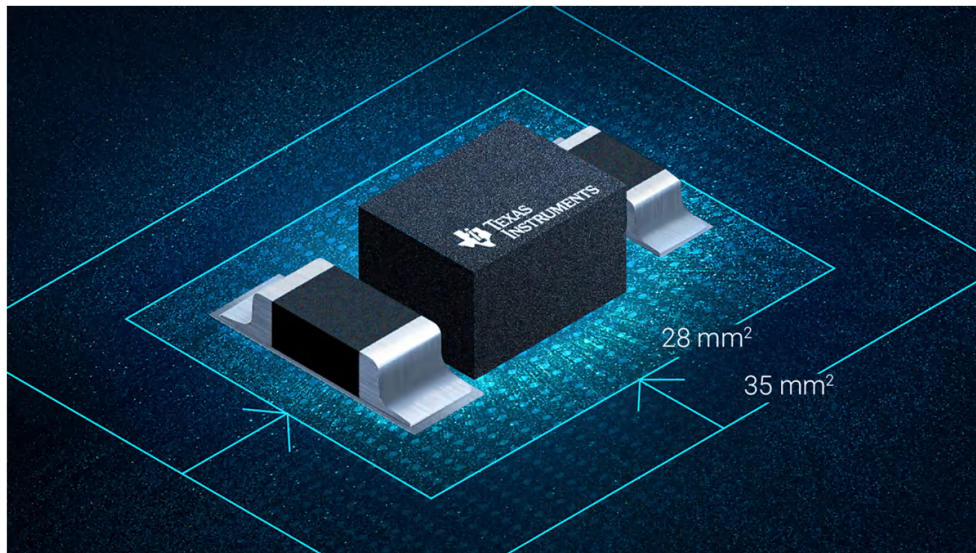


그림 11. 2.3mm x 3mm MagPack 패키지의 TPSM82866A 6A 스텝다운 컨버터는 28mm²의 총 솔루션 크기를 달성합니다.

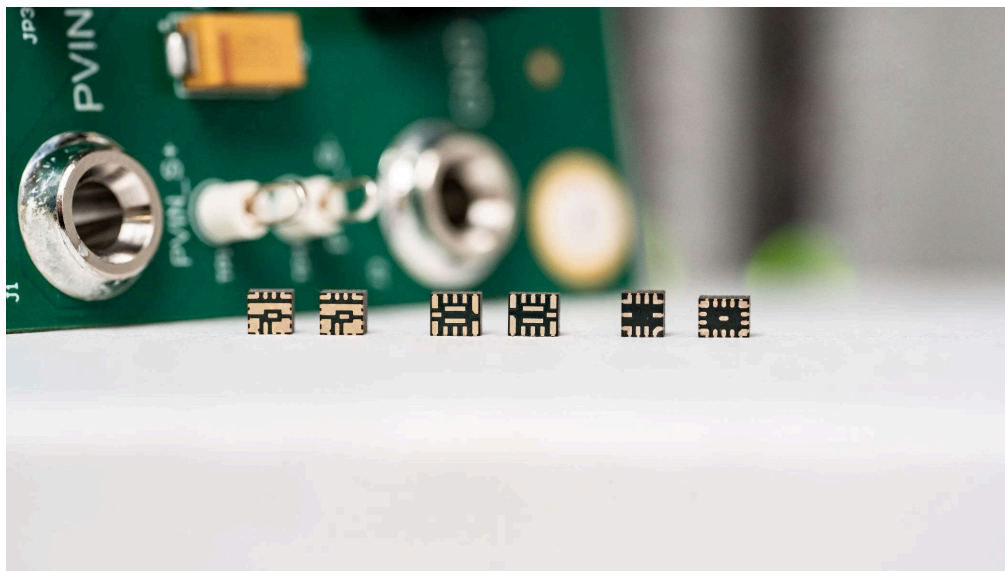


그림 12. MagPack 기술을 사용하는 전원 모듈은 경쟁사의 3A 및 6A 모듈보다 20% 더 작습니다.

GaN(질화 갈륨) 전력계는 전력 밀도가 높고 더 높은 전압에서 작동할 수 있어 배터리 충전 및 태양 에너지와 같은 시장에서 인기를 얻고 있습니다. **그림 13**에 표시된 것처럼 향상된 HotRod 패키지 기술을 갖춘 TI의 **100V LMG3100 GaN FET**는 입력 전압에 가깝게 열 비아를 배치할 수 있으며, 전원 패드는 패키지의 전력 손실을 최적화합니다.

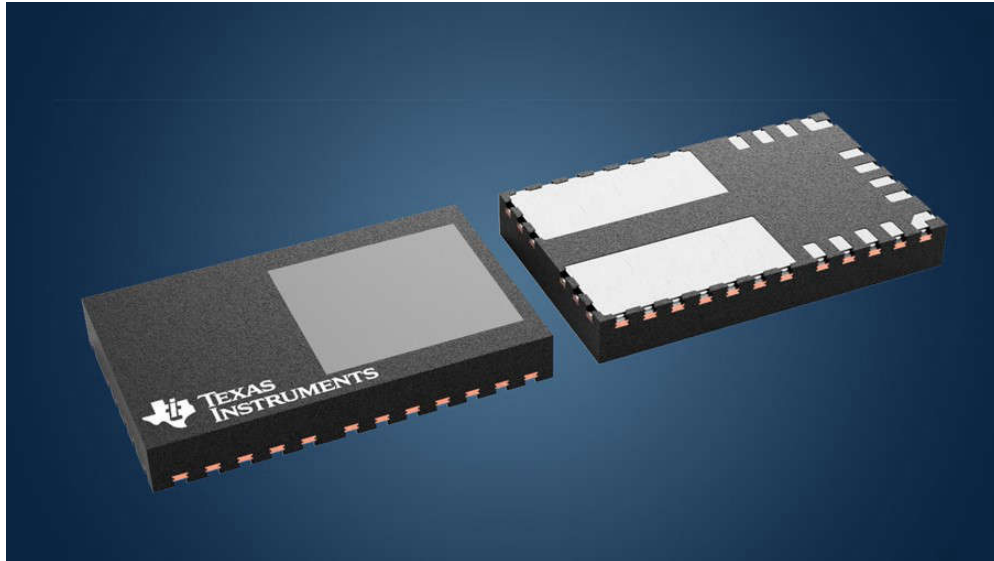


그림 13. LMG3100 GaN FET 전력계는 15핀의 VQFN(매우 얇은 쿼드 플랫 무연) 패키지로 제공됩니다. GaN 장치는 열 관리를 개선하기 위해 대형 소스 및 드레인 패드와 노출 칩을 사용합니다.

또 다른 GaN 기반 장치인 TI의 3상 **DRV7308 GaN IPM(지능형 전원 모듈)**은 업계 표준 QFN(쿼드 플랫 무연) 12mm x 12mm 패키지로 제공되어 경쟁사의 250W IPM보다 55% 작고 PCB 크기를 65% 줄입니다(**그림 14** 참조).

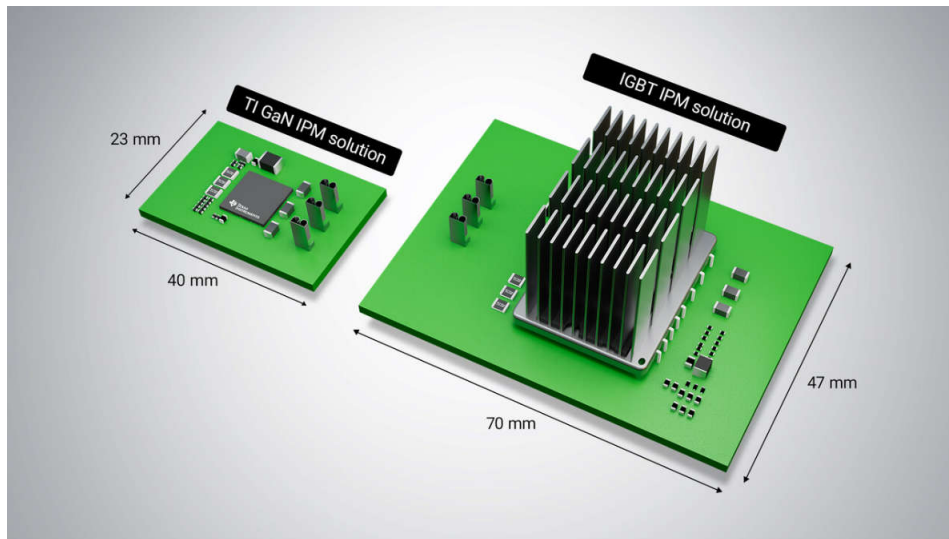


그림 14. DRV7308 GaN IPM PCB와 250W 절연 게이트 양극 트랜지스터 솔루션 비교.

미니어처 제품 구현

스마트폰, 보청기, 카메라 렌즈와 같은 제품을 위해 장치가 엄청나게 작거나 얇아야 하는 경우 WCSP(웨이퍼 칩 스케일 패키지)가 가장 좋은 옵션입니다. 이러한 패키지는 실리콘 표면에 I/O를 만들어서 웨이퍼에 직접 제작됩니다. **그림 15**에 표시된 초소형 전류 센스 증폭기와 같은 WCSP는 컴팩트한 특징에도 불구하고 안정성을 보장하려면 개선이 필요합니다. 특수 오버코트가 PCB의 기계적 응력으로부터 칩을 보호하며, 최적화된 금속공학을 통해 열 응력과 굽힘 및 낙하와 같은 잠재적인 기계적 시험을 견딥니다. 회사 블로그 **패키징의 힘**을 읽고 엔지니어가 더 작은 설계를 만드는 데 TI가 어떤 도움을 주는 지 알아보세요.

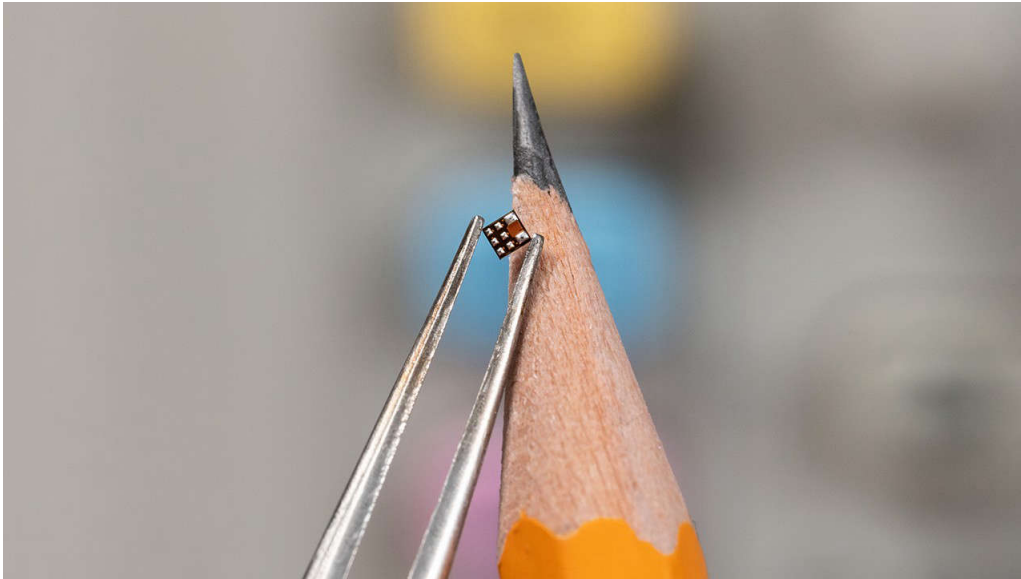


그림 15. EZShunt™ 패키지 기술이 적용된 INA700 전류 센스 증폭기는 1.2mm x 1.33mm WCSP 패키지로 제공되며, 총 면적은 1.637mm²입니다. 통합된 2mΩ 구리 리드프레임은 셉트 저항 역할을 합니다.

정밀 솔루션

전압 레퍼런스 또는 클럭 등의 정밀 장치는 전통적으로 비용이 많이 들고 응력이 낮은 세라믹 패키지에 실장되었습니다. 이제는 높은 수준의 정밀도와 성능을 유지하면서 TSSOP(Thin-Shrink Small-Outline Package)와 같은 보다 경제적인 플라스틱 패키지로 정밀 장치를 생산할 수 있습니다. 또한 실리콘 위에 있는 저응력 몰드 컴파운드와 버퍼 레이어는 성능을 더욱 향상시킵니다. 오실레이터, 클럭 및 타이밍 회로에서 TI의 **BAW(벌크 탄성파) 기술**은 보드 공간을 줄이고 높은 주파수에서 타이밍 정확도를 개선합니다.

그림 16에서는 패키지 응력을 디커플링하여 높은 정밀도를 구현하는 저계수 물질을 사용하는 BAW 기반 클록의 교차 섹션을 강조해서 보여줍니다.

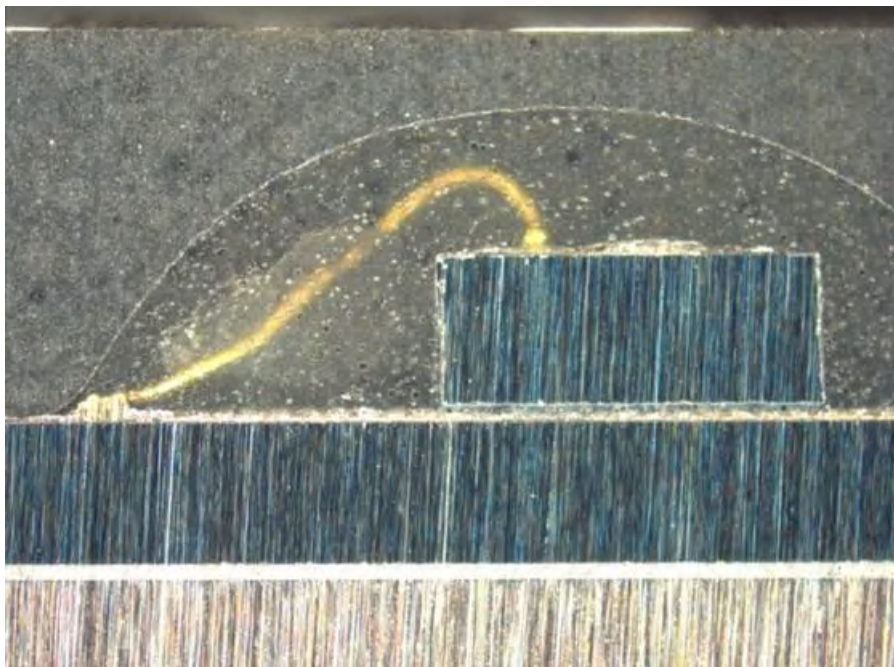


그림 16. 실리콘 회로에서 패키지 응력을 디커플링하여 넓은 온도 범위에서 일관되고 정확한 타이밍 성능을 지원 TI의 BAW 기술이 적용된 저계수 물질로 싸인 민감한 클록 칩의 교차 섹션.

고전압

650V를 초과하는 전압에서 작동하는 장치를 만드는 데에는 특별한 어려움이 있습니다. 패키지 외부의 아크를 방지하려면 리드 간격 및 패키지 설계에 대한 엄격한 산업 표준을 준수해야 합니다. 내부적으로 특수 몰드 컴파운드와 같은 물질은 고온, 다습 및 큰 바이어스 전압의 장기간에 걸친 영향에서 유전 파괴를 방지해야 합니다. 패키지 구조의 정밀한 전기장 분석은 패키지 내 아크를 방지하는 데 도움이 됩니다.

그림 17에서는 특수 고전압 플라스틱 및 리드 간격을 사용하는 QFN 패키지의 LMG3624 650V, 170mΩ GaN FET를 보여줍니다. 또한 드라이버 및 보호 기능이 통합된 LMG3650R035 650V, 35mΩ GaN FET는 열 패드가 포함된 TOLL(Transistor Outline LeadLess) 패키지에서 뛰어난 열 발산 기능과 함께 최대 36A의 전류를 지원합니다.

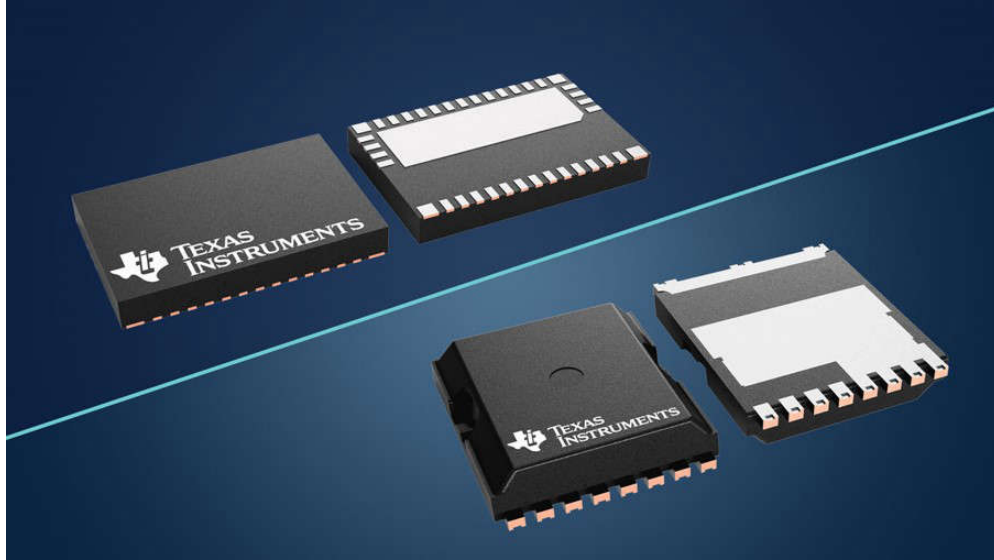


그림 17. 650V, 170mΩ GaN FET는 QFN 패키지를 사용하여 소형화를 지원하고 고전압을 제공하기 위해 리드 간격을 유지합니다. TI의 TOLL 패키지에 열 패드가 내장된 650V, 35mΩ GaN FET는 향상된 열 관리로 더 높은 전류를 제공합니다.

절연

전자 제품 설계 시의 절연은 전압이 수천 볼트를 초과할 수 있는 전기 자동차, 로봇 및 기타 애플리케이션에서 매우 중요합니다. 절연 패키징은 안전성을 확보하고 시스템을 보호하는 데 도움이 됩니다. 200V를 초과하는 전압의 경우, 실리콘에 대한 와이어 본드의 모양과 와이어의 궤적이 중요합니다. 실리콘에 너무 가까운 와이어는 절연 장벽을 가로질러 아크 발생 경로를 만들 수 있습니다. 그림 18은(는) 패키지에서 신호 및 전력을 공유하고 패키징을 통해 절연 장벽을 통과하는 전압을 절연하는 TPSI3050-Q1 절연 스위치 드라이버를 보여줍니다.

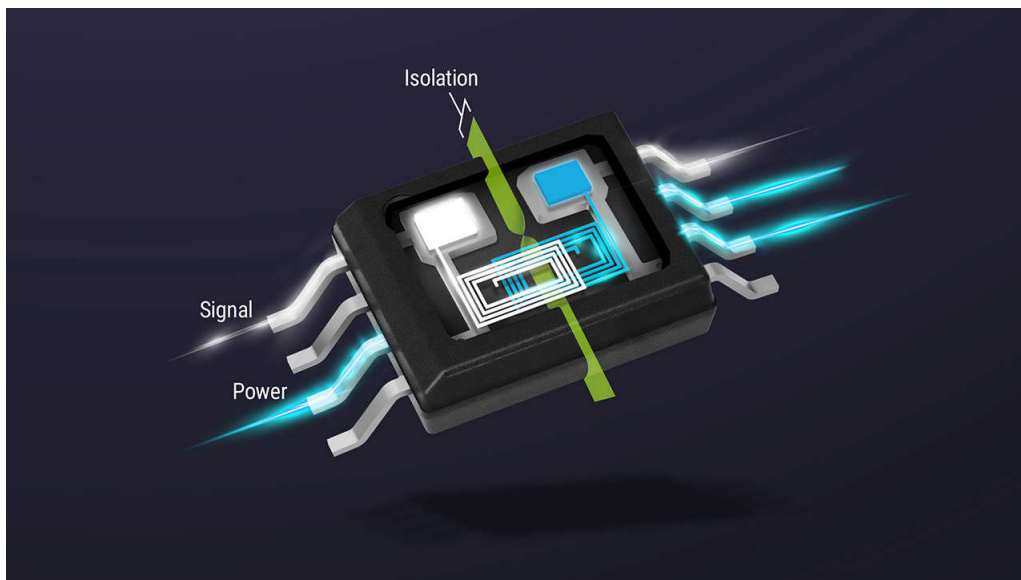


그림 18. 자기 절연을 사용하면 절연 장벽에 걸쳐 전력과 신호를 모두 안정적으로 전달할 수 있습니다.

하나의 패키지에 다중 칩 탑재

일부 설계는 여러 개의 실리콘 노드를 하나의 패키지에 통합하는 기능을 통해 이점을 얻을 수 있습니다. 예를 들어 **BQ40Z50-R2(그림 19 참조)** 같은 배터리 관리 칩은 실리콘을 적층하여 저비용 로직과 플래시 메모리 및 고정밀 전압 측정 을 결합합니다.

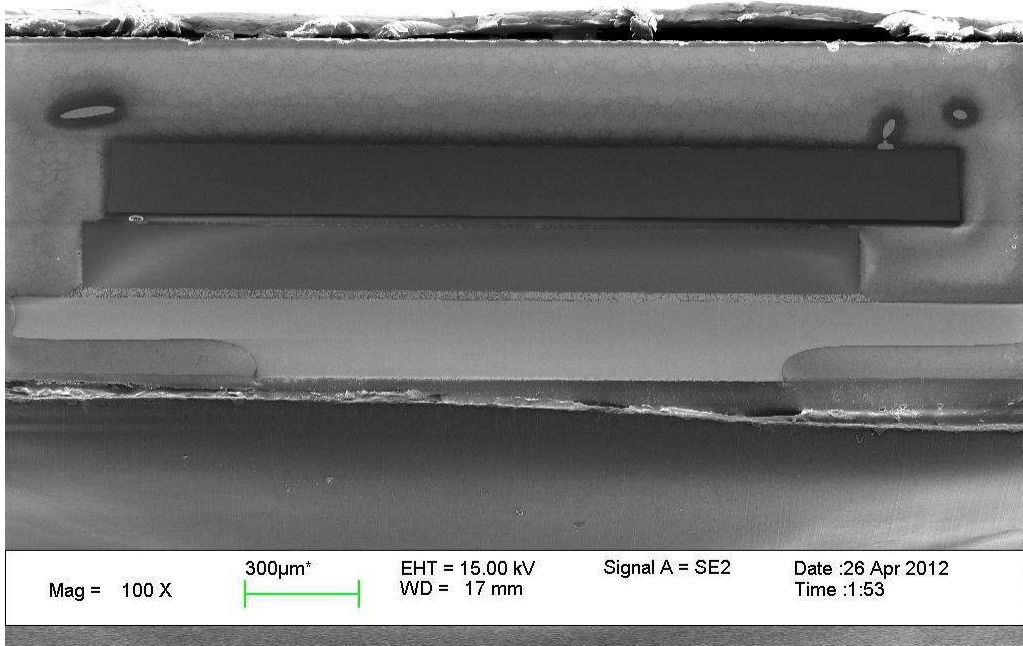


그림 19. TI의 BQ40Z50-R2 배터리 관리 IC는 단일 패키지에서 2개의 실리콘 기술을 보여줍니다.

다중 칩 패키징도 장치의 실리콘 밀도를 높일 수 있습니다. **그림 20**에서는 여러 개의 칩을 적층하여 아날로그 프론트 엔드 장치에서 사용 가능한 채널을 두 배로 늘려 실리콘 면적이 패키지의 물리적 풋프린트를 초과하는 방법을 보여줍니다.

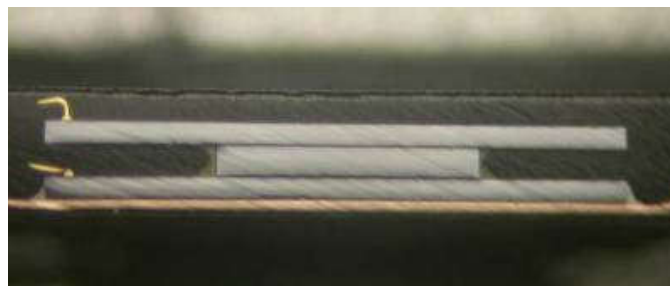


그림 20. 실리콘 적층을 통해 밀도가 증가된 다중 칩 아날로그 프론트 엔드 패키지.

그림 21에서는 각 칩을 각 리드에 연결하는 두 개의 와이어가 있는 아날로그 프론트 엔드 패키지의 평면도를 보여줍니다.

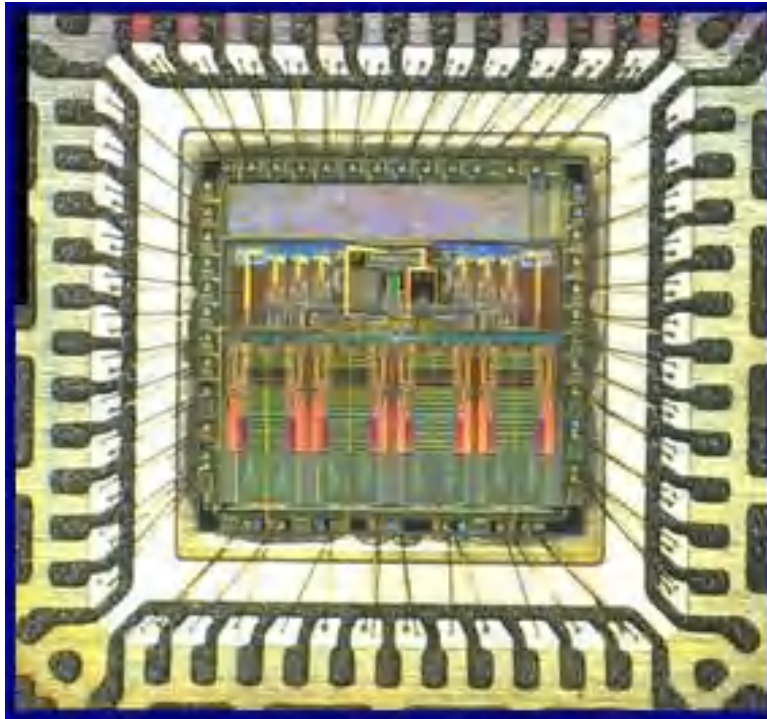


그림 21. 아날로그 프론트 엔드 패키지의 평면도.

패키징 안정성 테스트

안정성은 제품의 수명, 성능 및 전반적인 시스템 비용에 직접적인 영향을 미칩니다. TI는 JEDEC(Joint Electron Device Engineering Council), AEC(Automotive Electronics Council) 및 QML(공인 제조업체 목록)과 같은 산업 표준을 충족하는 **엄격한 안정성 테스트**를 수행하여 차량용, 공장 자동화 및 우주 등의 애플리케이션에서 장시간 일관되게 작동하는 고품질 제품을 제공합니다.

TI는 다양한 시장과 애플리케이션의 요구 사항을 해결할 수 있도록 맞춤형 다양한 패키지 기술을 갖추었으며 아날로그 제품 제조에 대한 깊은 전문 지식을 보유하고 있습니다. 극한의 온도 차이가 있는 차량용 환경을 설계하든, 산업용 공장 로봇이나 초소형 개인용 전자 제품을 설계하든, 설계 엔지니어는 환경 스트레스를 견딜 수 있는 IC 패키지가 필요합니다. TI는 열 성능과 장기 안정성을 갖춘 패키지를 포함하여 엄격한 설계 및 안전 요구 사항에 맞는 패키지를 개발합니다.

그림 22에서는 고온 작동 수명 테스트를 진행 중인 여러 패키지를 보여줍니다.

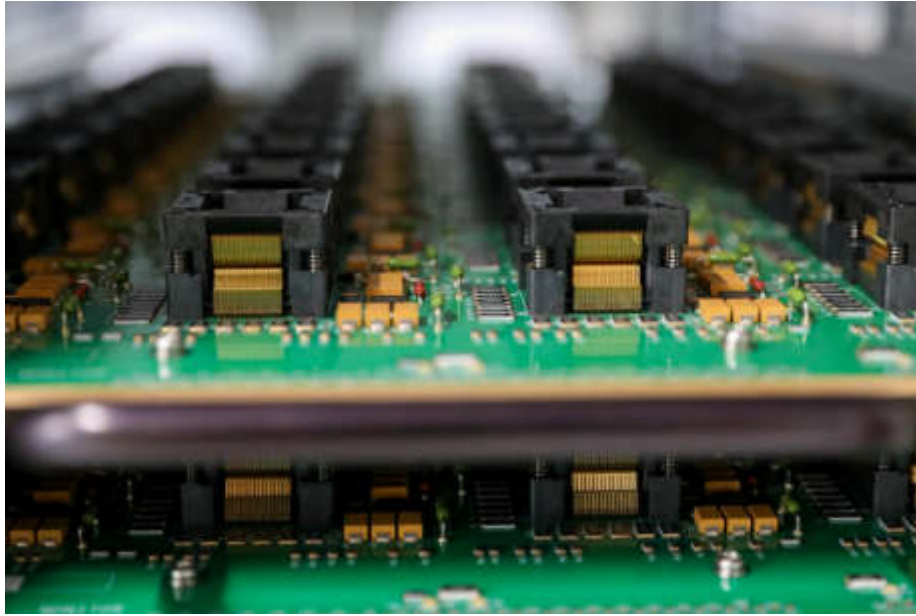


그림 22. 여러 패키지를 보드의 테스트 소켓에 장착한 상태로 고온에서 작동 수명을 평가하는 고온 테스트가 TI의 조립 및 테스트 시설 중 하나에서 진행 중.

우주 등급 패키지

우주 등급 장치는 우주의 극한 조건에서 작동하도록 QML 클래스 V(QML-V) 세라믹 및 QML 클래스 P(QML-P) 플라스틱 패키지를 포함한 QML 인증 패키지를 사용하여 설계되었습니다. 그림 23에서는 QML-V 세라믹 패키지 및 QML-P 플라스틱 패키지를 보여줍니다.

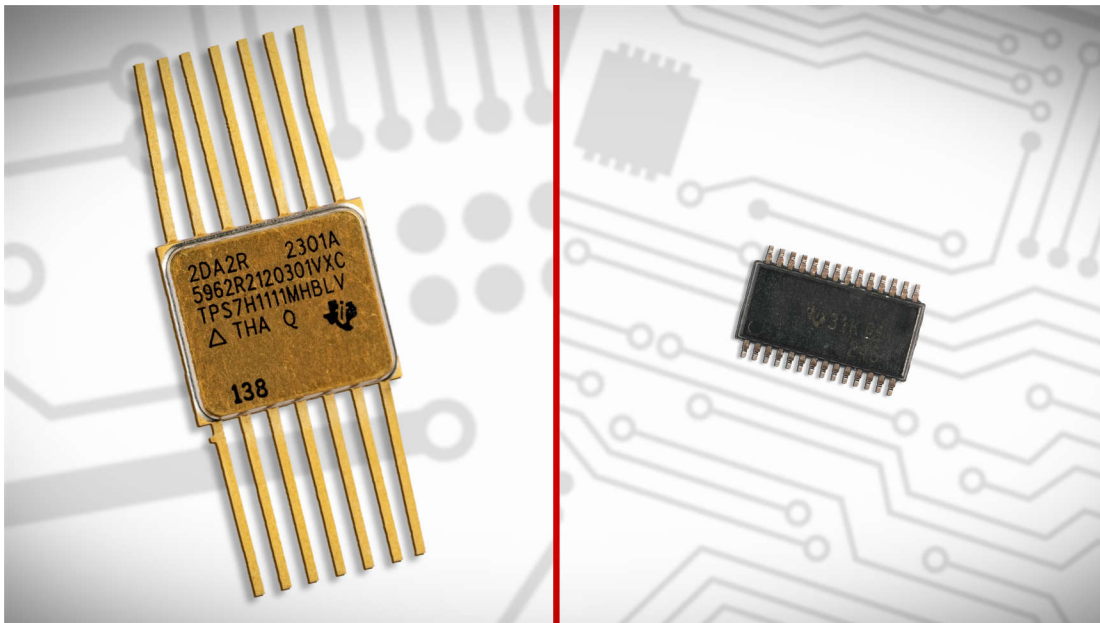


그림 23. TI는 QML 패키징 역량을 바탕으로 QML-V 세라믹 및 QML-P 플라스틱 패키지를 포함한 우주 등급 설계용 아날로그 제품을 판매할 수 있습니다.

확장된 번인 테스트 및 로트 단위 인증을 비롯한 방사능 저항 기술을 사용하면 우주 등급 부품이 QML 인증의 엄격한 요구 사항을 충족할 수 있습니다. **그림 24**에서는 우주 등급 패키지가 테스트를 위해 방사능에 노출되는 방법을 보여줍니다.

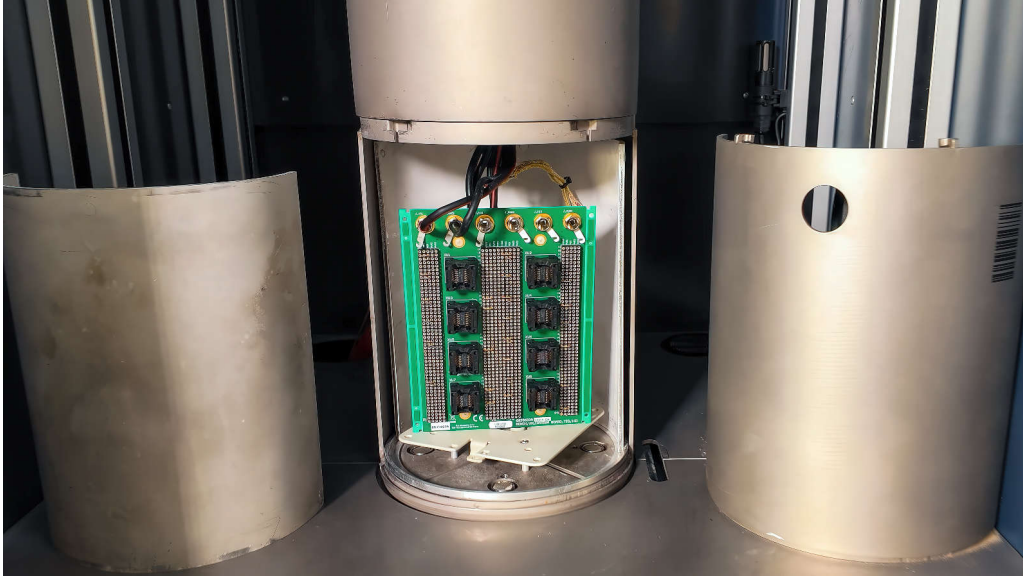


그림 24. 고안정성 패키지의 방사능 저항 테스트.

특정 애플리케이션의 PCB에서 최고의 성능을 발휘할 장치 및 패키지를 고려할 때는 안정성 요구 사항의 균형을 유지하는 방법을 이해하는 것이 중요합니다. 궁극적으로, 제품 및 패키징 테스트는 TI가 전 세계 고객에게 발송할 제품을 준비하는 데 도움이 됩니다. **그림 25**에서는 TI가 제품 유통 센터로 제품을 보내기 전에 TI 시설에서 진행하는 최종 테스트를 보여줍니다.

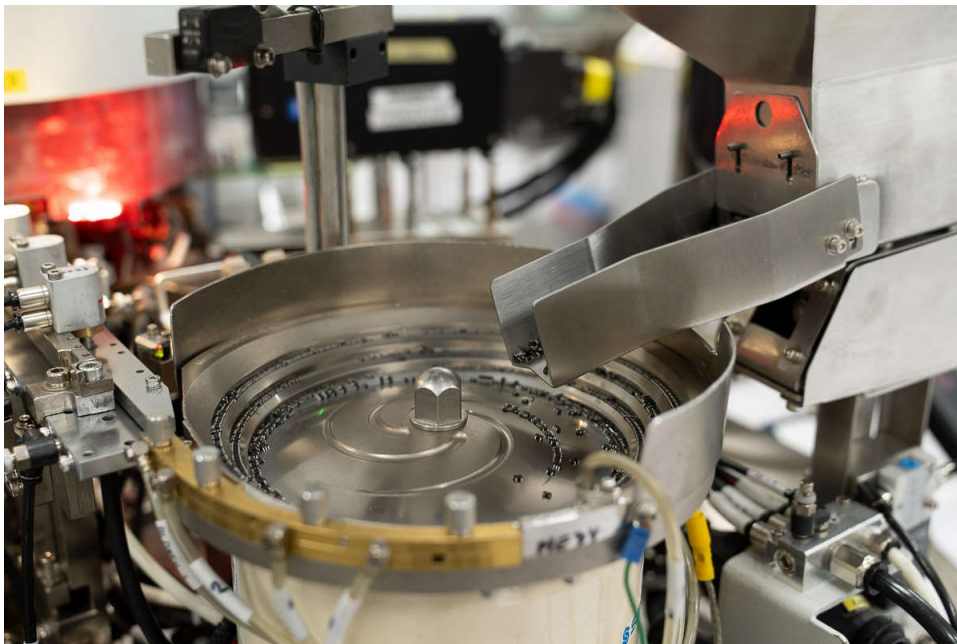


그림 25. 패키징의 마지막 단계에서 모든 TI 제품은 발송 준비를 위해 테스트됩니다.

결론

더 작고 더 컴팩트한 설계를 요구하는 추세는 계속 커져 갈 것입니다. 아날로그 패키징의 발전을 통해 엔지니어는 더 많은 기능을 더 작은 폼 팩터에 통합하면서 높은 수준의 정밀도와 성능을 유지하여 사용자 경험을 향상하고 새로운 설계 가능성을 창출할 수 있습니다. 이제 에너지 및 컴퓨팅 시스템에는 650V를 초과하는 전압을 견딜 수 있고 고온, 다습 및 높은 바이어스 전압에 장기간 노출되어도 효율적으로 작동할 수 있는 특수 몰드 컴파운드로 패키징된 장치가 필요합니다. 차량용 시스템, 산업용 자동화 및 헬스케어 장치는 악조건, 극한의 온도, 진동 및 전자기 간섭과 같은 다양한 환경 조건을 견딜 수 있는 패키지의 보다 안정적인 반도체 솔루션이 필요합니다.

TI는 내부 제조 및 기술에 대한 투자를 통해 전체 제조 프로세스를 더욱 효과적으로 통제할 수 있게 되었으며, 동시에 비용도 절감할 수 있게 되었습니다. 특정 애플리케이션 요구 사항에 맞게 패키징 솔루션을 최적화하여 TI는 최고 수준의 품질 및 안정성을 달성함과 동시에 새로운 설계 접근 방식과 기술을 탐색함으로써 혁신을 주도하고 변화하는 업계 요구를 충족할 수 있습니다.

추가 리소스

- [TI 패키지 찾기](#).
- [패키징에 대한 TI의 혁신적인 접근 방식](#)에 대해 자세히 알아보기.
- [회사 블로그 패키징의 힘](#) 읽어보기.

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

HotRod™ and MagPack™ are trademarks of Texas Instruments.
모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated