

# CDCE62005 锁相环电路设计与应用

Steven Shi

China Telecom Application Team

## 摘 要

CDCE62005 是一个内置高性能 VCO 的时钟锁相环，具有非常好的相位噪声性能（均值抖动 $<1\text{ps}@10\text{KHz}-20\text{MHz}$ ），可通过 SPI 接口配置不同的分频系数、电流增益及部分的电阻电容值选择等，电路设计中可灵活地改变环路参数，以满足不同应用系统的需求。

本文通过介绍 CDCE62005 的工作特点，分析如何优化设计 CDCE62005 锁相环电路。通过把环路简化为二阶和三阶模型，在获得最佳的锁相环性能下推算环路参数和元器件参数之间的关系，并对实际 4 阶的 CDCE62005 锁相环电路进行仿真分析和实验测试，证明该简化是正确。

## 目 录

1	概述.....	3
2	CDCE62005 介绍.....	3
	2.1 工作原理.....	3
	2.2 CDCE62005 器件特点.....	4
3	CDCE62005 锁相环电路分析.....	5
	3.1 环路参数与元器件参数.....	5
	3.2 噪声模型.....	8
	3.3 设计步骤.....	9
4	CDCE62005 锁相环电路设计.....	10
	4.1 获取元器件参数.....	11
	4.2 仿真分析.....	11
	4.3 实验测试.....	13
5	总结.....	13
6	参考资料.....	14

## 图

1	CDCE62005 内部框图.....	3
2	4 阶 2 型锁相环电路模型.....	4
3	最佳稳定系统的环路相位裕量与开环 0dB 带宽.....	6
4	锁相环噪声模型.....	7
5	典型锁相环噪声传递特性.....	8
6	参考时钟输入的相噪曲线.....	9
7	开环传递函数.....	12

*Overwrite this text with the Lit. Number*

---

8	闭环传递函数-----	12
9	CDCE62005 输出 125MHz 相位噪声-----	13

Preliminary

## 1 概述

锁相环可以作为抖动滤除器、频率合成器、时钟同步跟踪等，在通信系统、医疗设备和电子仪器等领域有着广泛的应用。在锁相环设计中，以往通常采用分立锁相环电路，即把锁相环环路的不同模块分别用相应的元器件、或集成电路实现。随着集成电路工艺在速度和集成度方面的进展，锁相环电路的集成化程度也越来越高。目前，这种将锁相环的不同模块电路或全部模块电路集成在一个硅片上的单片锁相环芯片，在电子产品，特别是通信产品上的应用越来越广泛。

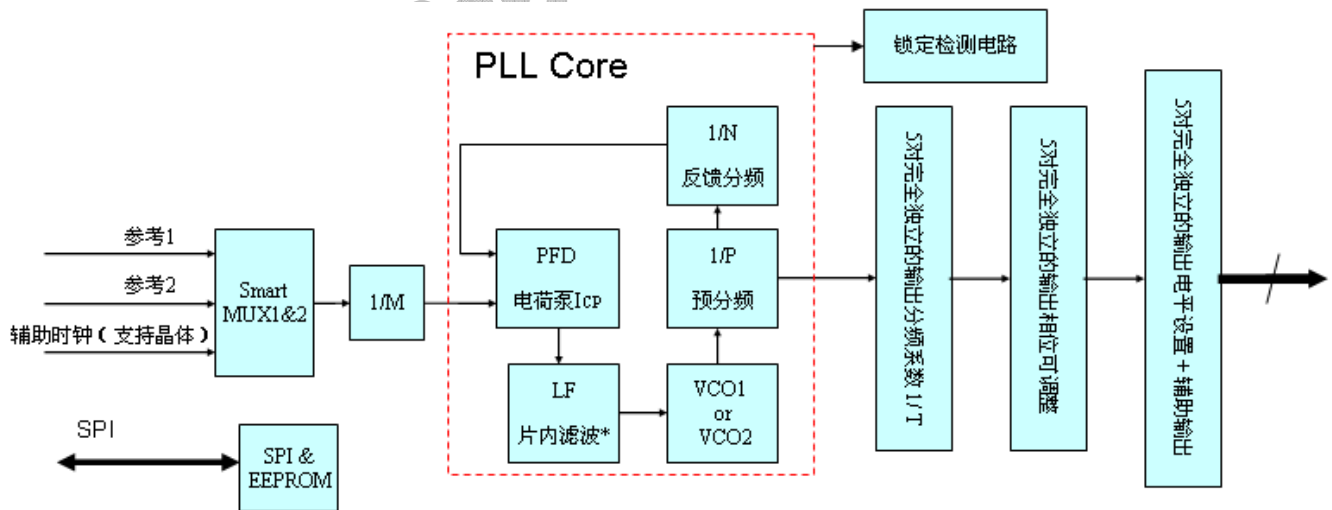
CDCE62005 是一个内部集成高性能 VCO 的单芯片时钟锁相环器件，提供非常灵活的可编程配置，包括参考分频和本振反馈系数、输出分频系数、电荷泵电流幅度、时钟输入和输出电平接口、3 路输入参考源切换等，非常适合于无线通信架构、高速串行链路的应用。

## 2 CDCE62005 介绍

本小结讨论 CDCE62005 锁相环芯片工作原理，以及关于该芯片的器件特点，便于理解和应用 CDCE62005 锁相环芯片。

### 2.1 工作原理

参考图 1，CDCE62005 锁相环核心组成部分：PFD/电荷泵、LF 有源低通滤波电路、内部双 VCO 压控振荡器、预分频和反馈分频电路。



\*: CDCE62005也可支持片外滤波，以设计几十KHz以下的环路带宽参数

图 1 CDCE62005 内部框图

CDCE62005 锁相环的工作原理：鉴频鉴相器 PFD 是一个相位和频率比较装置，它比较经分频（1/M）后的参考时钟输入信号和压控振荡器 VCO 经分频（1/P 和 1/N）后输出信号的相位，产生了反映输入参考信号与 VCO 输出信号之间相位差的脉冲信号，用于打开或关闭芯片内部的电荷泵，即把电压脉

冲信号转换为电流脉冲信号  $I_{CP}$ 。CDCE62005 芯片内部集成了环路滤波器 LF，该滤波器的传递特性是阻抗（即输入电流，输出电压），由片内不同组合的电阻、电容构成滤波器的零、极点，同时也支持外接电阻、电容构成更低零极点的滤波电路，实现电路是一个有源低通滤波器，用于滤除相位差信号中的高频成分和噪声，得到压控振荡器的控制电压，以保证环路所要求的性能，增加环路的稳定性。压控振荡器 VCO 是一个电压与频率的转换器，根据不同的控制电压产生不同的输出频率，在负反馈系统中调整 VCO 的输出频率与输入信号频率近似或相等，同时输入和反馈信号的相位误差稳定，即环路进入锁定状态。

## 2.2 CDCE62005 器件特点

CDCE62005 作为单芯片锁相环时钟电路解决方案，电路还包括参考时钟输入选择和分频、锁相环锁定检测指示、5 对独立的输出信号选择开关、5 对独立的输出信号分频系数设置、2 对参考时钟输入和 5 对时钟输出的 I/O 电平配置、支持一路辅助时钟输入（可采用晶体）和一路辅助时钟输出电路（可选择来自通道 3 或通道 4 的输出）、以及支持 SPI 接口的寄存器可编程配置和在芯片 EEPROM 等，便于开发者在设计过程中调试及更改环路参数的设置。

CDCE62005 锁相环电路主要设计技术指标：

- 1) 内部集成双 VCO，保证足够宽的压控范围，同时又能确保 VCO 噪声性能。频率调整范围：1.75GHz~2.35GHz，自由振荡抖动指标 <math>1\text{ps rms}</math> (12KHz~20MHz)
- 2) 内部集成三阶低通滤波电路，可支持的时间常数最大为 60us，并可支持外部电阻、电容组成更宽环路带宽的电路设计（最小可以支持几百 Hz 的环路带宽）
- 3) 电荷泵电流可调范围宽：50uA~3.75mA
- 4) 总共有三对参考时钟输入选择，支持自动无缝切换或手工强制切换。其中两对参考时钟的电平可以配置为差分（支持片内匹配）或单端，输入范围是 40KHz~1.5GHz（LVPECL 电平）；另一路支持晶体，提供时钟保持功能，输入频率范围 2MHz~42MHz，LVCMOS 输入范围 2MHz~75MHz
- 5) 总共有 5 对差分输出和 1 对单端输出，5 对差分输出可以任意配置为 LVPECL、LVDS 电平，或每对差分输出可独立配置为两个单端输出。每对差分输出对可任意选择来自内部锁相环核、参考时钟源等，可支持的输出频率范围为 4.25MHz~1.175GHz（当旁路内部 PLL 时，可输出最高频率达 1.5GHz）
- 6) 参考时钟输入支持的分频系数范围为 1~4096，锁相环内部反馈系数范围 16~128000，每对输出通道分频范围 1~80
- 7) 支持输出相位调整功能，调整精度为  $P \times T / f_{vco}$
- 8) 锁定指示可支持数字，也可支持模拟检测
- 9) 在片集成 EEPROM，支持上电后自动加载寄存器配置，以提供准确的时钟输出
- 10) 不用的 I/O 和部分功能模块可以关断，同时支持芯片 power down 工作模式

### 3 CDCE62005 锁相环电路分析

由于锁相环是一个负反馈系统，若相位裕量不足，容易导致失锁；同时，CDCE62005 作为一种抖动滤除器，为保证输出低相噪、低抖动的时钟信号，满足日益苛刻的系统指标规格，在锁相环电路设计中必须充分考虑环路带宽和系统噪声特性。

在实际电路设计中，根据特定系统设计的要求，确定锁相环的环路带宽、相位裕量或阻尼系数等，需要能推导出环路元器件的参数选择。本节首先分析了 CDCE62005 锁相环环路参数与滤波电路元器件参数之间的关系，并分解了 CDCE62005 锁相环系统的噪声传递特性，有助于理解 and 设计 CDCE62005 锁相环电路。

#### 3.1 环路参数与元器件参数

CDCE62005 锁相环作为一款抖动滤除器或倍频器，在设计锁相环电路中，闭环的环路带宽（或 3dB 带宽）跟输出噪声密切相关，开环的 0dB 带宽与环路稳定性密切相关，下面主要推导锁相环几个主要参数间的关系（阻尼系数、环路带宽、0dB 带宽、相位裕量），以及在环路参数确定情况下如何选择滤波器元器件参数，及相关联的环路增益参数等。

##### 3.1.1 锁相环闭环特性

把 CDCE62005 锁相环核心部件等效如图 2 所示的反馈控制模型。低通滤波器 LF 是一个阻抗的传递特性，则其传递函数  $F(s)$  可表达为式子 (1)，包含三个极点和一个零点的低通滤波器。电容 C1 和 C3 组成的两个非零极点，作用在低通滤波器带宽以外能更有效的对输入信号噪声进行滤除，包括对鉴相毛刺的抑制。

$$F(s) = \frac{Vc(s)}{Icp(s)} = \frac{1 + s \cdot R_2 C_2}{s \cdot (C_1 + C_2) \cdot (1 + s \cdot R_2 \frac{C_1 \cdot C_2}{C_1 + C_2})} \cdot \frac{1}{1 + s \cdot R_3 \cdot C_3} \quad (1)$$

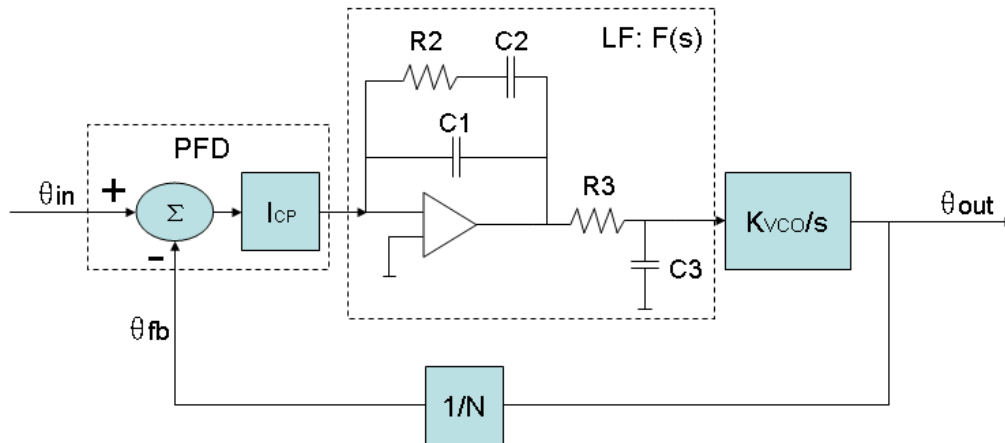


图 2 4 阶 2 型锁相环电路模型

在低通滤波器设计中，两个非零极点通常要求至少大于 5 倍的环路带宽，同时压控振荡器 VCO 包含有一个积分环节（即有一个零极点）。在锁相环电路分析，往往把低通滤波器中的两个非零极点忽略（ $C1 \ll C2$ ），即先不考虑  $C1$ 、 $R3/C3$  环节对环路动态性能的影响，此时可把锁相环负反馈系统电路简化为一个二阶系统，通过阻尼系数、环路带宽等参数表征锁相环的跟踪特性，等效的二阶环路闭环传递函数为式子（2）。

$$H(s) = \frac{\theta_{out}(s)}{\theta_{in}(s)} = \frac{I_{CP} \cdot K_{VCO} \cdot \frac{1+s \cdot \tau_2}{s \cdot C_2}}{s + I_{CP} \cdot K_{VCO} \cdot \frac{1+s \cdot \tau_2}{s \cdot C_2} \cdot \frac{1}{N}} \quad (2)$$

令： $T2=R2C2$ ， $K=Icp Kvco/N$ ，进一步把二阶 PLL 的闭环传递函数改为典型的二阶阻尼系统形式：

$$H(s) = N \cdot \frac{s \cdot \frac{K \cdot T_2}{C_2} + \frac{K}{C_2}}{s^2 + s \cdot \frac{K \cdot T_2}{C_2} + \frac{K}{C_2}} = N \cdot \frac{2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (3)$$

$$\text{其中，} \omega_n = \sqrt{\frac{K}{C_2}}, \quad \xi = \frac{\omega_n \cdot T_2}{2} = \frac{R_2 \cdot \sqrt{K \cdot C_2}}{2} \quad (4)$$

令  $|H(s)| = \frac{N}{\sqrt{2}}$ ，则可得环路 3dB 带宽为

$$W_{BW} = \sqrt{1 + 2 \cdot \xi^2 + \sqrt{1 + (1 + 2 \cdot \xi^2)^2}} \cdot \omega_n \quad (5)$$

从式子（4）看出，当环路增益  $K$  越大时，环路 3dB 带宽越大；电阻  $R2$  越大，环路带宽越大。当阻尼系数  $\xi$  大于 2 时，上式（4）可简化为  $W_{BW} = 2 \cdot \xi \cdot \omega_n = K \cdot R_2$ 。

### 3.1.2 锁相环开环特性

锁相环电路设计的一个重要参数是相位裕量，保证环路足够稳定性，因此需要分析 CDCE62005 锁相环的开环特性。在二阶环路中，系统一直不会处于自激振荡，但不同的相位裕量影响环路的动态响应特性，较小的相位裕量会导致较大的抖动传递峰值，这在很多系统中是不允许的；对于三阶或以上的环路，若电路参数选择不当时，相位裕量就可能为负值进而导致环路振荡。在图 2 电路中， $C3/R3$  滤波电路主要是滤除高频噪声，因此为了简化分析，通常假设由  $C3$  构成的非零极点大于由  $C1$  构成的非零极点 5 倍以上，此时可把图 2 的四阶环等效为三阶环处理。

$$G(s) = I_{CP} \cdot \frac{K_{VCO}}{s} \cdot \frac{1+s \cdot R_2 C_2}{s \cdot (C_1 + C_2) \cdot (1+s \cdot R_2 \frac{C_1 \cdot C_2}{C_1 + C_2})} \cdot \frac{1}{N} \quad (6)$$

同时参考 3.1.1，只考虑 2 阶环幅频关系（即忽略 C1 对环路性能的影响），同时用复频域的  $j\omega$  代替  $s$ ，则根据式子（6）可以得到近似的开环 0dB 带宽：

$$W_{0dB} = \sqrt{2\xi^2 + 1} \cdot \omega_n \text{-----(7)}$$

令  $T1=R2 (C1//C2)$ ，则可得到相位传递函数：

$$\Phi(j\omega) = \text{arctag}(\omega \cdot T_2) - \text{arctag}(\omega \cdot T_1) + 180 \text{-----(8)}$$

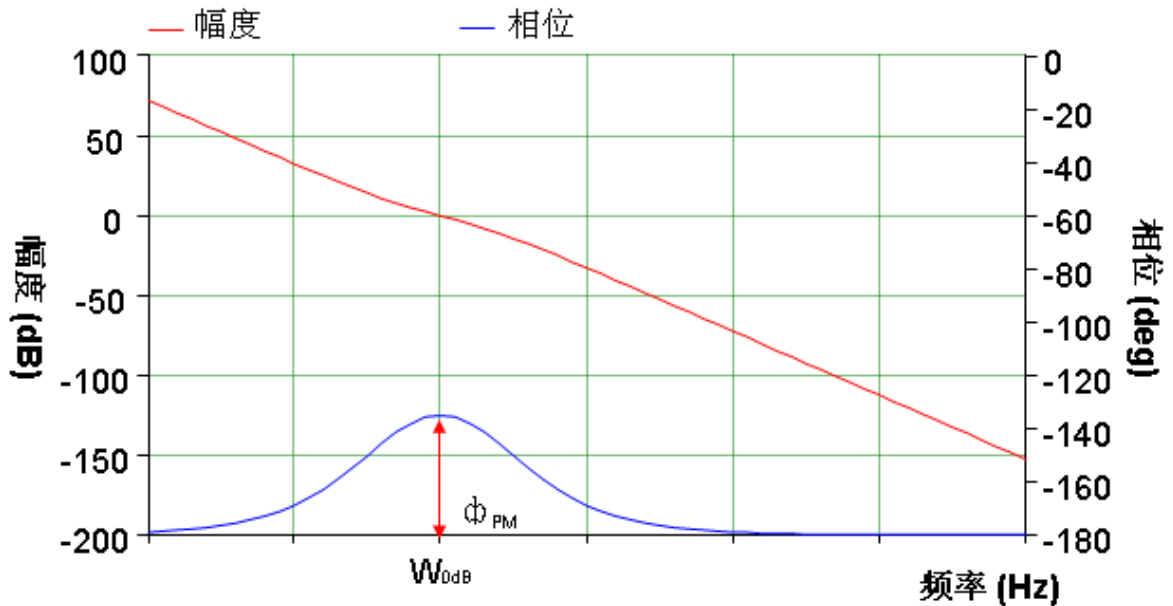


图 3 最佳稳定系统的环路相位裕量与开环 0dB 带宽

为了得到最佳的系统稳定性能，参考图 3 所示的开环波特图，0dB 带宽和相位裕量有一个约束关系：要求开环 0dB 带宽所对应的相位传递函数为极值（即斜率应为 0），则可以通过式子（7）求导得到 0dB 带宽和相应的相位裕量：

$$\frac{d\Phi(j\omega)}{d\omega} = \frac{T_2}{1+(\omega \cdot T_2)^2} - \frac{T_1}{1+(\omega \cdot T_1)^2} = 0 \text{-----(9)}$$

$$W_{0dB}|_{\text{最佳稳定系统}} = \frac{1}{\sqrt{T_1 \cdot T_2}} \text{-----(10)}$$

$$\Phi_{PM}(j\omega_{0dB}) = \text{arctg}(\omega_{0dB} \cdot T_2) - \text{arctg}(\omega_{0dB} \cdot T_1) \text{-----(11)}$$

根据式子（9）、（10），可以得到时间常数 T1 和 T2：

$$T_1 = \frac{\sec \Phi_{PM} - \text{tg} \Phi_{PM}}{W_{0dB}}; T_2 = \frac{1}{W_{0dB}^2 \cdot T_1} = \frac{1}{W_{0dB} \cdot (\sec \Phi_{PM} - \text{tg} \Phi_{PM})} \text{-----(12)}$$

根据时间常数 T1 和 T2，结合式子（5），可以推算得到低通滤波器元器件的参数。

Overwrite this text with the Lit. Number

$$C_1 = \left(\frac{T_1}{T_2}\right) \cdot \left(\frac{K}{w_{0dB}}\right) \cdot \sqrt{\left[\frac{1+(w_{0dB} \cdot T_2)^2}{1+(w_{0dB} \cdot T_1)^2}\right]} \text{-----(13)}$$

考虑到 T2 零点远小于 0dB 带宽, T1 极点远大于 0dB 带宽, 故 (13) 可简化近似为下式。

$$C_1 = (\sec \Phi_{PM} - tg \Phi_{PM}) \cdot \left(\frac{K}{w_{0dB}}\right) \text{-----(13')}$$

$$C_2 = C_1 \cdot \left[\left(\frac{T_2}{T_1}\right) - 1\right] = C_1 \cdot \left[\frac{1}{(\sec \Phi_{PM} - tg \Phi_{PM})^2} - 1\right] \text{-----(14)}$$

$$R_2 = \frac{T_2}{C_2} = \frac{1}{C_2} \cdot \frac{1}{w_{0dB} \cdot (\sec \Phi_{PM} - tg \Phi_{PM})} \text{-----(15)}$$

对于图 2 中的 CDCE62005 锁相环电路, 环路带宽可以设置在几百 Hz 到几百 KHz。在电路设计中, 通常要求尽可能地提高鉴相频率, 通过调整电荷泵电流调整开环增益 K, 以选择合适的滤波电路元器件参数值。对于 R3/C3 组成的低通滤波器, 进一步抑制高频噪声或鉴相毛刺, 当其截止频率大于环路带宽 10 倍以上或者小于 T1 时间常数 1/5 以上, 即要求  $R3C3 < 10/W_{BW}$  或  $R3C3 < T1/5$ , 此时对环路的整体动态性能影响可忽略。CDCE62005 只支持内部集成了 R3 和 C3 元器件, 可以从中选择合适的参数。

### 3.2 噪声模型

锁相环电路的噪声与干扰来源主要有两类 (参考图 4) :

- 1) 与参考时钟一起进入环路的输入噪声与谐波干扰。如: 输入参考源或信道产生的高斯白噪声、鉴相器输出的调制噪声、分频器噪声等;
- 2) 环路组件产生的噪声与谐波干扰。如: PFD 和电荷泵噪声、分频器噪声、VCO 固有的噪声等。

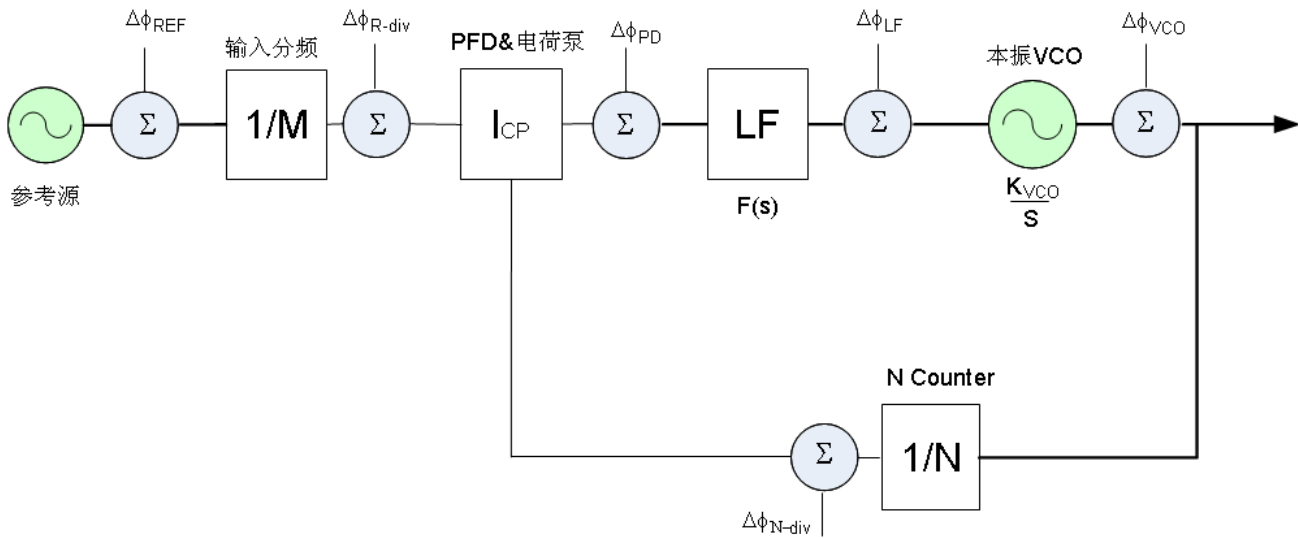


图 4 锁相环噪声模型



其中，参考输入噪声、分频器噪声、鉴相噪声等对整个环路来说是低通特性，即噪声的高频成份将被环路滤除；低通滤波器 LF 的噪声，具有带通特性，在环路带宽附近是带通，而高频或低频成份被环路带通特性抑制；本地振荡器产生的 VCO 噪声则是高通特性，低频成份通过环路的负反馈调节后被抑制掉，高频成份则通过环路输出。

在设计高精度锁相环，必须正确评估各部分电路的噪声特性，合理设计低通滤波器的零极点，折中选取环路带宽  $W_{BW}$ 。较小的  $W_{BW}$  有利于抑制输入噪声，但会降低抖动容限性能；较大的  $W_{BW}$  对输入抖动噪声抑制不足，但环路高通性能好，滤除 VCO 噪声的能力较强。若要最优化锁相环输出噪声，通常要求环路带宽  $W_{BW}$  选在两噪声源谱密度交叉点对应的频率附近，保证环路输出的相位噪声最小。

图 5 是典型的锁相环噪声频谱分布图，带宽内，主要噪声成份是参考时钟噪声、分频器噪声、PFD 和电荷泵噪声；带宽外，主要噪声源来自 VCO；在带宽附近，LF 滤波器的噪声是一个重要来源。图 6 为典型的锁相环噪声传递特性。

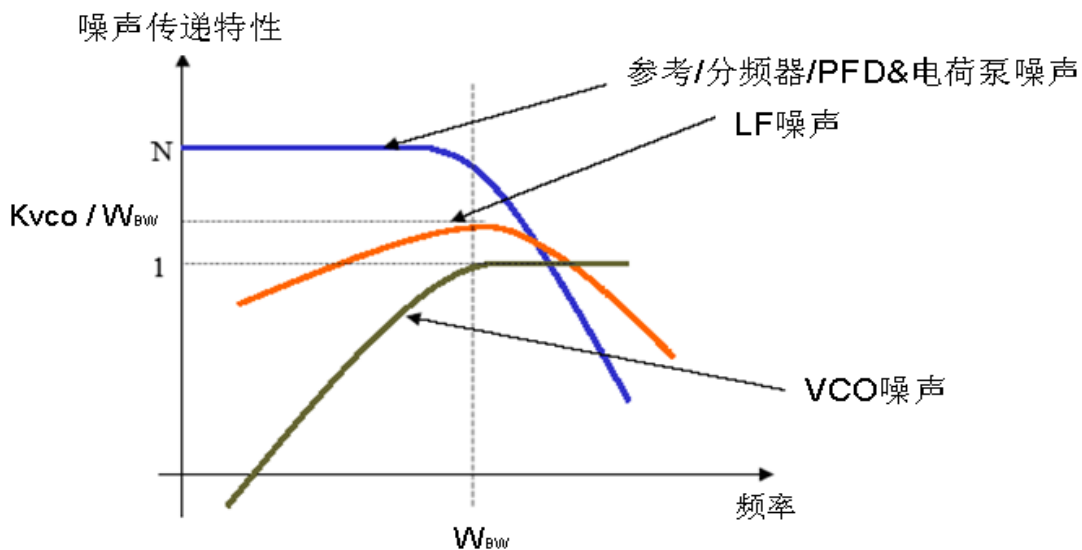


图 5 典型锁相环噪声传递特性

### 3.3 设计步骤

CDCE62005 锁相环电路的设计步骤一般为：

- 1) 根据锁相环应用场合，综合考虑锁相环噪声、环路稳定性、锁定时间等，选择合适的开环 0dB 带宽和相位裕量等。
- 2) 获取环路基本参数：如鉴相频率（即确定反馈分频系数  $N$ ）、 $K_{vco}$ 、 $I_{cp}$  等。
- 3) 根据式子 (12)、(13')、(14)、(15) 计算出滤波电路的时间常数、和电阻电容参数值。
- 4) 根据式子 (4) 计算阻尼系数  $\xi$  和自然角频率  $\omega_n$ ；根据式子 (5) 计算得到环路 3dB 带宽  $W_{BW}$ 。

- 5) 若环路 3dB 带宽和开环 0dB 带宽相差较大, 可校正开环 0dB 带宽参数。保持开环增益和相位裕量参数不变, 参考式子 (13')、(14) 和 (15), 按照 0dB 带宽的变化比相应地调整电容 C1 和 C2 即可, 电阻 R2 可保持不变。(也可在 0dB 带宽变化条件下, 重复上面 2) 到 4) 之间的步骤, 得到优化后的环路参数)
- 6) 根据  $W_{BW}$  和时间常数 T1 确定 R3、C3 的参数选择 ( $R3C3 < 10/W_{BW}$ , 或  $R3C3 < T1/5$ ), 增强虑除鉴相毛刺能力。其中, R3 和 C3 是 CDCE62005 内部集成的, 在选择上有一定的限制。以上 3) 到 6) 的数学计算可以在 Matlab 或 Excel 工具提供的数学公式完成。
- 7) 运用上面分析获得的元器件和相关环路参数, 通过运行相关仿真工具, 分析完整的高阶锁相环的动态特性。
- 8) 根据上面计算得到的元器件参数值, 若要重新选择一组元器件参数, 根据式子 (13')、(14) 和 (15), 可适当开环增益 K 调整、优化元器件的参数。
- 9) 结合实际测试, 验证锁相环在系统应用中的性能, 可以进一步根据实验结果进行局部参数微调以得到最佳的性能。

## 4 CDCE62005 锁相环电路设计

通过一个例子, 介绍如何进行 CDCE62005 锁相环电路设计, 选择优化的环路元器件参数。

设参考时钟是 10MHz, 输出 125MHz, 系统总的要求是锁相环输出的均值抖动 (5KHz—30MHz) 小于 1.5ps。参考时钟信号的抖动较大, 在几十 KHz 附近有较大的噪声源, 如下图 6 所示, 均值抖动 (12KHz—5MHz) 为 59.6ps。

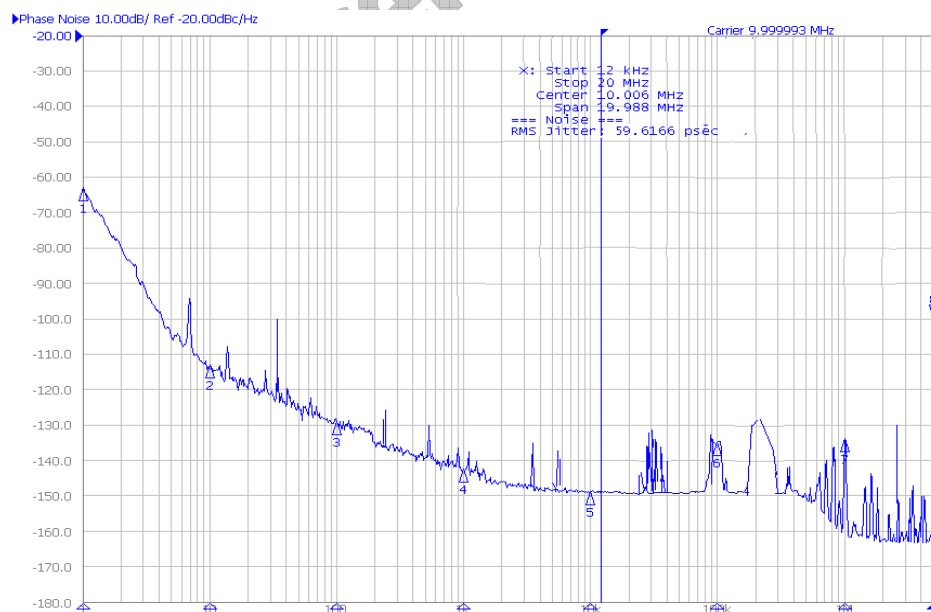


图6 参考时钟输入的相噪曲线

## 4.1 获取元器件参数

根据系统指标规格要求，可以把 0dB 环路带宽设置在 10KHz，相位裕量设置为 60 度，兼顾了抖动特性和环路动态特性。

鉴相频率为 10MHz， $I_{CP}=200\mu A$ ， $K_{VCO}=35MHz/V$ ， $F_{VCO}=2000MHz$ ， $N=200$ ， $W_{0dB}=10KHz$ ，则：  
 $K=35 \times 200 / 200 = 35 \text{ Rad A / V / Hz}$

$$T_1 = \frac{\sec \Phi_{PM} - tg \Phi_{PM}}{W_{0dB}} = 4.27 \times 10^{-6}; T_2 = \frac{1}{W_{0dB}^2 \cdot T_1} = 59.4 \times 10^{-6}$$

根据时间常数  $T_1$  和  $T_2$ ，结合式子 (13')、(14) 和 (15)，可以推算得到低通滤波器元器件的参数如下：

$$C_1 = (\sec \Phi_{PM} - tg \Phi_{PM}) \cdot \left( \frac{K}{W_{0dB}} \right) = 2.42nf$$

$$C_2 = C_1 \cdot \left[ \left( \frac{T_2}{T_1} \right) - 1 \right] = 30.7nf$$

$$R_2 = \frac{T_2}{C_2} = 1.93Kohms$$

$$\omega_n = \sqrt{\frac{K}{C_2}} = 33.76 \times 10^3, \quad \xi = \frac{\omega_n}{2} \cdot \tau_2 = 1.003$$

则可得简化二阶环环路的 3dB 带宽为

$$W_{BW} = \sqrt{1 + 2 \cdot \xi^2 + \sqrt{1 + (1 + 2 \cdot \xi^2)^2}} \cdot \omega_n = 13.34KHz$$

在本电路设计中，计算得到的环路 3dB 带宽符合设计指标规格的要求，本电路不做进一步修正。取电容、电阻的归一化参数，则：

$$C1=2.2nf, C2=33nf, R2=2Kohms。$$

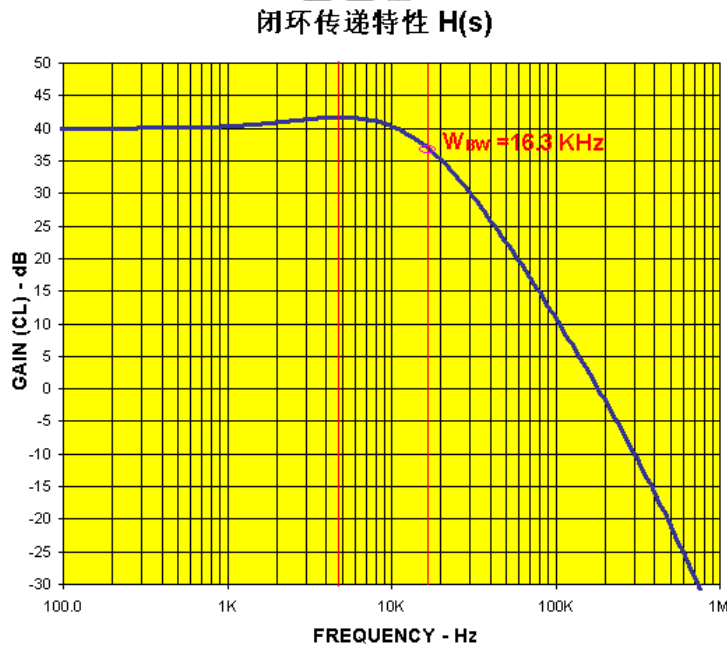
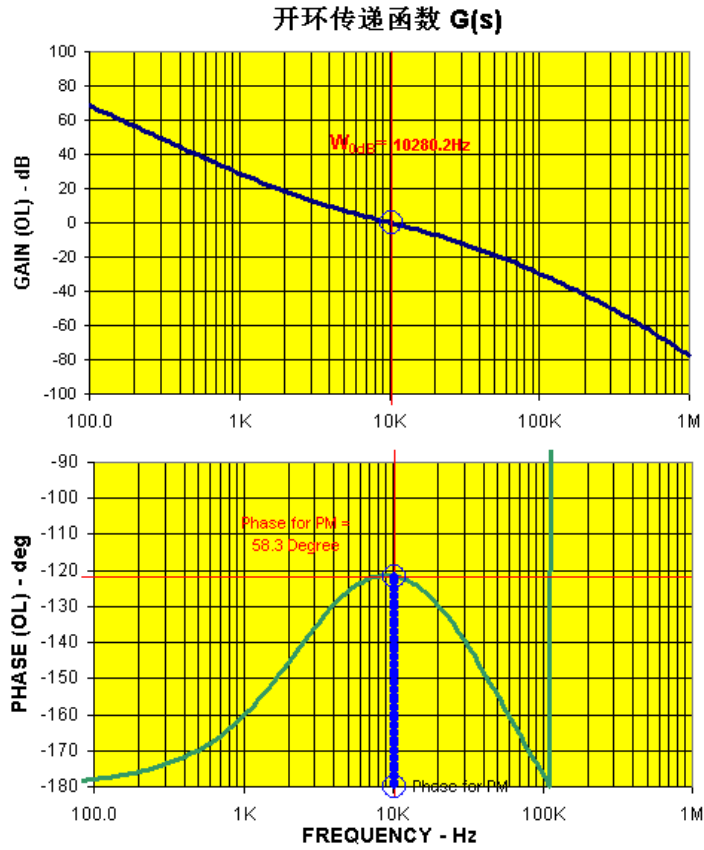
可取  $R3C3=T1/10=0.427 \times 10^{-6}$ ，同时选择 CDCE62005 内部的电阻  $R3$  为 5KHz，则内部集成的电容值取  $C3=83.5pf$ ，满足  $R3/C3$  滤波器的设计需求。

## 4.2 仿真分析

对上述得到的元器件参数，是基于简化的二阶或三阶环路模型分析的，实际电路设计中综合考虑了所有低通滤波环节的影响，通过参数仿真得到的开环传递函数和闭环幅频特性曲线如图 7 和图 8 所示。可以看出，仿真得到的开环 0dB 带宽为 10.28KHz，相位裕量为 58.3 度，与设计目标基本一致。同时闭环传递函数的 3dB 带宽为 16.3KHz，也非常接近简化的二阶环模型计算得到的数值。

本电路分析得到的元器件参数选择很好地满足预定设计目标，不需要做进一步的参数优化。

Overwrite this text with the Lit. Number



### 4.3 实验测试

在 CDCE62005 评估版上按以上分析得到的元器件参数和开环增益系数的配置，测试得到的相位噪声如图 9 所示，在（5KHz—30MHz）范围内均值抖动为 1.35ps，很好地滤除参考时钟的输入噪声（59ps），符合系统 1.5ps 指标的设计需求。

从图 9 可以看到，锁相环路带宽大概在十几 KHz，同时在 6KHz 偏置频率附近，存在一个抖动峰值，这与图 8 闭环传递函数的抖动峰值所处的频率范围非常吻合。

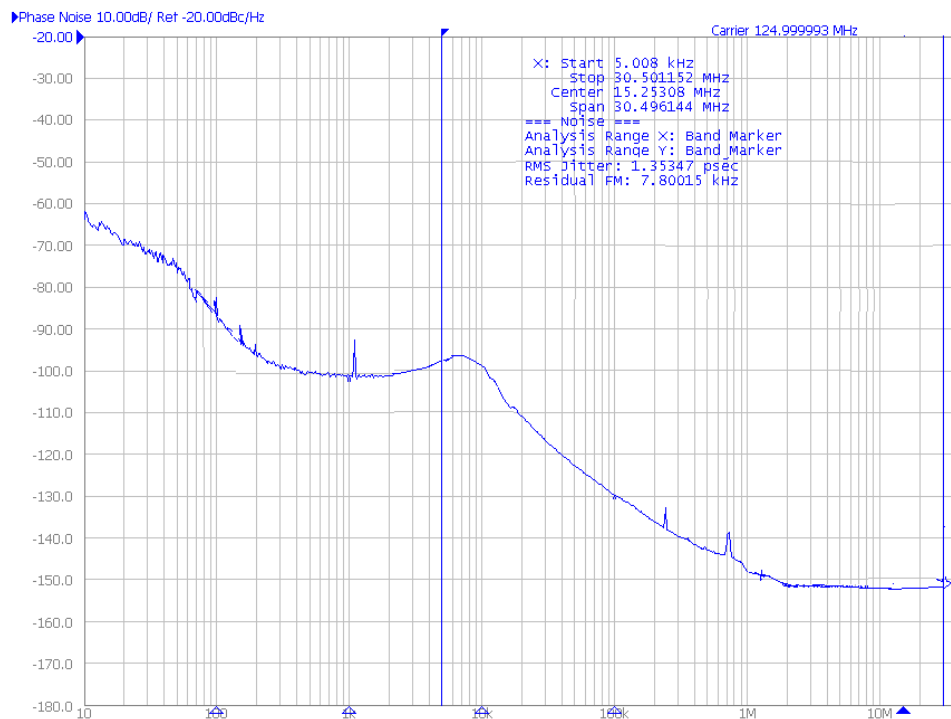


图 9 CDCE62005 输出 125MHz 相位噪声

## 5 总结

本文基于 CDCE62005 的工作原理和器件特点，详细分解锁相环电路设计的参数选择问题。由于 CDCE62005 内部采用 3 阶低通滤波器，整个环路总共 4 阶，系统复杂。根据简化模型理论分析得到的电路参数值，仿真实际高阶环的 CDCE62005 锁相环电路模型，得到的环路参数与设计目标非常吻合，与实验测试结果基本一致。

因此，在锁相环电路设计中，通过合理的简化推导，能迅速地根据环路参数，如环路 0dB 带宽、相位裕量等，确定环路的电荷泵电流和鉴相频率等，推导出环路低通滤波器的元器件参数值。同时，借用各种数学分析工具，如 Matlab、Excel 等工具可以自动计算获取电阻、电容值，能迅速有效地进行 CDCE62005 锁相环电路仿真分析和设计。

## 6 参考资料

1. CDCE62005 datasheet (scas858.pdf)
2. Roland E. Best, Phase Locked Loops: Design, Simulation, and Applications, 6th ed., McGraw-Hill Inc, 2007

Preliminary

## 重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

### 产品

放大器	<a href="http://www.ti.com.cn/amplifiers">http://www.ti.com.cn/amplifiers</a>
数据转换器	<a href="http://www.ti.com.cn/dataconverters">http://www.ti.com.cn/dataconverters</a>
DSP	<a href="http://www.ti.com.cn/dsp">http://www.ti.com.cn/dsp</a>
接口	<a href="http://www.ti.com.cn/interface">http://www.ti.com.cn/interface</a>
逻辑	<a href="http://www.ti.com.cn/logic">http://www.ti.com.cn/logic</a>
电源管理	<a href="http://www.ti.com.cn/power">http://www.ti.com.cn/power</a>
微控制器	<a href="http://www.ti.com.cn/microcontrollers">http://www.ti.com.cn/microcontrollers</a>

### 应用

音频	<a href="http://www.ti.com.cn/audio">http://www.ti.com.cn/audio</a>
汽车	<a href="http://www.ti.com.cn/automotive">http://www.ti.com.cn/automotive</a>
宽带	<a href="http://www.ti.com.cn/broadband">http://www.ti.com.cn/broadband</a>
数字控制	<a href="http://www.ti.com.cn/control">http://www.ti.com.cn/control</a>
光纤网络	<a href="http://www.ti.com.cn/opticalnetwork">http://www.ti.com.cn/opticalnetwork</a>
安全	<a href="http://www.ti.com.cn/security">http://www.ti.com.cn/security</a>
电话	<a href="http://www.ti.com.cn/telecom">http://www.ti.com.cn/telecom</a>
视频与成像	<a href="http://www.ti.com.cn/video">http://www.ti.com.cn/video</a>
无线	<a href="http://www.ti.com.cn/wireless">http://www.ti.com.cn/wireless</a>

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2006, Texas Instruments Incorporated