

同步网络中的高性能线卡时钟解决方案

Shawn Han; Steven Shi

China Telecom Application Team

摘 要

作为一种高性能、低成本的线卡时钟解决方案，LMK04800 可以实现传统的 SDH/SONET 系统时钟和分组交换网络中的同步以太网时钟频率的灵活转换，同时提供 150fs 级别的低抖动性能，满足 Telcordia GR-253、ITU-T G.813、G.8262 抖动产生规格约束下~10Gbps 高速率线卡参考时钟的应用需求。同时，作为一款模拟锁相环，LMK04800 突破了传统模拟锁相环保持性能设计的缺陷，内部集成 DAC 实现高准确度保持性能所需的压控电压控制，可以辅助参考时钟切换下输出时钟实现平滑/无缝地转换。

本文基于同步定时方案的系统设计的要求，分析了线卡业务板上的时钟方案，重点分析了基于 LMK04800 系列高性能时钟滤波器实现平滑切换的解决方案，尤其是为了满足高速线速率的应用场景。

目 录

1. 介绍	4
2. 同步网络线卡时钟方案设计要求	5
2.1 系统方案分析	5
2.2 线卡时钟关键指标规格	6
2.2.1 主备倒换的平滑输出	6
2.2.2 抖动性能	6
3. 基于 LMK04800 时钟锁相环的线卡时钟方案	7
3.1 LMK04800 器件特点	7
3.1.1 功能原理	7
3.1.2 相噪性能	8
3.1.3 Holdover 保持电路特性和无缝切换关系	9
3.2 LMK04800 时钟电路设计	11
3.2.1 19.44MHz input, 156.25MHz output 电路设计	11

3.2.2 25MHz input, 156.25MHz output 电路设计14

3.3 小结16

4. 总结16

5. 参考资料.....17

图

1 同步网络的时钟传递系统-----3

2 同步网络设备的时钟系统方案-----4

3 LMK04800 功能模块-----6

4 LMK04800 噪声仿真-----7

5 Holdover 电路工作过程-----8

6 LMK04800 线卡电路设计-----9

7 PLL1 电路参数 (19.44MHz 输入 , 25MHz VCXO) -----9

8 PLL2 电路参数 (25MHz 输入 , 156.25MHz 输出) -----10

9 1UI 输入相跳下输出瞬态响应-----10

10 1UI 相位跳变引入压控电压波动和输出频率跳变特性-----11

11 156.25MHz 输出相噪-----11

12 PLL1 电路参数 (25MHz 输入 , 25MHz VCXO) -----12

13 0.5UI 输入相跳下输出瞬态响应-----12

14 0.5UI 相位跳变引入压控电压波动和输出频率跳变特性-----13

表

1 光口抖动要求 (SDH/SONET、SyncE) -----5

2 本例对应的锁相环环路参数-----10

3 本例对应的锁相环环路参数-----12

1. 介绍

在传统的基于 TDM 的 SDH/Sonet 承载网络，同时具有数字网同步的功能，ITU-T G.813 定义 SDH 设备时钟 (SEC) 实现时钟同步的具体规格要求。随着网络业务 IP 化的演进过程，在分组网络中要保证现存 TDM 业务的同步特性，以及无线网络中基站之间的业务同步需求，分组网络实现时钟和时间同步成为通信网络发展中的一种必然需求。目前，各个厂家常用的 IP 网络同步技术包括：ITU-T G.8261 基于物理层的同步以太网技术，和 IEEE 1588V2 基于分组包实现时钟和时间同步技术。因此，当前的电信网络还是一个同步网络。

同步网络一般采用主从同步方式，即拥有高精度、高稳定度的主时钟由设备传送给下游各设备，下游设备同步于来自上一级的时钟信号，从而达到全网时钟或时间或两者同时同步。如下图 1 所示，下游设备借助锁相环，利用上一级网元发送端传送的串行码流中的时钟频率、时间相位信息，时钟锁相环跟踪其中一路线路时钟或外部参考时钟，产生系统时钟，通过系统时钟作为线卡板上物理层芯片的发送参考时钟并可以插入时间信息以实现时钟、时间向下级传递，完成了同步时钟提取、恢复再使用。

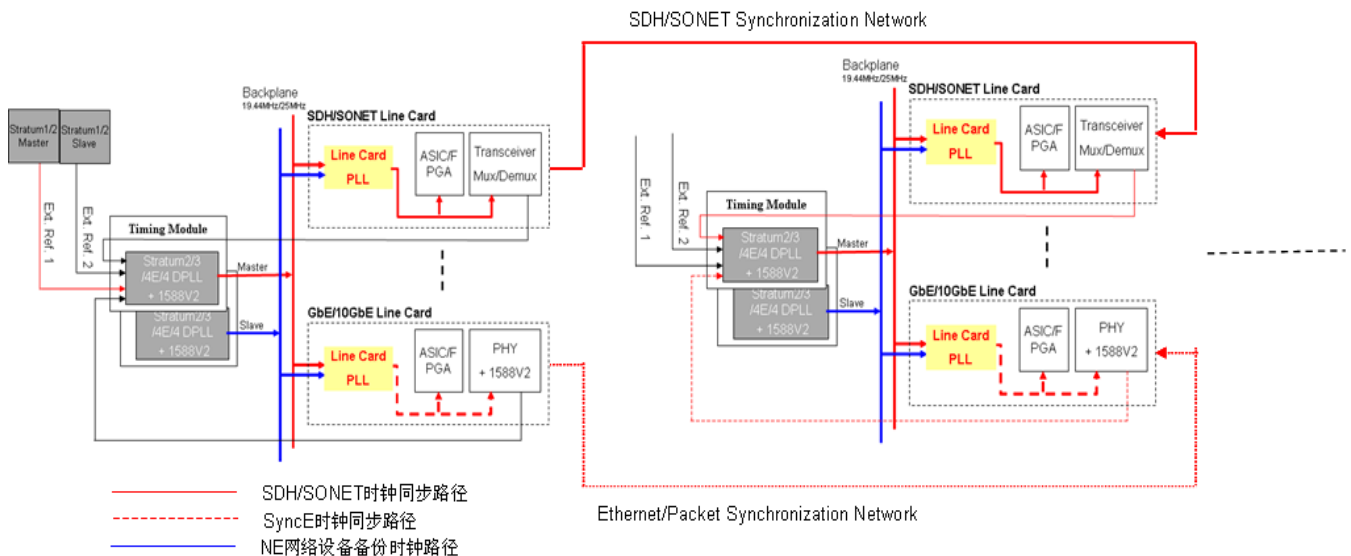


图 1 同步网络的时钟传递系统

德州仪器的 LMK04800 系列产品是两级级联的模拟锁相环抖动滤除器件，只需要外加低频低成本的 VCXO 就能提供在 12kHz 到 20MHz 范围内 RMS 抖动~150fs，非常适合在高速有线网络中线卡套片解决方案对参考时钟的特殊需求。同时，作为一款高性能低成本的模拟锁相环解决方案，LMK04800 系列器件能提供低至 10Hz 的环路带

宽，通过外围的电阻、电容可以灵活设计环路参数以实现时钟的平滑切换。同时，借助 LMK04800 内部集成高精度的 DAC，实现在保持状态下的输出频率的准确性，可以配合在时钟切换或时钟丢失下时钟输出的相对精度。

本文通过分析基于 ITU-T G.813、ITU-T G.8261/2 等标准对同步时钟定时方案设计的要求，分析了线卡业务板上的时钟锁相环 PLL 方案，重点介绍基于 LMK04000 系列高性能时钟滤除器的解决方案，尤其是为了满足高速线路速率的应用场景。

2. 同步网络线卡时钟方案设计要求

1588V2 是网络测量和控制系统的精密时钟和时间同步协议标准，同步定时单元需要进行时钟报文信息处理和系统时钟产生，而线卡时钟方案是同步于系统时钟，下面以 SDH/SONET 传输网和同步以太网 SyncE（基于物理层时钟恢复和插入）的时钟架构展开分析，重点探讨线卡时钟解决方案需求。

2.1 系统方案分析

为了兼容基于 SDH/SONET 的时钟同步产生和分配，目前同步网络的定时方案是同时支持 SDH/SONET 和同步以太网的各种输入和输出时钟接口。图 2 所示基于 G.783 的时钟定时结构模块，同步设备定时产生（SETG）输出系统时钟给外同步时钟 2.048MHz/2.048Mbps 单元和线卡板实现网络设备同步，同时具有 G.813 定义的 SDH/SONET 的定时指标规格，以及满足 G.8262 定义同步以太网设备（EEC）时钟最小要求（类似 G.813 指标），如时钟精度、环路带宽、保持性能、相位瞬变、抖动/漂移产生/传递/容限等。

图 2 中所示的线卡时钟方案，SETG 单元输出的系统时钟作为线卡业务芯片的参考时钟，常用的系统时钟频率是 19.44MHz（SDH/SONET 时钟）和 25MHz（Ethernet 时钟）。线卡的时钟方案可采用锁相环电路实现，锁定时钟定时模块提供的系统时钟，输出 125MHz/156.25MHz（Ethernet）、155.52MHz（SDH/SONET）等给板上业务处理芯片，用于保证链路业务的误码指标，以及在 G.813 和 G.8262 定义的光口规格要求。

由于同步定时单元采用主备冗余保护设计，为了降低对线卡时钟电路设计的要求，备 SETG 电路通常要锁定主 SETG 送出的系统时钟，同时在相位上要实现同步（SETG 电路模块具有输出相位时延可编程特性），以保证在主备系统时钟切换时，线卡时钟方案可以很方便地实现平滑输出（hitless），不会产生链路业务误码。

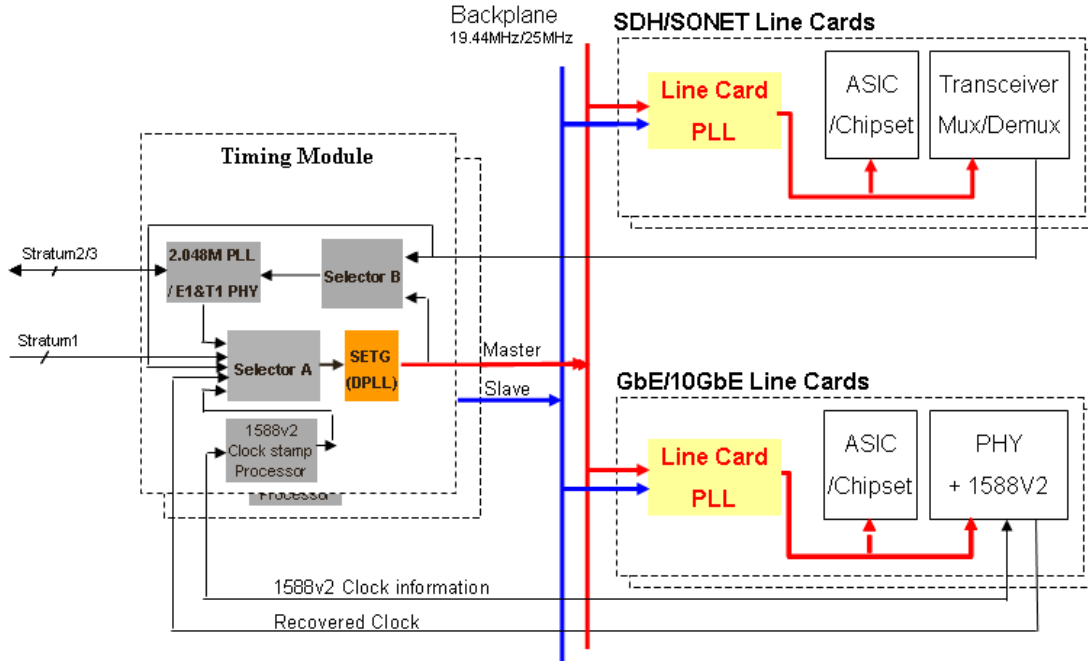


图 2 同步网络设备的时钟系统方案

2.2 线卡时钟关键指标规格

线卡上的时钟方案必须能够自动选择合适的参考时钟输入，尽可能地平滑主备系统时钟切换时可能引入的输出时钟瞬态跳变。同时，满足标准要求的各种线速率抖动产生要求，保证业务链路的误码性能。

2.2.1 主备倒换的平滑输出

当主备系统时钟相位差控制在较小的误差范围（器件和PCB板材的波动范围内），线卡上的锁相环电路可以用模拟锁相环对系统时钟进行锁相跟踪，通过本板的压控晶振（VCXO）和锁相环参数设计使得时钟输出在一定时间段内的较平滑切换。其中，模拟锁相环的环路带宽和阻尼系数是关键规格，可以通过仿真和测试加以验证。

此外，若主备系统时钟相位差较大或没有很好地控制，此时可以通过进一步优化环路参数设计，尽量降低切换带来的输出瞬态突变，同时也可利用锁相环的保持功能，尽可能地降低较大的参考输入相位跳变导致线卡锁相环输出频率和相位的突变问题。

2.2.2 抖动性能

同步网络的相关标准中，表 1 列出了G.813/Telcodia GR253 提出了SDH/SONET相关网络设备接口的抖动指标要求，G.8262 对同步以太网的网络接口的抖动指标要求。

表 1 光口抖动要求（SDH/SONET、SyncE）

Interface	Measuring Filter	Peak-to-peak Amplitude (UI)
STM-1	500Hz to 1.3MHz	0.50
	65KHz to 1.3MHz	0.10
STM-4	1KHz to 5MHz	0.50
	250KHz to 5MHz	0.10
STM-16/	5KHz to 20MHz	0.50
	1MHz to 20MHz	0.10
STM-64	20KHz to 80MHz	0.50
	4MHz to 80MHz	0.10
1GbE	2.5KHz to 10MHz	0.50
10GbE	20KHz to 80MHz	0.50

为了保证表 1 列举的高速线卡光口的抖动产生指标，不少线卡板上的业务套片或PHY芯片供应商对其内部的高频倍频合成器 (PLL) 参考时钟有特殊的要求。如 10GbE以太网业务处理或PHY芯片，参考时钟指标通常要求是 <0.3ps rms @(10KHz~1MHz)。因此，线卡时钟锁相环，必须在跟踪系统时钟实现同步的同时，必须具有抖动滤除功能，输出的时钟信号必须能满足业务处理芯片/PHY芯片的抖动规范要求。

3. 基于 LMK04800 时钟锁相环的线卡时钟方案

本文重点介绍了适合主备时钟相位同步条件下基于 LMK04800 时钟电路设计，以及其超低抖动性能，适合 10Gbps 线卡应用。

3.1 LMK04800 器件特点

3.1.1 功能原理

LMK04800 系列产品带 2 个高性能的锁相环 (PLL) ， 2 个 PLL 成级联架构。第一个锁相环 (PLL1) 带有 2 路冗余时钟输入，可用于参考时钟的切换。当参考时钟丢失，PLL1 可以自动或手动进入时钟保持 (holdover)模式。PLL1 会将参考时钟锁定到外部压控晶体振荡器 (VCXO) 或晶体(XTAL)上，实现近端相位噪声的去抖。PLL1 的输出会作为第 2 个锁相环(PLL2)的参考输入，然后锁定到内置的压控振荡器(VCO)上,实现较高频率的合成和远端相位噪声的抑制。然后是时钟分发模块，可以实现分频，相位调整和可编程的不同类型电平(LVPECL, LVDS,LVCMOS)驱动输出。LMK04800 最多可以有 14 对差分时钟输出，或

者 26 个单端时钟输出。另外，LMK04800 还可以实现零延迟功能，这意味着输入参考时钟和输出时钟可以有确定的相位关系，在某些特定应用场景，可以简化数据通信的时钟设计。

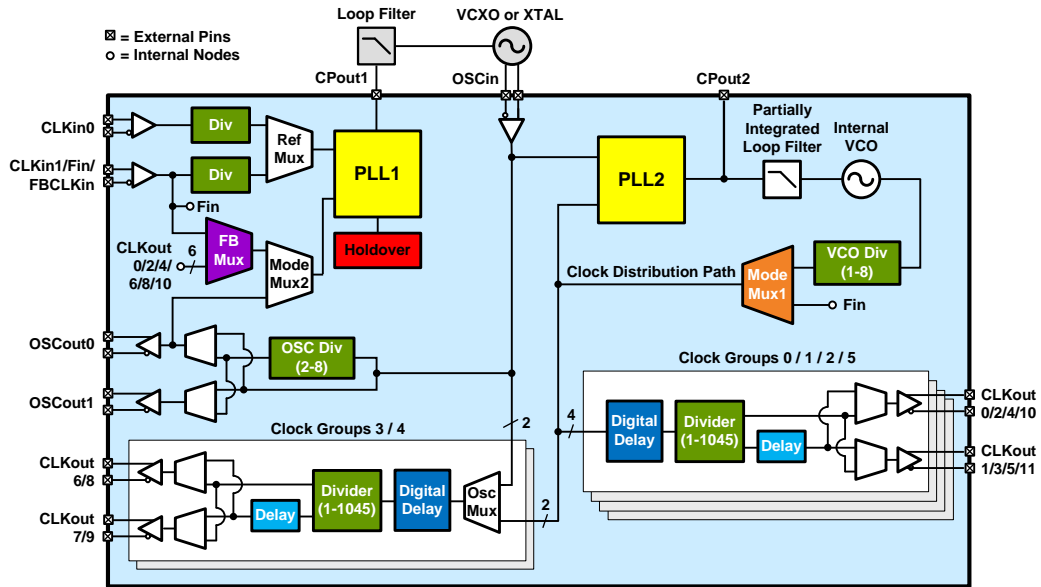


图 3 LMK04800 功能模块

3.1.2 相噪性能

借助于 LMK04800 的仿真工具 Clock Design Tool (<http://www.ti.com/tool/clockdesigntool>)，可以很容易地分析在不同参考输入下的时钟输出噪声特性。图 4 是一个 156.25MHz 时钟输出相位噪声仿真的例子，包括了各种不同部件引入的附加噪声成分，总的噪声是图中黑色的曲线，该仿真结果是考虑最差相位噪声的性能。

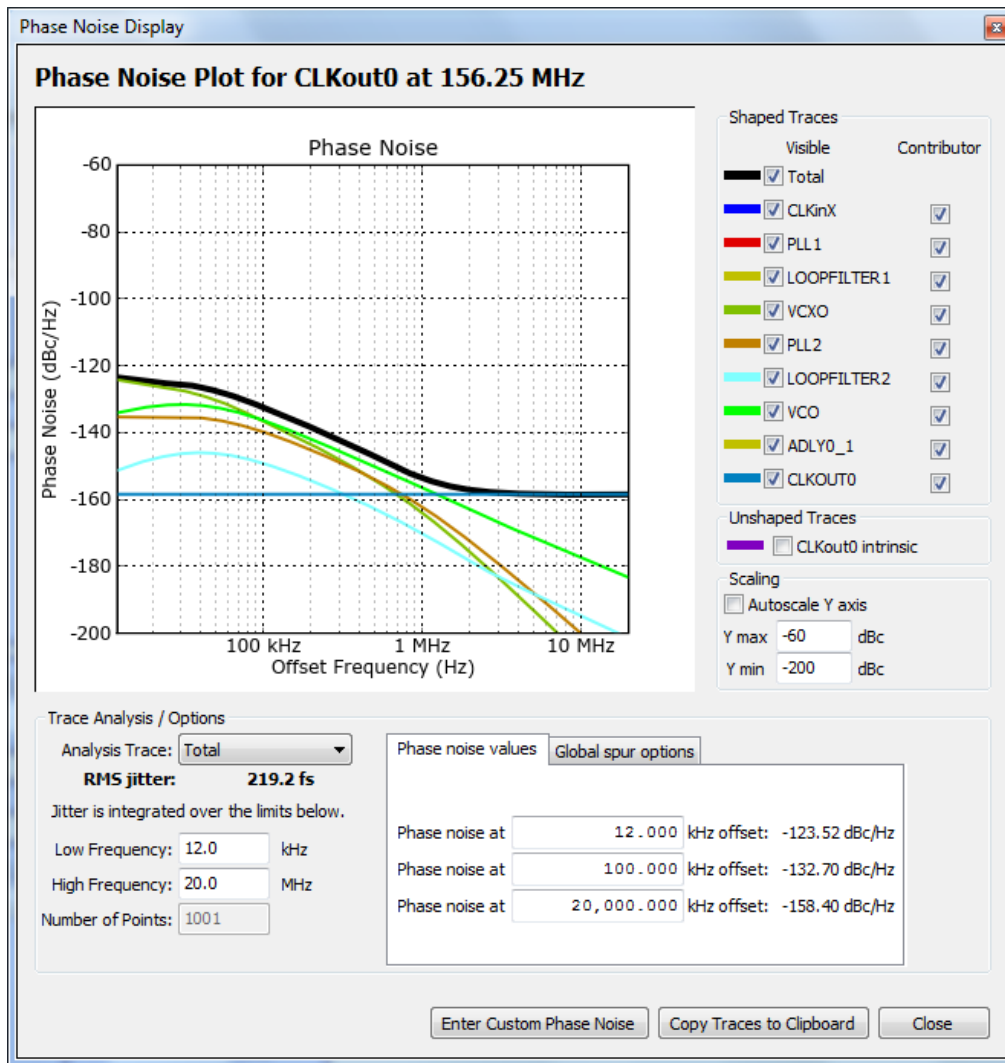


图 4 LMK04800 噪声仿真

3.1.3 Holdover 保持电路特性和无缝切换关系

不同于传统的模拟锁相环电路设计，LMK04800 内部集成了高精度 DAC，当时钟芯片丢失了正常工作的控制条件时，比如丢失参考时钟，或者环路某个部件故障等进入保持模式时，LMK04800 会利用保持模式前 DAC 存储的压控电压值控制 VCXO 的输出，从而保证了保持模式下的时钟输出精度。

在主备参考时钟进行切换时，可以借助这个保持特性，实现线卡时钟的平滑输出（或称为无缝输出）。下面通过一个例子描述 LMK04800 在参考输入有较大跳变（如主备切换）条件下，LMK04800 是如何利用 Holdover 电路实现输出的平滑特性。

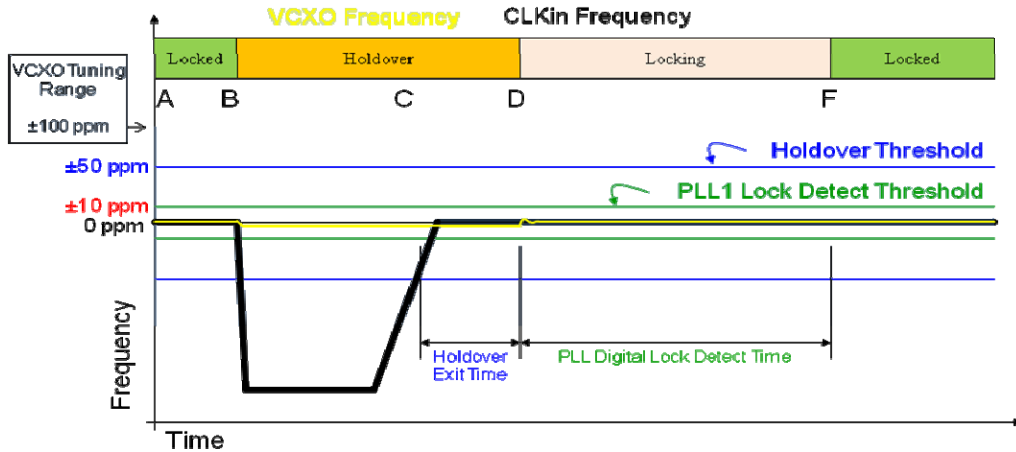


图 5 Holdover 电路工作过程

图 5 是 LMK04800 器件 Holdover 电路工作的一个完整例子。黑色粗线表示参考时钟的变化特性，黄色细线表示 VCXO 输出频率的变化，绿色标线表示 PLL1 进入锁定的检测门限，蓝色标线表示退出 Holdover 保持状态的控制门限。在 AB 阶段，参考时钟稳定，处于锁定状态；B 时刻，参考时钟跳变，PLL1 失锁后进入了 Holdover 状态；C 时刻，参考时钟恢复稳定，或者切换到了备份参考时钟；CD 阶段，虽然有了参考时钟，但是由于 PLL1 工作在开环保持状态，新的参考时钟和 Holdover 状态下的 VCXO 在鉴相器上还可能是异频异相的，但是频偏已经小于蓝色线门限，当鉴相器上相差小于 PLL1_WND_SIZE 定义的窗口，开始退出 Holdover 计数；D 时刻，满足退出 Holdover 计数条件，PLL1 闭环重新进入跟踪状态，电荷泵开始工作；DF 阶段是 PLL1 捕捉锁定过程；F 时刻之后 PLL1 正式进入锁定状态。其中：

$$\text{锁定时允许的最大频偏： } Lock_Accuracy(PPM) = \frac{2e6 \times PLL1_WND_SIZE \times f_{PD1}}{PLL1_DLD_CNT}$$

$$\text{Holdover 时的频率精度： } Holdover_Accuracy(PPM) = \frac{\pm 6.4mV \times K_{VCO} \times 1e6}{VCXO_Frequency}$$

$$\text{退出 Holdover 的门限： } Holdover_Exit_Threshold(PPM) = \frac{2e6 \times PLL1_WND_SIZE \times f_{PD1}}{HOLDOVER_DLD_CNT}$$

从图 5 中可以看出，当参考时钟跳变时，LMK4800 要准确进入 Holdover 工作状态，同时当参考时钟恢复稳定后 PLL1 要重新捕捉跟踪，LMK04800 必须要及时退出 Holdover 开环工作状态，所以图中蓝色门限必须比绿色门限大，也就是说必须满足 $HOLDOVER_DLD_CNT < PLL1_DLD_CNT$ 。LMK04800 寄存

器 25 的第 6bit 到第 19bit (即 : R25[19:6] , 总共 14bits) 和寄存器 15 的第 6bit 到第 19bit (即 : R15[19:6] , 总共 14bits) 分别用于设置 PLL1_DLD_CNT 和 HOLDOVER_DLD_CNT 计数值 , 最大可设置为 16383 , 在具体电路设计中 , 可以根据系统电路的时钟规格要求 , 灵活设计 PLL1_DLD_CNT 和 HOLDOVER_DLD_CNT 计数值 , 确保 LMK04800 能正确地进入 Holdover 工作状态 , 同时也能正确地退出 Holdover 工作状态。

3.2 LMK04800 时钟电路设计

在混合的 SDH/SONET 和 SyncE 同步网络中 , 基于 LMK04800 线卡时钟方案如下图所示 , 借助于外部 VCXO 的频点 (如 25MHz , 或 19.44MHz) , 可以输出 156.25MHz 或 155.52MHz 的时钟 , 满足线卡对不同参考时钟的需求。

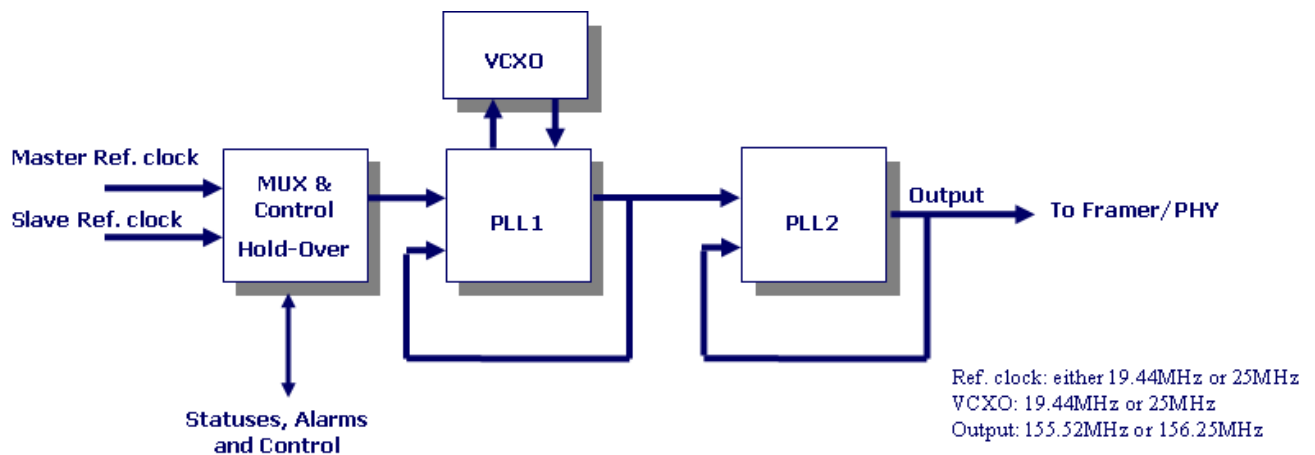


图 6 LMK04800 线卡电路设计

本文以 LMK04806 器件为例 , 通过分析、仿真、EVM 板电路性能测试验证了在线卡应用场景下的两种典型电路设计 , 该电路可作为大多数线卡板时钟方案设计参考。

3.2.1 19.44MHz input, 156.25MHz output 电路设计

本例参考输入 19.44MHz , PLL1 采用 25MHz 的 VCXO , K_{vco} 为 0.75kHz/V , PLL2 的输出频率是 156.25MHz。PLL1 由于受到 19.44MHz 和 25MHz 最大公因子约束 , 最大鉴相频率 PDF1 只能为 40kHz , 为降低 VCXO 压控端漏电流的影响 , 选取最大的电荷泵电流 1.6mA。PLL1 一般设计为窄环路带宽如

10Hz~50Hz，工作在去抖状态，输出的抖动主要由 VCXO 决定，PLL2 工作在频率合成状态，一般使用宽环路带宽如 100kHz~200kHz。

借助 TI 提供的仿真工具 Clock Design Tool，易得 LMK04806 的 PLL1 和 PLL2 的外围参数和环路输出参数。图 7 和图 8 分别是 PLL1 和 PLL2 的电路参数设计，表 2 是相应的 PLL1 和 PLL2 环路参数。

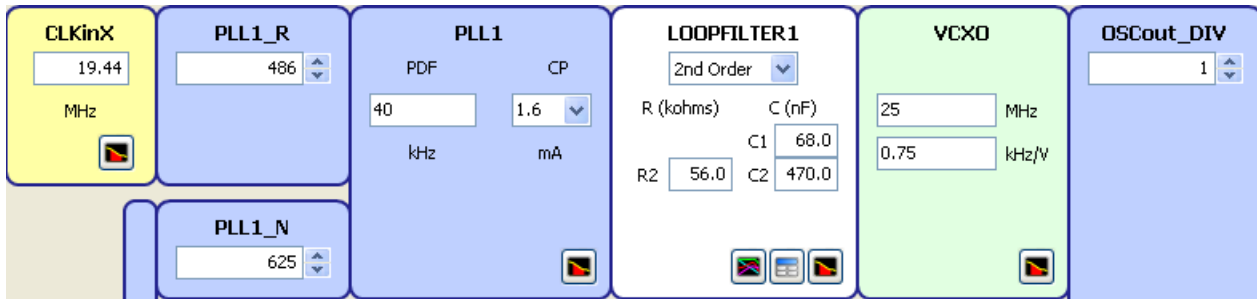


图 7 PLL1 电路参数 (19.44MHz 输入 , 25MHz VCXO)

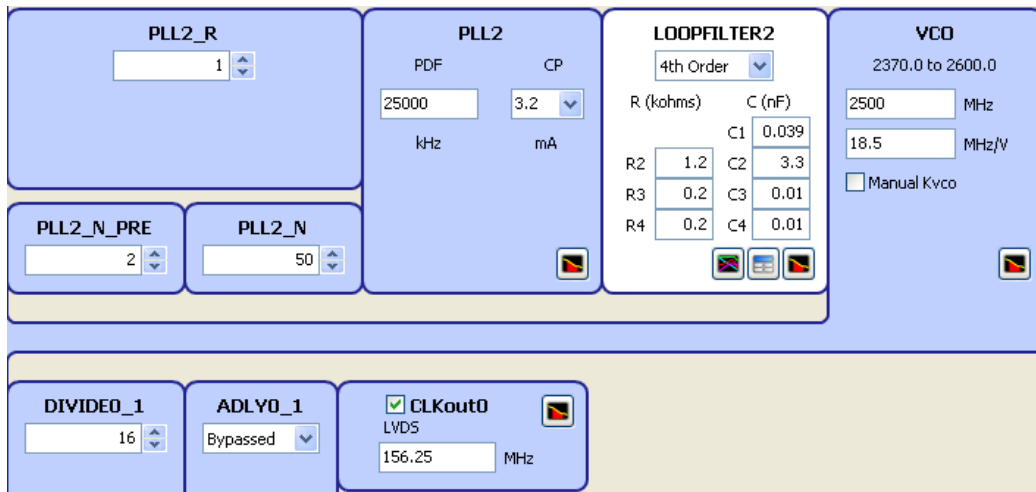


图 8 PLL2 电路参数 (25MHz 输入 , 156.25MHz 输出)

表 2 本例对应的锁相环环路参数

关键环路参数	环路带宽	相位余量	阻尼系数
PLL1	15.309 Hz	50.702 degrees	0.786
PLL2	117.259 KHz	67.895 degrees	0.831

以 1UI 的输入相跳为例，仿真得到的输出时钟瞬态响应特性如图 9 所示，输出频率瞬变最大在 5.1PPM 左右。

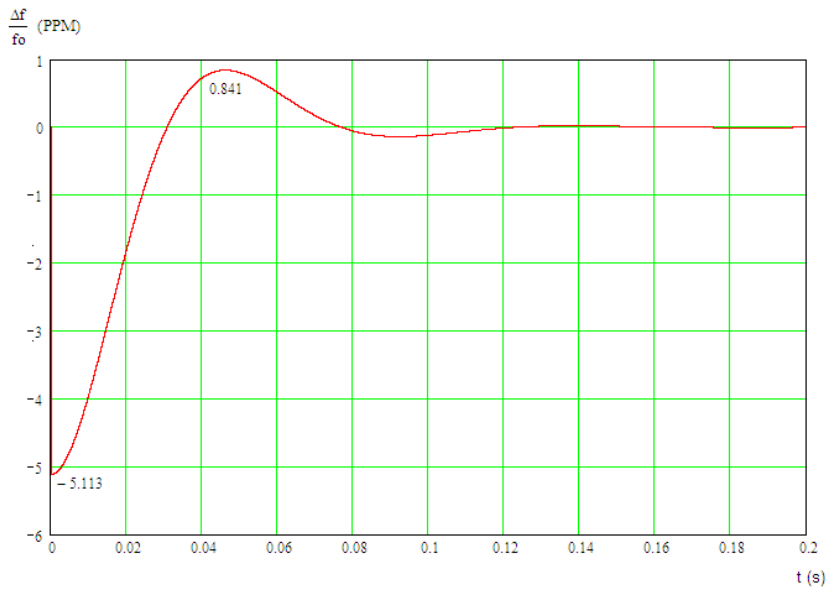


图 9 IUI 输入相跳下输出瞬态响应

由于 LMK04800 的 PLL1 环路带宽远低于 PLL2，PLL2 能更好地跟踪 PLL1 输出的变化，因此整个级联环路的总输出瞬态响应特性基本上由 PLL1 的瞬态响应特性决定。下面通过实验测试到了 PLL1 压控电压的变化波形，如图 10.a 所示，并把压控电压波形转换为 PLL1 输出时钟的频率变化特性，如图 10.b 所示。

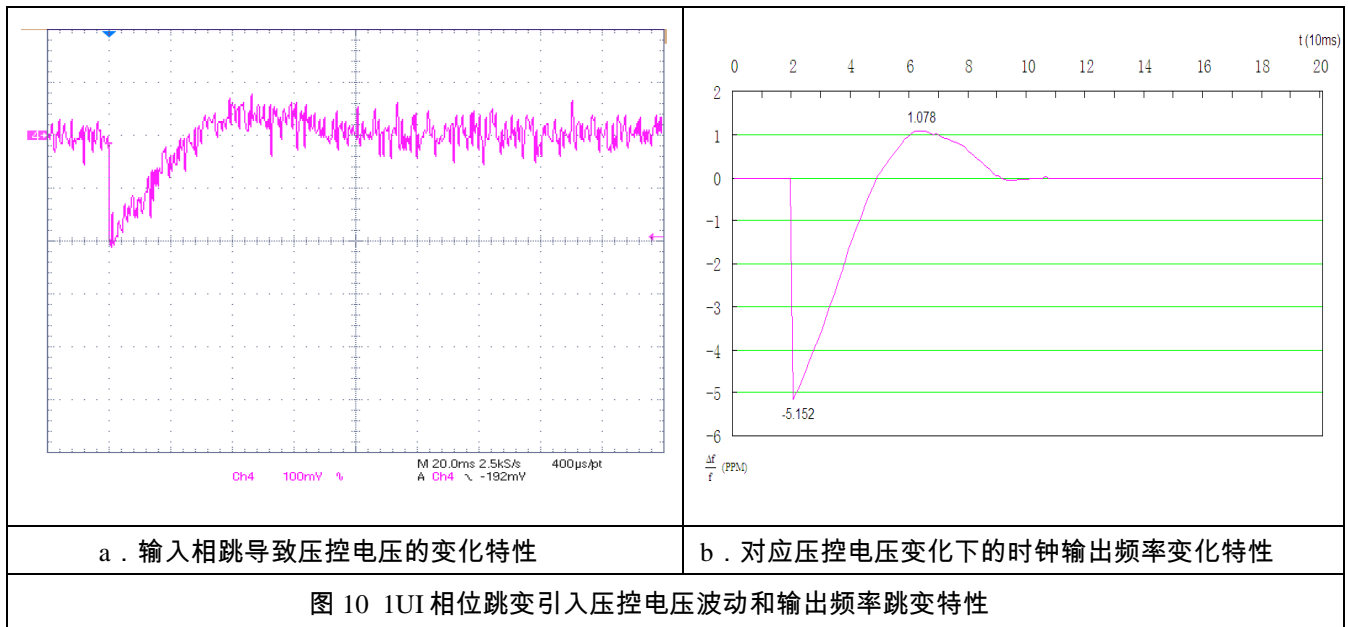


图 11 是 LMK04806 输出相位噪声，在 (12KHz~20MHz) 积分区间，均值抖动是 122.2fs，能很好地满足高速线卡时钟方案的抖动需求。

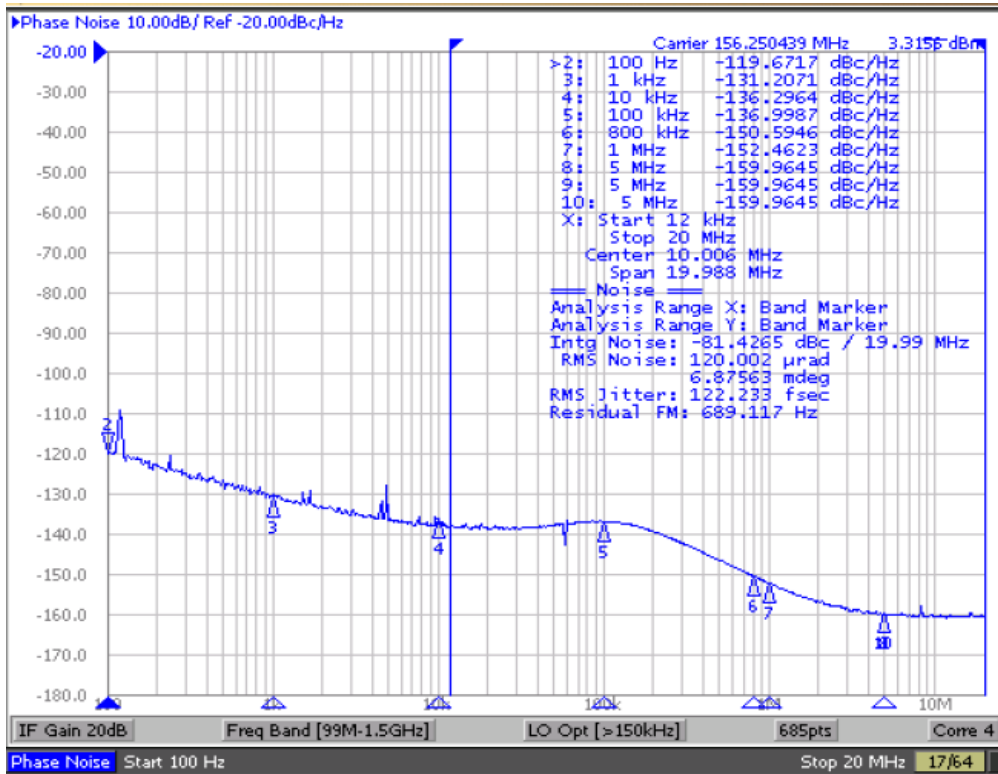


图 11 156.25MHz 输出相噪

3.2.2 25MHz input, 156.25MHz output 电路设计

本例参考输入为 25MHz，PLL1 采用 25MHz 的 VCXO，PLL2 的输出频率是 156.25MHz。参考 3.2.1 的分析例子，图 12 是 PLL1 的电路参数设计，由于 VCXO 没有改变，PLL2 的电路设计跟 3.2.1 的例子 (图 8) 完全一样，表 3 是本例对应的锁相环环路参数。

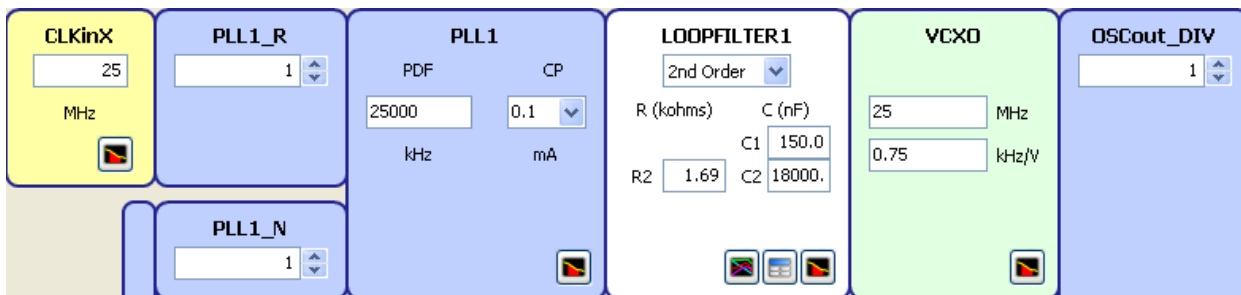


图 12 PLL1 电路参数 (25MHz 输入，25MHz VCXO)

表 3 本例对应的锁相环环路参数

关键环路参数	环路带宽	相位余量	阻尼系数
PLL1	20.629 Hz	73.902 degrees	0.978
PLL2	117.259 KHz	67.895 degrees	0.831

图 13 是仿真得到的在 0.5UI 输入切换下的 156.25MHz 时钟输出波形，图 14 是实验测试得到的压控电
压波动和相应的输出时钟瞬变特性。可以看出，此时输出时钟最大频跳大概在 4PPM。

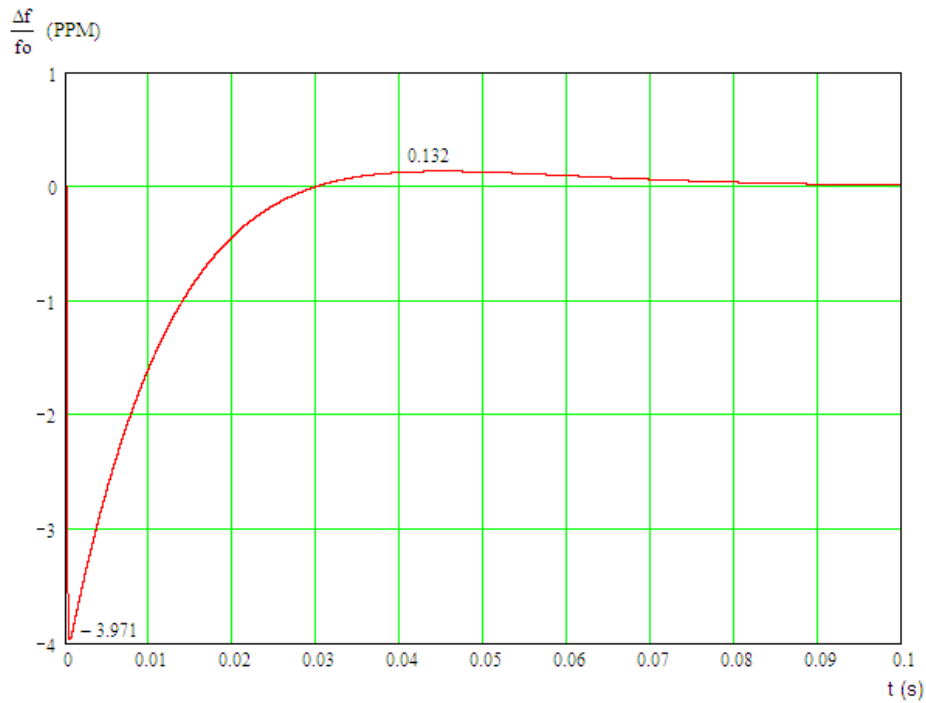
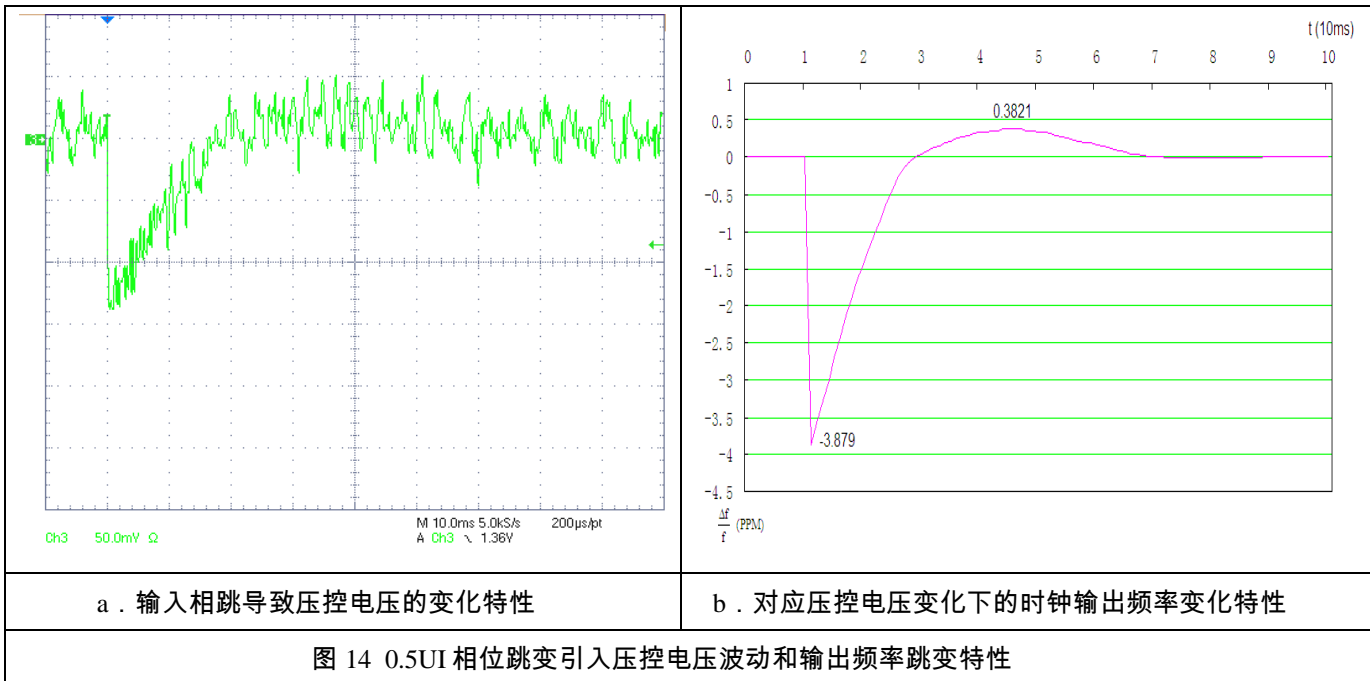


图 13 0.5UI 输入相跳下输出瞬态响应



3.3 小结

通过上面两个例子的设计分析，锁相环是低通特性，具有对输入切换下相位突变进行平滑滤除能力。当环路带宽在 15Hz 左右，1UI 相跳引入 5PPM 左右的输出频跳；当环路带宽在 20Hz 时，0.5UI 相位跳变引入 4PPM 左右的输出频跳。结合具体应用需求，可进一步优化 LMK04800 的环路参数，包括环路带宽、相位余量/阻尼系数等，控制输出的平滑特性，满足各种线卡时钟方案设计的要求。

4. 总结

LMK04800 系列器件集参考时钟切换，时钟抖动滤除，时钟合成和时钟分发于一体，可以简化业务线卡时钟的设计，同时提供 150fs rms (12kHz~20MHz) 的低抖动时钟。本文回顾了同步网络时钟的设计需求，然后以 LMK04806 为例，进行参考时钟切换的仿真和实测，通过合理的环路参数配置可以将频偏控制在目标范围内，满足系统设计规格。此外，也可以利用 LMK04800 自带高精度 Holdover 功能电路，在参考时钟输入跳变，如主备参考时钟切换下，通过灵活设计进入和退出 Holdover 工作条件，有利于实现 LMK04800 输出的平滑性能。通过本文介绍的两个例子，LMK04800 系列时钟产品能适应不同系统设计规格需求，是一种高性能、低成本的线卡时钟方案。

5. 参考资料

- 1 . Texas Instruments; LMK04800 Datasheet (snas489i.pdf)
- 2 . Texas Instruments; Clock Design Tool v1.1 Instructions (snau082.pdf)
- 3 . International Telecommunication Union; ITU-T Recommendation G.813, “Timing characteristics of SDH equipment slave clocks (SEC), 03/2003
- 4 . International Telecommunication Union; ITU-T Recommendation G.8261, “Timing and synchronization aspects in packet networks”, 04/2008
- 5 . International Telecommunication Union; ITU-T Recommendation G.8262, “Timing characteristics of a synchronous Ethernet equipment slave clock”, 07/2010
- 6 . Roland E.Best , Phase Locked Loops: Design, Simulation, and Applications , 6th ed., McGraw-Hill Inc,2007

重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或隐含权作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

产品	应用
数字音频	www.ti.com.cn/audio 通信与电信 www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers 计算机及周边 www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters 消费电子 www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com 能源 www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp 工业应用 www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers 医疗电子 www.ti.com.cn/medical
接口	www.ti.com.cn/interface 安防应用 www.ti.com.cn/security
逻辑	www.ti.com.cn/logic 汽车电子 www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power 视频和影像 www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers
RFID 系统	www.ti.com.cn/rfidsys
OMAP应用处理器	www.ti.com.cn/omap
无线连通性	www.ti.com.cn/wirelessconnectivity 德州仪器在线技术支持社区 www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2013 德州仪器 半导体技术 (上海) 有限公司