

# Analog Engineer's Circuit

## 差分放大器 (减法器) 电路

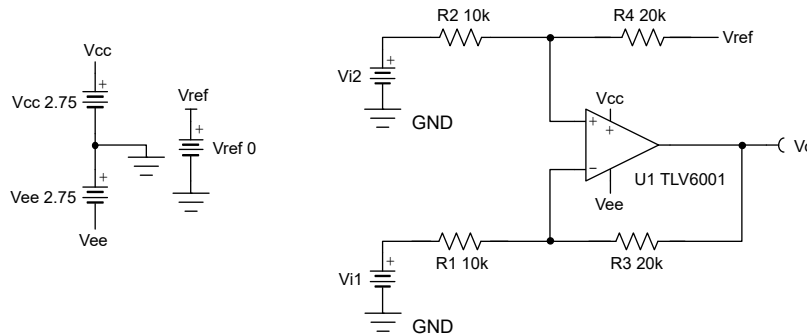


### 设计目标

输入 ( $V_{i2}-V_{i1}$ )		输出		CMRR (最小值)	电源		
$V_{idiffMin}$	$V_{idiffMax}$	$V_{oMin}$	$V_{oMax}$	dB	$V_{cc}$	$V_{ee}$	$V_{ref}$
-1.25 V	1.25V	- 2.5V	2.5V	50	2.75V	-2.75 V	0V

### 设计说明

该设计输入  $V_{i1}$  和  $V_{i2}$  两个信号并输出它们的差值 (减法)。输入信号通常来自低阻抗源, 因为该电路的输入阻抗由电阻网络决定。通常使用差分放大器来放大差分输入信号并抑制共模电压。共模电压是两个输入共用的电压。差分放大器抑制共模信号功能的有效性称为共模抑制比 (CMRR)。差分放大器的 CMRR 取决于电阻器的容差。



### 设计说明

1. 在线性运行区域内使用运算放大器。确保运算放大器的输入不超过器件的共模范围。通常在  $A_{OL}$  测试条件下指定线性输出摆幅。
2. 输入阻抗由输入电阻网络决定。确保这些值相对于电源的输出阻抗而言较大。
3. 使用高值电阻器可能会减小电路的相位裕度并在电路中引入额外的噪声。
4. 避免将电容负载直接放置在放大器的输出端, 以最大程度地减少稳定性问题。
5. 小信号带宽由噪声增益 (或同相增益) 和运算放大器增益带宽积 (GBP) 决定。可以通过添加与  $R_3$  和  $R_4$  并联的电容器来完成额外的滤波。如果使用了高值电阻器, 那么添加与  $R_3$  和  $R_4$  并联的电容器还将提高电路的稳定性。
6. 大信号性能可能会受到压摆率的限制。因此, 应检查数据表中的最大输出摆幅与频率间的关系图, 以最大程度地减小转换导致的失真。
7. 有关运算放大器线性运行区域、稳定性、转换导致的失真、电容负载驱动、驱动 ADC 和带宽的更多信息, 请参阅 [设计参考部分](#)。

## 设计步骤

下面显示了该电路的完整传递函数。

$$V_o = V_{i1} \times \left(-\frac{R_3}{R_1}\right) + V_{i2} \times \left(\frac{R_4}{R_2 + R_4}\right) \times \left(1 + \frac{R_3}{R_1}\right) + V_{ref} \times \left(\frac{R_2}{R_2 + R_4}\right) \times \left(1 + \frac{R_3}{R_1}\right)$$

如果  $R_1 = R_2$  并且  $R_3 = R_4$ ，那么该电路的传递函数可以简化为以下方程。

$$V_o = (V_{i2} - V_{i1}) \times \frac{R_3}{R_1} + V_{ref}$$

• 其中增益  $G$  为  $R_3/R_1$ 。

1. 确定  $R_1$  和  $R_2$  的起始值。 $R_1$  和  $R_2$  相对于源的信号阻抗的大小会影响增益误差。

$$R_1 = R_2 = 10k\Omega$$

2. 计算该电路所需的增益。

$$G = \frac{V_{oMax} - V_{oMin}}{V_{diffMax} - V_{diffMin}} = \frac{2.5V - (-2.5V)}{1.25V - (-1.25V)} = 2\frac{V}{V} = 6.02dB$$

3. 计算  $R_3$  和  $R_4$  的值。

$$G = 2\frac{V}{V} = \frac{R_3}{R_1} \rightarrow 2 \times R_1 = R_3 = R_4 = 20k\Omega$$

4. 计算满足最小共模抑制比 (CMRR) 的电阻器容差。对于最小 (最坏情况) 的 CMRR,  $\alpha = 4$ 。对于更有可能的 CMRR 值或典型的 CMRR 值,  $\alpha = 0.33$ 。

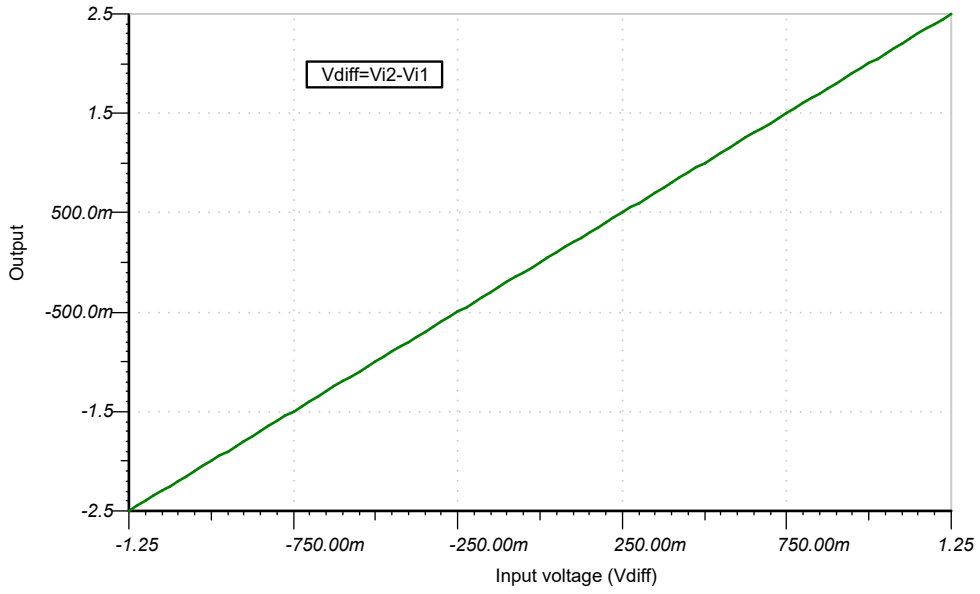
$$CMRR_{dB} \cong 20\log_{10}\left(\frac{1+G}{\alpha \times \varepsilon}\right)$$

$$\varepsilon = \frac{1+G}{\alpha \times 10\left(\frac{CMRR_{dB}}{20}\right)} = \frac{3}{4 \times 10\left(\frac{50}{20}\right)} = 0.024 = 0.24\% \rightarrow \text{使用 } 0.1\% \text{ 电阻器}$$

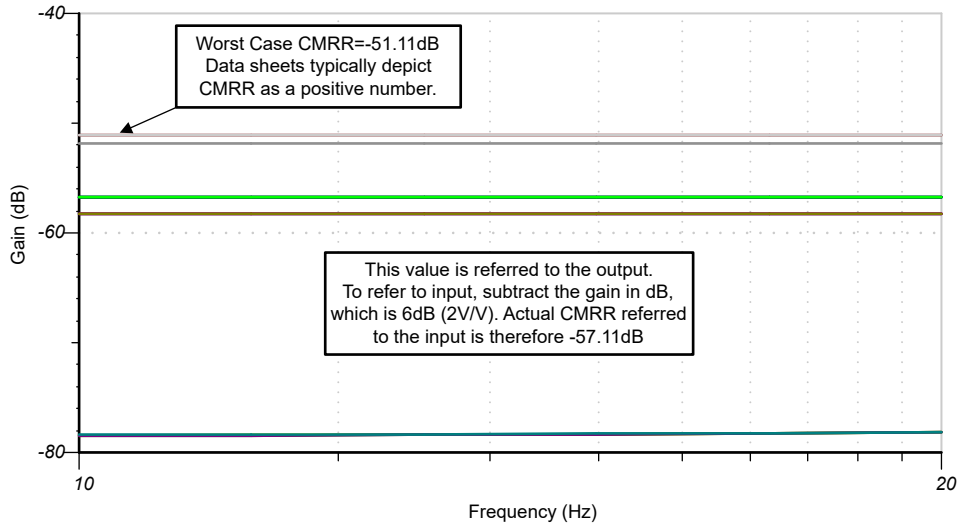
5. 为了提供快速参考, 下表将电阻器容差与最小和典型 CMRR 值进行了比较 (假设  $G = 1$  或  $G = 2$ )。如上所示, 当增益增大时, CMRR 也会增大。

容差	G=1 最小值 (dB)	G=1 典型值 (dB)	G=2 最小值 (dB)	G=2 典型值 (dB)
0.01%=0.0001	74	95.6	77.5	99.2
0.1%=0.001	54	75.6	57.5	79.2
0.5%=0.005	40	61.6	43.5	65.2
1%=0.01	34	55.6	37.5	59.2
5%=0.05	20	41.6	23.5	45.2

设计仿真  
 直流仿真结果



CMRR 仿真结果



## 设计参考资料

有关 TI 综合电路库的信息，请参阅 [模拟工程师电路手册](#)。

请参阅电路 SPICE 仿真文件 [SBOC495](#)。

有关大量运算放大器主题 ( 包括共模范围、输出摆幅、带宽和如何驱动 ADC ) 的更多信息，请访问 [TI 高精度实验室](#)。有关差分放大器 CMRR 的更多信息，请阅读 [忽视明显的事实：差分放大器的输入阻抗](#)。

## 设计采用的运算放大器

TLV6001	
$V_{SS}$	1.8V 至 5.5V
$V_{inCM}$	轨到轨
$V_{out}$	轨到轨
$V_{os}$	750 $\mu$ V
$I_q$	75 $\mu$ A
$I_b$	1pA
UGBW	1MHz
SR	0.5V/ $\mu$ s
通道数	1、2 和 4
TLV6001	

## 设计备选运算放大器

OPA320	
$V_{SS}$	1.8V 至 5.5V
$V_{inCM}$	轨到轨
$V_{out}$	轨到轨
$V_{os}$	40 $\mu$ V
$I_q$	1.5mA
$I_b$	0.2pA
UGBW	20MHz
SR	10V/ $\mu$ s
通道数	1 和 2
OPA320	

## 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from FEBRUARY 22, 2018 to JANUARY 31, 2019

Page

- 缩减了标题字数。向电路指导手册登录页面添加了链接。..... 1

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司