

Jacinto 配合 DS90C189-Q1 输出 LVDS 信号使用指南

Han Tao、Du Andrew

中国汽车应用技术支持团队

ABSTRACT

随着新能源汽车，智能汽车和自动驾驶技术的发展，汽车影音娱乐的显示屏越来越大，同时越来越多的汽车开始使用全液晶仪表盘。TI Jacinto 家族汽车处理器以其强大的多媒体能力和图形处理能，广泛应用在各种车型的汽车仪表和影音多媒体娱乐系统中。在全数字液晶仪表和影音娱乐的应用中，液晶显示屏的接口很多是 Open-LDI(LVDS)接口，不能够直接接到 J6 芯片输出的并行 24 bits RGB LVCMOS 数字接口上，需要通过 DS90C189-Q1 桥片将并行 RGB LVCMOS 接口转换为 Open-LDI(LVDS)信号连接到液晶 LCD 显示屏上。本文总结了 Jacinto 6 和 DS90C189-Q1 设计的时候接口技术要点和问题解决方法。

Contents

1. Jacinto 6 LCD 控制器输出特点	1
2. DS90C189-Q1 并行 LVCMOS 输入需求	2
Figure 1 – DS90C189 –Q1 输入采样边沿设置.....	2
Figure 2 – DS90C189 –Q1 输入奇数显示行和偶数显示行波形示例.....	2
Figure 3 – DS90C189-Q1 推荐的使能先后时序图	3
3. DRA71x 适配 DS90C189-Q1 显示调整实例.....	3
Table 1 – LCD 正常显示字符和异常显示字符对比.....	3
Table 2 – DRA71x 显示控制接口 HS/VS/Data 变化边沿寄存器设置.....	4
Table 3 – DRA71x 显示控制接口 HS/VS/Data 和 PCLK 信号的关系.....	4
References.....	7

1. Jacinto 6 LCD 控制器输出特点

J6 系列 SOC 有强大的显示器控制接口输出，DRA71x 集成了两个并行 24 bits RGB 输出，分别是 VOUT2 和 VOUT3 接口。另外一个 HDMI 显示接口不在本文讨论范围。VOUT2/VOUT3 接口是 LVCMOS 1.8V/3.3V 双电压设计。DRA71x SOC 的并行 LVCMOS 显示端口为了适配不同的 LCD 和桥片，输出格式非常灵活，可配置选项很多。VOUT2/VOUT3 接口可以灵活的配置 LCD 显示接口输出分辨率，输出数据的变化边沿，输出数据的格式。可以适配市面上大多数的并行显示芯片，显示接口转换桥片，并行串行转换芯片等等数字显示的外设。DRA71x 正因为灵活，所以在配置的时候需要工程师熟悉其内部的设计，在 DRA71x 的 TRM 文档中第 11 章节 Display Subsystem 有详细的说明和介绍，说明了显示端口 DSS 模块的原理和寄存器配置。，希望驱动工程师根据外设接口的特性来修改 DRA71x 的显示驱动进行适配。

2. DS90C189-Q1 并行 LVCMOS 输入需求

而 DS90C189-Q1 芯片，其主要功能是将并行输入的 LVCMOS RGB 信号转换为 LCD 能够支持的 Open-LDI (LVDS) 信号，所以可以配置的模式很少，所有的模式配置都需要通过外部 IO 完成，因此硬件设计固定后 DS90C189-Q1 的输入和输出信号的特性就固定。所以在软件驱动层面一般是 DRA71x 去适配 DS90C189-Q1 的配置。

DS90C189-Q1 对输入数据的要求：

- a. C189 对于输入的 HS/VS/DE/Data 信号 必须都在 PCLK 信号的上升沿或者都在 PCLK 的下降沿进行采样。采样边沿通过 Pin 26 RFB 引脚是上拉还是下拉决定。（功能描述见 DS90C189-Q1 数据手册 8.4.4 节）

RFB	Result
0	FALLING edge
1	RISING edge

Figure 1 – DS90C189 –Q1 输入采样边沿设置

- b. LCD 显示的每行中的奇数像素点和偶数像素点是通过 DE 信号来进行区分。以下降沿采样为例，当 PCLK 采样到 DE 信号由低变高后，C189 采样到的第一个 pixel 为奇数像素点，第二个像素点是偶数像素点，以此类推。直到 PCLK 检测到 DE 信号由高变低，此行结束。）如 Figure 2 的示例，当 C189 配置为下降沿采样时（蓝色标注采样沿），要求 DRA71x 输出的信号在 PCLK 的上升沿变化（红色标注 J6entry 输出沿）。DE 信号在有效期内只包含像素信息，而 VS 信号在有效期内包含像素和消隐信息。在参考文献【2】的 11.2.2.2 章节描述了 DE，HS，VS，消隐信号和有效像素的组合关系。

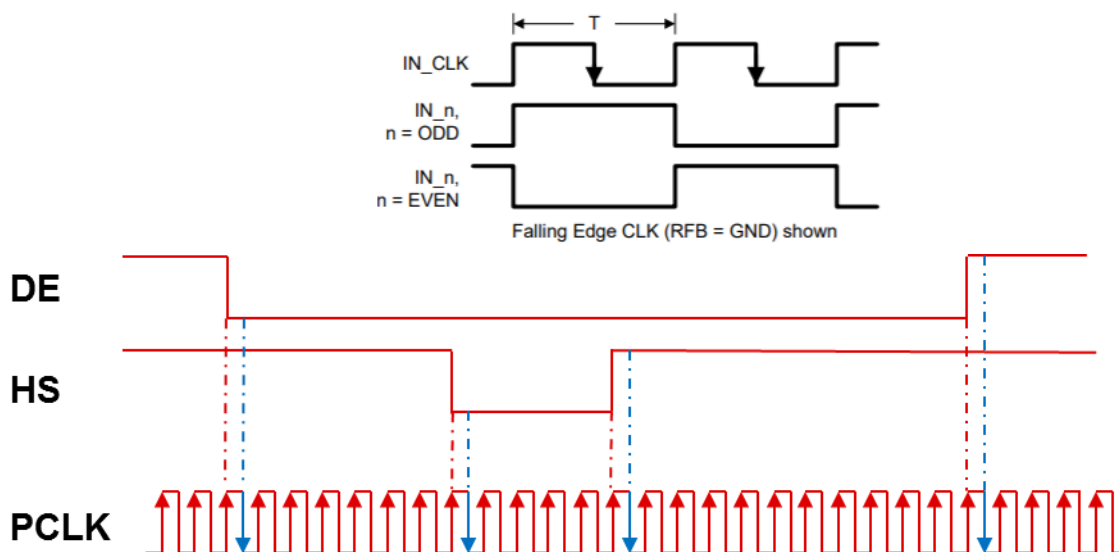


Figure 2 – DS90C189 –Q1 输入奇数显示行和偶数显示行波形示例

- c. 必须在使能 DS90C189-Q1 之后再送出 PCLK 时钟信号。否则由于 PCLK, HS、VS、DE 信号已经输出而 DS90C189 后采样会出现显示时序异常。

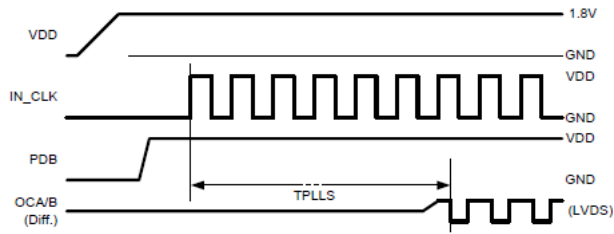


Figure 3 – DS90C189-Q1 推荐的使能先后时序图

3. DRA71x 适配 DS90C189-Q1 显示调整实例

DS90C189-Q1 在使用时比较常见的问题是出现各种花屏现象。通常花屏是概率性出现。意味着在开机的时候，有时候显示正常有时候显示不正常。由于 LVDS 信号是高速信号，如果花屏问题可能是电源干扰，信号干扰或者软件配置不正常导致。本文主要讨论软件适配导致的花屏问题。

如果出现了显示花屏，通过对显示图像的分析 and 输出信号波形的分析来进行问题定位。本文介绍的故障通过排除硬件设计方面的原因，定位到出现的原因是在 J6entry 的数字输出端信号和 DS90C189-Q1 的配置需求不相符导致的问题。在 TI 的 DRA71x 配合 DS90C189-Q1 连接液晶显示屏的参考设计中，J6 entry 的 VOUT3 显示接口连接到 DS90C189-Q1，后面的讨论都是以这个参考设计来介绍。

问题现象描述：

在显示控制板上出现下图的花屏，出现的概率很高。如果下拉再上拉 DS90C189-Q1 的 pin 52 PDB 信号，让 DS90C189-Q1 进入休眠模式然后再激活，部分出问题的显示控制板故障消失，但是仍然不能杜绝花屏现象。

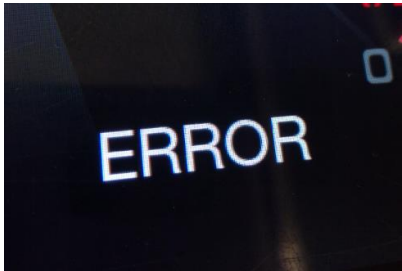
正常显示 LCD	异常显示 LCD
	

Table 1 – LCD 正常显示字符和异常显示字符对比

分析和调试的步骤:

第一步：首先确认 DS90C189-Q1 硬件引脚 Pin 26 的 RFB 信号设计是上拉还是下拉，本设计中是 1，意味这 C189 要求所有信号需要在上升沿采样。这样要求 Jacinto 6 输出的 Data, HS, VS 和 DE 信号需要在下降沿进行变化，DS90C189-Q1 才能够采样到正确的状态。

第二步：读取 DRA71x 的显示控制模块 DSS 的接口设置，本例中在 QNX 系统中进行读取，所以读写寄存器命令是 in32/out32，如果是在 Linux 操作系统中，需要用到 Jacinto 6 调试小工具 omapconf，将读写命令替换为 omapconf 就可以。

寄存器名称	地址	数值
DISPC_POL_FREQ3	0x5800183C	0x37000
CTRL_CORE_SMA_SW_1	0x4A002534	0x1240000

Table 2 – DRA71x 显示控制接口 HS/VS/Data 变化边沿寄存器设置

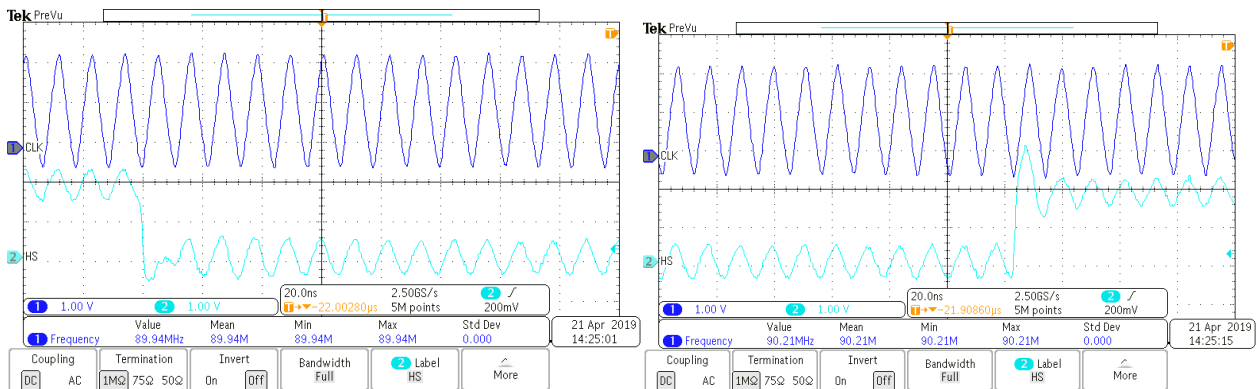
第三步：在 DRA71x 的 TRM 中查找对应寄存器的设置信息，看看 VOUT3 输出 RGB, HS/VS, DE 信号是在 PCLK 的上升沿还是下降沿变化。在查看第 11 章 Display Subsystem 设置时，注意 DSS 显示端口的输出边沿需要和第 18 章中 Control Module 中设置的边沿一致才是正确的，仅仅设置 VOUT3 输出的极性控制寄存器是不够的。

信号名称	信号翻转基于时钟的基准
HS/VS	上升沿
DE	下降沿
Data	下降沿

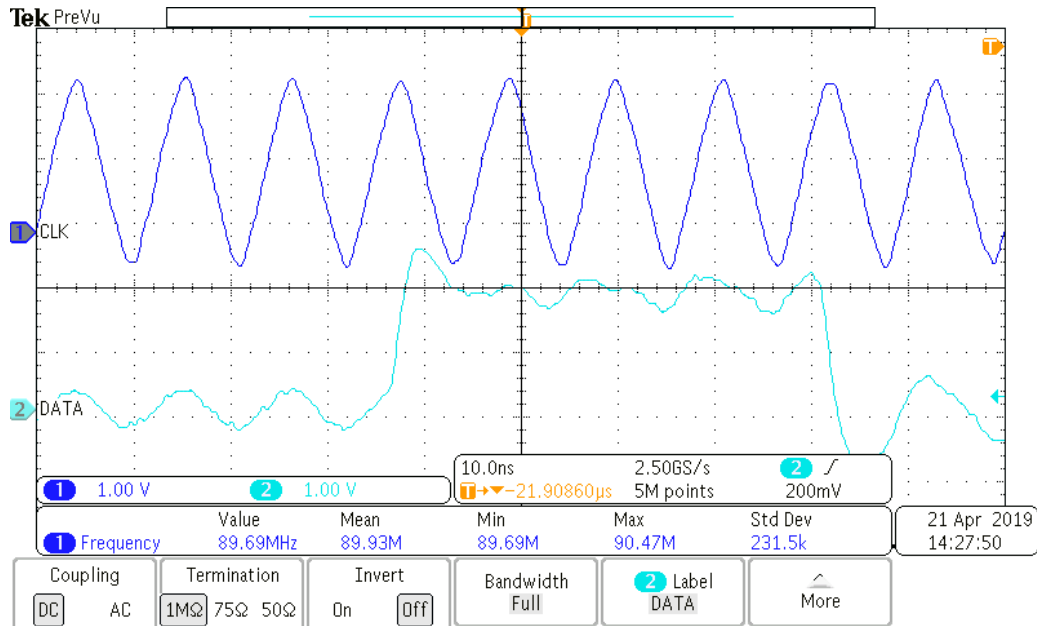
Table 3 – DRA71x 显示控制接口 HS/VS/Data 和 PCLK 信号的关系

第四步：实际捕捉 DRA71x 的 VOUT3 输出信号进行确认

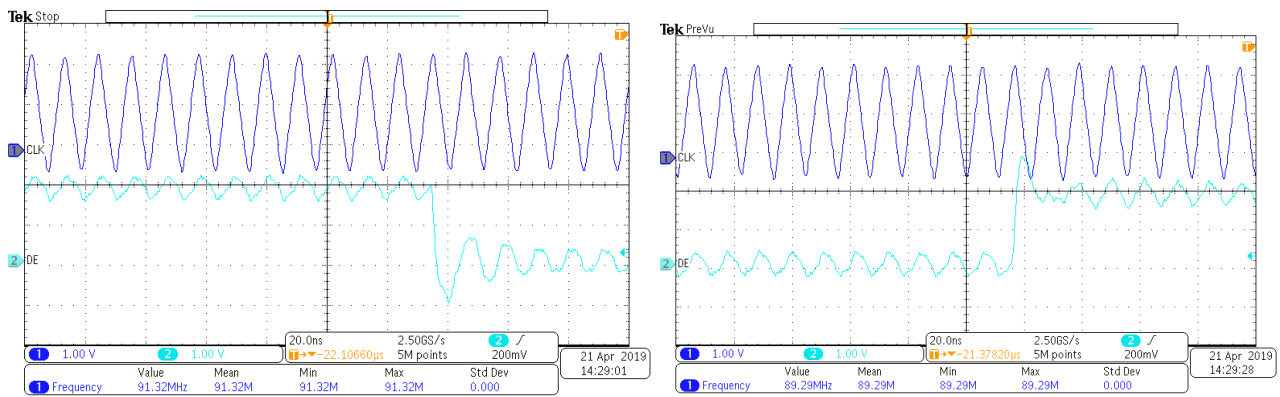
a. HS 信号上升沿和下降沿均在时钟信号的上升沿变化。



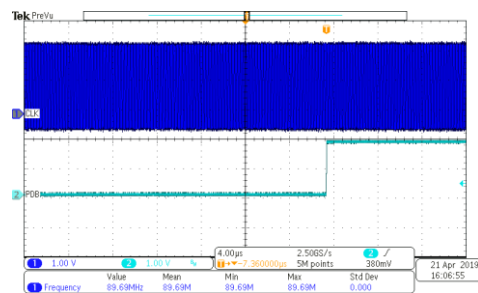
b. Data 信号的变化都发生在 PCLK 的下降沿



c. DE 信号上升和下降均在时钟信号的下降沿变化。



第五步：实际捕捉 DRA71x 使能 DS90C189-Q1 的 PDB 输出和 VOUT3 PCLK 输出时序

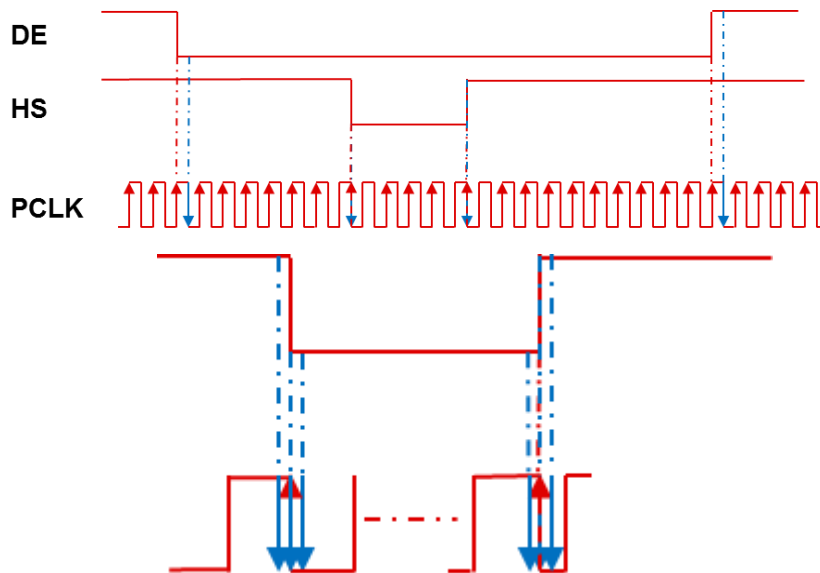


花屏问题分析：

对比 DRA71x TRM 的第 11 章节 Display Subsystem 和 第 18 章节 Control Module 的介绍我们能够看到 VOUT3 设置的是 data 在 PCLK 信号的下降沿变化，HS/VS 信号是在 PCLK 信号的上升沿变化。这同 DS90C189-Q1 要求 HS/VS/Data/DE 信号都在 PCLK 下降沿变化，DS90C189-Q1 在 PCLK 信号的上升沿采样不相符。另外驱动中先设置 VOUT3 输出使能，然后再拉高 DS90C189-Q1 的 PDB 信号，导致 DS90C189-Q1 即使在 VOUT3 所有信号输出都在正确的下降沿变化，仍然会概率性的出现花屏现象。

因此我们判断花屏的原因如下：

1. 是 DRA71x 输出 HS/VS 信号和 DS90C189-Q1 的采样边沿一致，导致 DS90C189-Q1 采样到的 HS/VS 信号边沿不稳定。如下图所示，当 DRA71x 输出的 HS/VS/Data 信号变化边沿和 C189 的采样边沿一致时，就会出现概率性 C189 采样为高电平或者低电平的情况。



2. VOUT3 的输出和 GPIO 控制 DS90C189-Q1 的 PDB 使能不满足上电时序要求。

解决方法：

知道了原因解决方法就很简单，修改驱动中对于 VOUT3 输出显示接口的极性控制，另外调整显示驱动中 DS90C189-Q1 的使能信号和显示输出的时序就能够解决花屏问题。

我们通过 QNX 工具直接在线修改 HS/VS/Data/DE 的信号都在 PCLK 的下降沿变化并配合修改 VOUT3 输出和 DS90C189-Q1 使能信号的时序，完全按照要求进行配置。连续测试 500 次故障消除，并且通过测试 VOUT3 的输出波形都满足 C189 的要求。下面是在 QNX 系统中的测试脚本，对这个测试脚本稍作修改也能够用到 Linux 系统中。

```
#!/bin/sh
integer i=0
out32 0x5800183c 0x27000          #修改 HS/V5 信号在下降沿变化
out32 0x4a002534 0x1200000       #修改 HS/V5 信号在下降沿变化

while ((i<500)); do i=i+1; echo $i;

sleep 3
out32 0x58001848 0x02000328      #关闭 VOUT3 输出信号
out32 0x4805513c 0x01000000      #下拉 GPIO2_25 设置 DS90C189 sleep

sleep 3
out32 0x4805513c 0x03000000      #上拉 GPIO2_25 设置 DS90C189 active
out32 0x58001848 0x02000329      #打开 VOUT3 输出信号

done
```

本文根据 DS90C189-Q1 的显示输入特点，灵活的应用了 J6entry 的 DSS 模块 VOUT3 接口进行了适配。解决了在使用 DS90C189-Q1 桥片中客户常碰到了两类花屏问题，并且给出了这两类花屏问题的定位过程，分析结果。希望能够帮助大家更方便的使用 J6entry 的 DSS 接口适配各类 LCD 屏和桥片。

References

1. DRA75x, DRA74x Infotainment Applications Processor Silicon Revision 2.0 (<http://www.ti.com/lit/ds/symlink/dra756.pdf>)
2. DRA75x, DRA74x SoC for Automotive Infotainment Silicon Revision 2.0, 1.x Technical Reference Manual (<http://www.ti.com/lit/ug/sprui30f/sprui30f.pdf>)
3. PSDK download website (http://downloads.ti.com/infotainment/esd/jacinto6/processor-sdk-linux-automotive/03_04_00_03/index_FDS.html)
4. DS90C189 –Q1 data sheet (<http://www.ti.com/lit/ds/symlink/ds90c189-q1.pdf>)
5. Texas Instruments Processors Diagnostic Tool (<https://github.com/omapconf/omapconf>)
6. DRA71x digital cluster automotive reference design (<http://www.ti.com/tool/tidep-01002>)

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司