



Kang Hsia

摘要

本文重点介绍了 JESD204B 和 JESD204C 版本的数据转换器串行接口标准之间的主要区别。使用兼容 JESD204 的系统的用户可以根据本文内容评估这两个版本的物理层、链路层和传输层。根据本文重点介绍的差异和评估结果，用户可以选择出更适合自己的所用系统的标准的版本。

内容

1 引言.....	2
2 术语.....	2
3 应掌握的知识.....	2
4 主要变化：三个支持的编码选项.....	2
5 物理层规范：可处理不同 JESD204 通道属性的其他分级.....	4
6 链路层：握手协议中的差异.....	6
7 确定性延迟.....	9
8 ~SYNC (SYNC 请求) 信号差分.....	11
9 结论.....	11
10 参考文献.....	12
11 致谢.....	12
12 修订历史记录.....	12

表格清单

表 4-1. 不同编码选项间的 SERDES 速率差.....	3
表 4-2. 支持的链路层和数据速率.....	3
表 5-1. 器件分级.....	4
表 5-2. 类别 C 器件特性.....	5

商标

所有商标均为其各自所有者的财产。

1 引言

数据转换器串行接口标准版本 C (即 JESD204C) 已于 2017 年 12 月完成。在数据转换器和逻辑器件之间连接 (即 FPGA/ASIC) 时, 它为实现更高吞吐量和更大密度的串行链路标准带来了新的契机。随着诸如 5G 电信标准等技术的出现, 行业迫切需要更大的带宽和更高的元件密度, 而系统开发人员往往倾向于通过 JESD204C 实现进一步发展。

本应用报告的目的是帮助用户决定是否升级系统开发人员各自独有的项目, 并重点介绍了 JESD204 版本 B 和版本 C 之间的差异。本应用报告还告知系统开发人员如何分析每项特性, 以帮助他们了解当前系统和未来的项目是否值得升级。本文档的目标读者是计划使用 JESD204 协议并评估两个版本之间优劣的系统开发人员。希望本文档能帮助开发人员选择出最合适的 JESD204 版本。

2 术语

- J-RX : JESD204 接收器
 - ADC 链路中的 FPGA/ASIC
 - DAC 链路中的 DAC
- J-TX : JESD204 发送器
 - ADC 链路中的 ADC
 - DAC 链路中的 FPGA/ASIC
- 逻辑器件: 现场可编程门阵列 (FPGA) 或专用集成电路 (ASIC)

3 应掌握的知识

1. 用户了解常用 JESD204 缩写, 例如 LMFS。如需了解更多信息, 请参考 TI 学习链接。
 - <https://training.ti.com/high-speed-signal-chain-university>
2. 用户了解每个 JESD204 层之间的基本差异: SERDES PHY、链路层和传输层。

4 主要变化: 三个支持的编码选项

版本 C 中的第一个主要变化是对 64B/66B 编码的支持, 类似于更新的 10G 光纤通道和 10G 千兆以太网标准。该版本仍保持了 8B/10B 的向后兼容性, 以及对 64B/80B 的支持, 以保持数据转换器时钟设置的适当“齿轮箱”比率。目前, 64B/66B 的编码效率接近 97%, 而 8B/10B 编码和 64B/80B 编码的编码效率为 80%。

4.1 这对系统开发人员而言意味着什么?

系统开发人员目前看重的是数据转换器可实现更高的数据速率, 而非 SERDES 接口速率的显著提升。表 4-1 比较了典型数据转换器设置的 SERDES 速率差, 其中一个通道支持一对 I/Q 样本流 (一个数据转换器的 LMFS 为 12410)。每个 I 或 Q 样本流的典型电信工作速率为 491.52MSPS。

表 4-1. 不同编码选项间的 SERDES 速率差

编码选项	单通道高效比特率 (编码前)	单通道高效比特率 (编码后)	SERDES 速率 491.52MSPS 与数据转换器速率之比
8B/10B	2x16 位 x491.52MSPS = 15.72864Gbps	15.72864Gbps × 10/8 = 19.6608Gbps	40
64B/66B	相同	15.72864Gbps × 66/64 = 16.22016Gbps	33

系统开发人员可从表 4-1 中得出结论：

1. 64B/66B 编码选项将 SERDES 速率降低约 17.5%。这种程度的 SERDES 速率的降低足以实现将较低速率的 SERDES IP 类捆绑到 FPGA/ASIC 或数据转换器器件，同时提供与 8B/10B 编码选项相同的吞吐量。
2. SERDES 速率与数据转换器速率 (即基带速率) 之比揭示了 SERDES PHY 的设备时钟和时钟比率设置以及信号链中的数字逻辑 (即 FIR、数字混频器和数控振荡器)。8B/10B 选项为时钟分频器设置提供了一个具有灵活公分母的比率。这未必适用于 64B/66B 编码，但实际的 FPGA/ASIC 固件或数据转换器设计需要具有合适的齿轮箱设置以适应该比率。

4.2 注意事项

1. 对于某些较高范围的 SERDES 接口速率，不再建议使用 8B/10B；而对于某些较低范围的 SERDES 接口速率，不建议使用 64B/66B 和 64B/80B。请参阅 JESD204C 文档的表 4 了解详情。表 4-1 包含速率为 19.6608Gbps 的 8B/10B 选项，JESD204C 标准不建议使用该选项。其主要原因是 8B/10B 编码没有足够的编码频谱丰富度，无法以更高的速率实现 SERDES 均衡，必须多加注意才能正确适配。但是，鉴于握手协议中包含专用的链路建立时间段，一些开发人员仍倾向于使用 8B/10B 选项。有关详细信息，请参阅节 6。

表 4-2. 支持的链路层和数据速率

数据速率 (DR) (Gbps) ⁽¹⁾	8B/10B	64B/66B	64B/80B
DR ≤ 6.375	必需	不推荐	不推荐
6.375 < DR ≤ 12.5	必需	推荐	可选
12.5 < DR ≤ 16	可选	必需	可选
16 < DR ≤ 32	不推荐	必需	可选

(1) JESD204C 文档中的表 4。版权所有 JEDEC。未经 JEDEC 许可不得复制。

2. 对于 8B/10B 编码，可以不按 JESD204 标准建议而使用更高的 SERDES 速率。有一些 ASIC、FPGA 和数据转换器 IP 支持如此高的速率。主要的局限性在于 SERDES PHY 接收器 DFE 的适配性。通常情况下，SERDES 速率越高需要适配的 DFE 抽头也越多。初始链路建立期间的固定握手 K28.5 字符不能为适配提供足够的频谱丰富度，这会导致链路建立的不稳定。在初始 ASIC/FPGA/数据转换器链路学习期间，需要特别注意此问题，因为握手协议和 SERDES PHY 接收器适配同时发生。工程师需要仔细检查每个器件的初始化序列，以确保 SERDES PHY 接收器具有足够的 DFE 学习时间，并且不会与握手协议时间重叠。
3. 如果开发人员需要升级系统以获得更高的数据吞吐量，则可以增加 JESD204 通道的数量。如果系统没有其他可用通道，则必须提高有效的 JESD204 吞吐量。保持在 8B/10B 会使 SERDES 速率增加。升级到 64B/66B 会使 SERDES 速率降低，并且用户需要进行其他开发来支持 64B/66B 链路协议，或者为 FPGA/ASIC 购买额外的 JESD204C IP。开发人员需要考虑以下各项的总体成本和工作量：1) 增加 JESD204 通道数量，2) 提高 SERDES 速率，以及 3) JESD204C 协议升级或购买新 IP。

5 物理层规范：可处理不同 JESD204 通道属性的其他分级

在大多数 JESD204B 接口启动场景中，大多数挑战来自基本链路协议，例如代码组同步错误（K28.5 握手信号的错误处理）、帧/多帧错误（K 值和内部时钟配置有误），以及基本释放缓冲区溢出（给定链路的非优化释放缓冲区）。尽管在链路层内进行编码和解码时会出现其他常见错误（例如 8B/10B 非表内错误或 8B/10B 视差错误），但系统开发人员还需要研究物理层对链路质量的影响。

JESD204 委员会将以前的 JESD204B 物理层重新划为 B 级，并添加了单独的 C 级规范。具体规范见 JESD204C 规范中的表 12。

表 5-1. 器件分级

器件分级 ⁽¹⁾	器件分类	支持的数据接口
B	B-3	3.125Gbps (最大值) 数据接口
	B-6	6.375Gbps (最大值) 数据接口
	B-12	12.5Gbps (最大值) 数据接口
C	C-S	C-S (短距) 级 32Gbps (最大值) 数据接口
	C-M	C-M (中距) 级 32Gbps (最大值) 数据接口
	C-R	C-R (反射) 级 32Gbps (最大值) 数据接口

(1) JESD204C 文档中的表 12。版权所有 JEDEC。未经 JEDEC 许可不得复制。

以下是两个规范的摘要。

1. **B 类** (之前为 JESD204B 物理层规范) 最低速率为 312.5Mbps。B-3、B-6 和 B-12 支持的最高速率有所不同。这是之前的 JESD204B 标准，可支持最高达 12.5Gbps 的接口速率。
2. **C 类** (JESD204C 的新增内容) 最低速率为 6.375Gbps。每个类别最高可支持 32Gbps。每个类别都具有不同的传输通道特征：短距、中距和反射。

C 类针对指定的各个通道属性（例如短距 (C-S)、中距 (C-M) 或高反射 (C-R)）引入了若干 SERDES 实施建议。主要根据通道长度和通道介质的插入损耗曲线对这些通道属性进行分类，如 JESD204C 标准的图 24 中突出显示的部分。

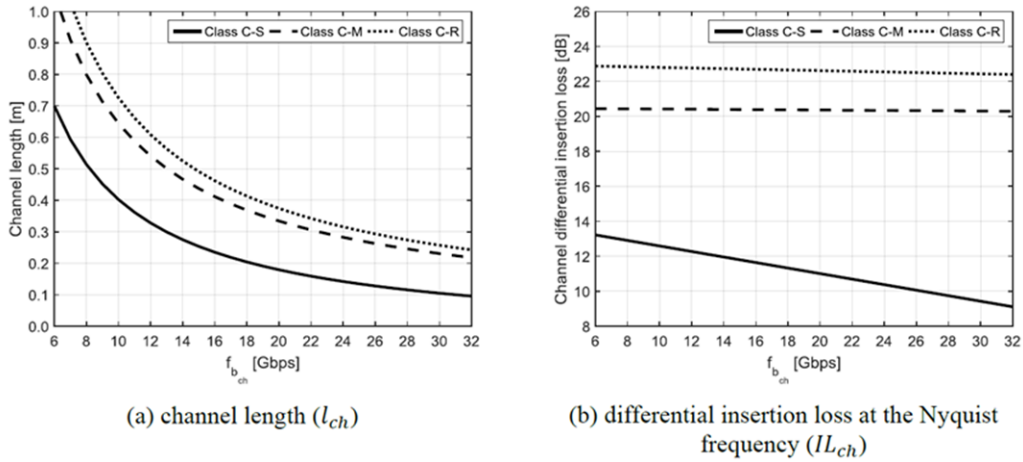


图 5-1. 作为通道数据速率函数的类别 C 通道特征¹

每个类别都有特定的 SERDES 发送器 FFE、SERDES 接收器 CTLE 或 DFE 抽头建议，如 JESD204C 标准的表 21 中突出显示。

表 5-2. 类别 C 器件特性

(1) 类	相对功率	发送器 FFE	接收器 CTLE	接收器 DFE 抽头	比较信道
C-S	低	3 抽头 9.5dB	6dB	0	OIF-CEI 03.1 28G-SR
C-M	中		9dB	3	OIF-CEI 03.1 28G-MR
C-R	高		12dB	14	OIF-CEI 03.1 25G-LR

(1) JESD204C 文档中的表 21。版权所有 JEDEC。未经 JEDEC 许可不得复制。

JESD204B 和 JESD204C 标准之间最显著的差异可能是串扰规范的建议，以及将均衡作为限定和量化链路性能的手段。

- 类别 C 分级还包括近端串扰电源之和 (PSNEXT) 和远端串扰电源之和 (PSFEXT) 的串扰规范。请参阅 JESD204C 标准中的第 5.2.9.4 节了解详情。
- 之前的 JESD204B 和 JESD204C 类别 B 仅规定了在发送器输出和接收器输入中所需的眼图。眼图的测量点位于 DUT 引脚附近，不包括 SERDES 发送器和接收器块添加的其他均衡优势。此外，对发送器架构 (加重、去加重或 FIR) 和接收器架构 (CTLE 和/或 DFE) 没有特定要求。该标准仅引用 OIF-CEI 规范，还列出了眼图要求。
- 类别 C 的 JESD204C 指定通道运行裕度 (JCOM) 使得用户可从整体上为整个链路安排预算，其中还包括发送器架构和接收器架构。请参阅 JESD204C 标准中的第 5.2 节了解详情。这意味着来自 SERDES 发送器和接收器的均衡都可以包含在链路性能基准中。

5.1 这对系统开发人员而言意味着什么？

- 通过将 JCOM 作为量化和验证链路性能的手段，SERDES 发送器和接收器的均衡优势现已成为基准测试参数的一部分。SERDES 接收器输入引脚上的被测眼图可能会被关闭，对于之前的规范而言，这是不可接受的，但由于过程均衡，链路性能仍然符合当前规范。均衡眼图的评估对于链路性能而言基本是可以接受的。
- 串扰现已成为 JESD204 链路的基准图。串扰基准是通道介质分类的函数，系统设计人员需要特别注意通道介质选择、走线和整体元件放置策略，以实现串扰性能。

5.2 注意事项

- 总体而言，添加 JCOM 是为了评估实现实际的芯片到芯片连接性能所要安排的预算，包括以下内容：
 - 封装模型
 - PCB 布线
 - SERDES 发送器 FIR

¹ JESD204C 文档中的图 24。版权所有 JEDEC。未经 JEDEC 许可不得复制。

- SERDES 接收器 CTLE/DFE 设置
 - 封装模型和 PCB 布线设置中针对受扰对象和攻击者的另一组串扰建模
2. JCOM 的基本原理基于时域分析和时域转换，与实际的时域仿真器（如 IBIS AMI 模型）相比，它仍然存在其他限制因素，但可以提供更好的统计数据（例如接收机均衡后的眼图性能）。德州仪器 (TI) 建议咨询仿真工具供应商以了解详情。
 3. 无论选择何种仿真工具，进行试验台测试时仍然需要使用 SERDES IP 级别的工具来评估实际眼图高度和位错误统计信息。系统工程师必须考虑可用于 FPGA/ASIC/数据转换器 SERDES IP 的工具。通常，诸如眼图高度之类的基本功能（在 SERDES 接收器完成 CTLE/DFE 设置之后）以及用于统计位错误分析的基本 PRBS 图形发生器和验证器必须可用于试验台测试。

6 链路层：握手协议中的差异

与所有串行链路通信一样，JESD204 具有一个初始握手协议，以确保在进行串行数据流传输之前 J-TX 和 J-RX 相互了解。JESD204C 规范保留了之前就适用于 8B/10B 编码的 JESD204B 握手协议，以确保向后兼容。此外，JESD204C 包括适用于 64B/66B 和 64B/80B 编码的一组新握手协议，可在向 J-RX 添加其他功能时进一步简化启动过程。

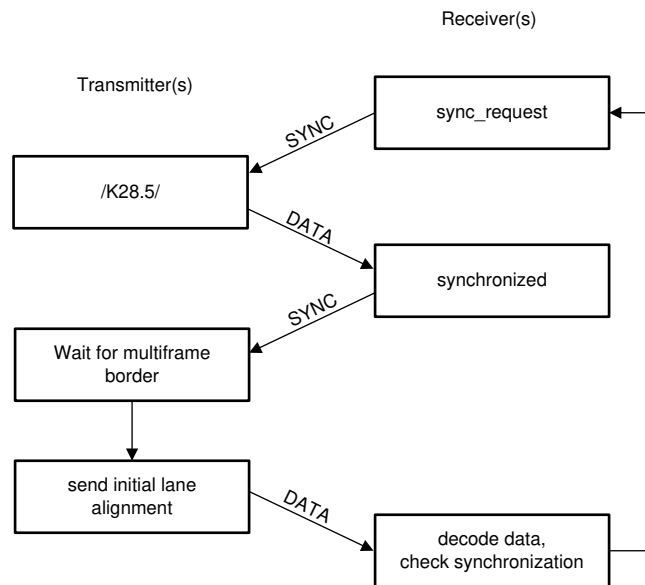


图 6-1.1 和 2 子类的同步过程²

要了解不同编码选项之间握手协议的差异，首先请重新访问 8B/10B 选项。JESD204C 文档中的图 90 很好地展示了这一点，其中描述了同步过程。在该图中，您可以看到握手协议中不同阶段的过渡。J-RX 旨在让握手协议获得所有智能特性。它最初会通过基于硬件的 \sim SYNC 信号或基于软件的 \sim SYNC 信号发送同步请求 (sync_request)。这会启动代码组同步阶段。收到 \sim SYNC 信号后，J-TX 会发送 K28.5 逗号字符进行同步。然后，J-RX 会指示它确实已通过 sync_request 过渡后的状态进行了同步，并等待进行额外的检查，例如初始通道对齐序列。最后，假设 J-RX 没有发送额外的 sync_request，J-TX 将开始发送实际的有效负载以完成该过程。如果在此阶段，J-RX 发送另一个 sync_request 信号，则表明握手过程出现错误，并且 J-RX 状态机会再次重复整个过程。³

适用于 64B/66B 和 64B/80B 编码的握手协议本质上是一个新架构（与 8B/10B 选项相比）。64B/66B 和 64B/80B 握手协议的主要亮点之一是 J-TX 插入了周期性的关键字供 J-RX 识别（与初始握手阶段 8B/10B 的一次握手同步信号相对）。并且，J-RX 本质上更智能，可以自动同步到定期关键字并建立自己的链路。它还能够在不更改 J-TX 传输协议的情况下再次建立自己的链路（假设链接错误的来源不是 J-TX 本身，并且可以在 JESD204 框架内自我校正）。下面提供了有关新握手架构的详细信息：

² JESD204C 文档中的图 90。版权所有 JEDEC。未经 JEDEC 许可不得复制。

³ 在之前的 JESD204B 文档中，更好的图示是展示 J-RX 弹性缓冲区释放图表的图 5。细心的读者可以将该图与 JESD204C 文档中的更新版本进行比较，从而发现 JESD204C 图删除了 \sim SYNC 信号。这是因为 JESD204C 中提供了可选的软件 SYNC 选项。

1. 2 位同步报头现已成为链路建立的握手代码。这是根据循环冗余校验 (CRC) 和前向纠错 (FEC) 的用法使用预定义图形定期插入的。这是 64B/66B 和 64B/80B 编码的主要更改之一 (与 8B/10B 编码中 K28.5 字符的专用代码组同步阶段比较时)。
2. 64B/66B 和 64B/80B J-TX 会使用 2 位同步报头以连续发送数据块 (即多块和扩展多块)。是否会发生导频信号插入的情况取决于 CRC 和 FEC 的用法。
3. 64B/66B 和 64B/80B 规范不需要来自 64B/66B 和 64B/80B J-RX 的物理握手信号, 因为目前的 J-RX 足够智能, 可以识别 2 位同步报头并建立自己的链接, 而无需将握手请求提供给 64B/66B 和 64B/80B J-TX。这也是为了适应基于软件的同步信号的潜在用途。⁴

总而言之, 8B/10B 编码具有专用握手周期, 而 64B/66B 和 64B/80B 具有周期性同步报头, 供 J-RX 识别同步报头并进行自我练习之用。JESD204C 文档中的图 67 和图 69 详解介绍了 64B/66B 和 64B/80B 编码及解码过程。下文描述了编码过程:

1. 从传输层收集八个八位位组数据。
2. 通过扰频器随机生成数据流。
3. 执行 CRC 或 FEC 流程。
4. 执行同步报头插入流程。对于 64B/80B 编码, 添加额外的填充位。
5. 通过齿轮箱调整传输层中数据之间的速率以及 64B/66B 或 64B/80B 编码时钟速率的比率。

下文概述了解码过程:

1. 收到位流。
2. 使用齿轮箱调整编码速率和实际数据速率的各种时钟速率比率。
3. 块同步模式提取同步报头流, 以实现块、多块和多块同步的结束。
4. 执行数据提取流程并消除填充位。
5. 执行同步报头提取流程。同步报头流包含命令通道、CRC 或 FEC 信息。
 - a. FEC 可用于检测并更正错误。
 - b. CRC 可以检测错误并标记警报以发送给报警块。
6. 为没有同步报头和填充位对的数据流执行解码器流程。
7. 数据传递到传输层以供处理。

⁴ JESD204C 文档不会规定 J-TX 以何种方式得知 J-RX 实现了同步的时刻。该文档也不会对实际 J-RX 同步之前和之后的 J-TX 数据有效载荷有所要求。控制过程可以发生在高于 JESD204C 的层上, 例如应用层。

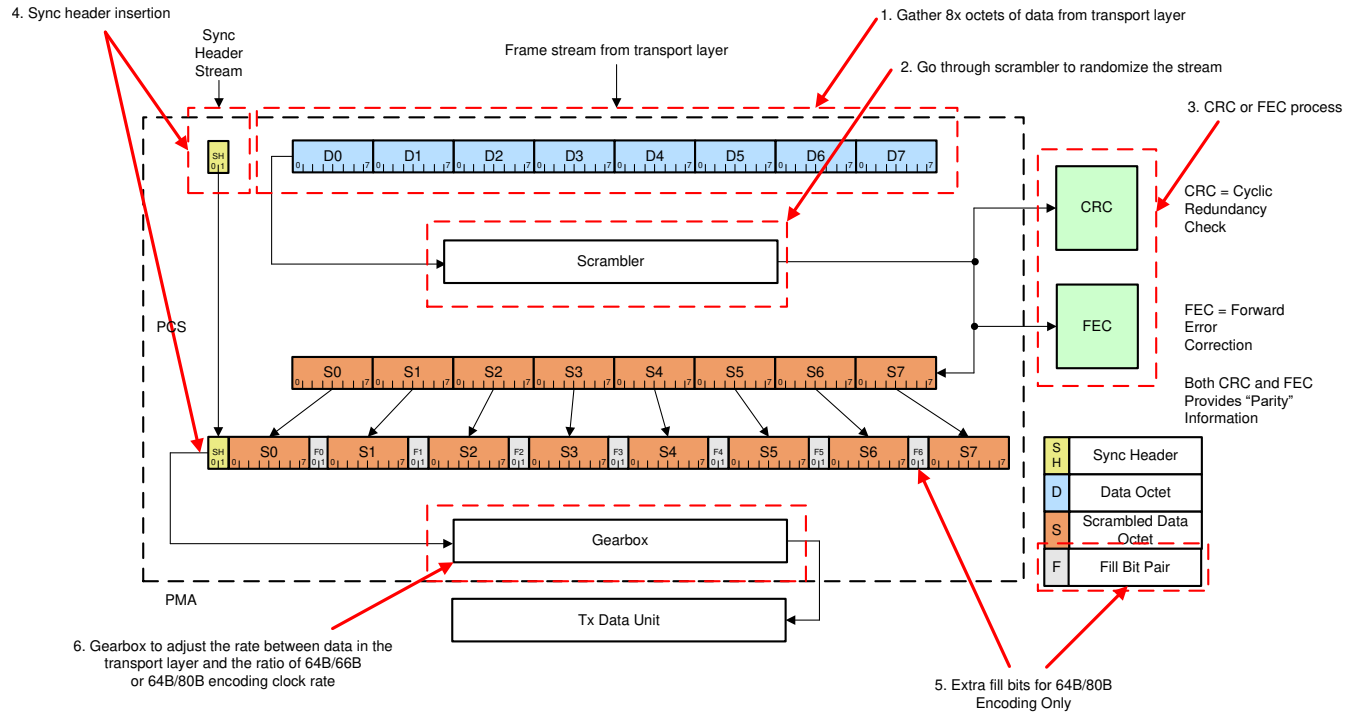


图 6-2. 64B/66B 和 64B/80B 编码过程⁵

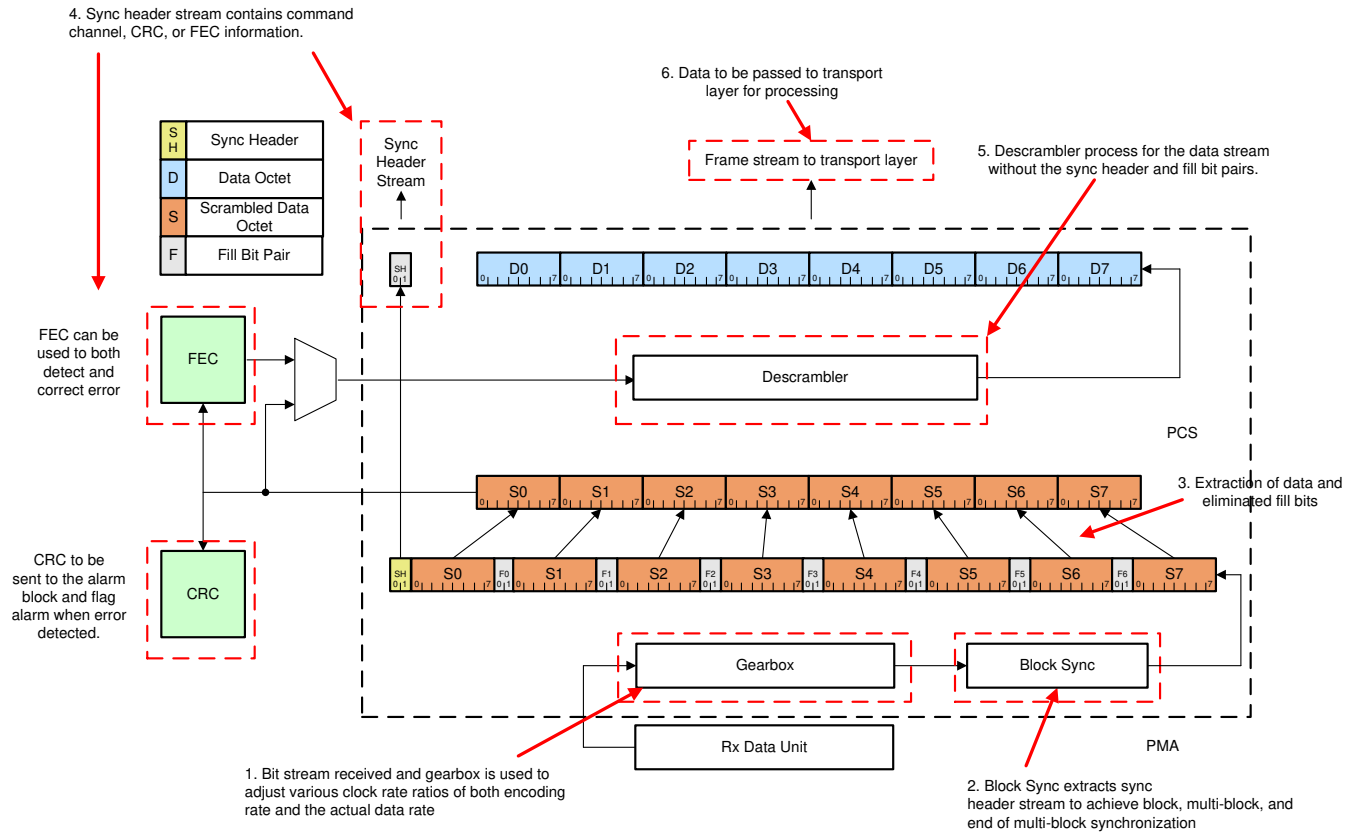


图 6-3. 64B/66B 和 64B/80B 解码过程⁶

⁵ JESD204C 文档中的图 67。版权所有 JEDEC。未经 JEDEC 许可不得复制。

⁶ JESD204C 文档中的图 69。版权所有 JEDEC。未经 JEDEC 许可不得复制。

6.1 这对系统开发人员而言意味着什么？

1. 如果 FPGA/ASIC 开发基于 JESD204B，并且系统需要迁移到 64B/66B 或 64B/80B 编码选项，则系统开发人员需要基于 JESD204C 64B/66B 和 64B/80B 编码的新链路层开发新的 IP。64B/66B 和 64B/80B 编码的新握手协议并非基于 8B/10B 编码，而是基于新架构。
2. 64B/66B 和 64B/80B 编码链路层选项不需要 ~SYNC 等握手信号。JESD204C 文档未规定实际 J-RX 链路建立之前和之后的 J-TX 数据要求。系统开发人员需要（通过硬件或软件）在系统中的 JESD204C 层之上添加一个额外的控制层，以处理 J-RX 建立之前和之后的过渡阶段。此外，必须发送来自 J-RX 的警报信号以指示链路建立和链路错误。以下是其他处理过程的示例。
 - a. 除了链路层级别之外，J-RX 物理层中的 SERDES 接收器也需要 CTLE 和 DFE 适配过程。CTLE 和 DFE 适配过程要求 J-TX 从调制解调器发出准随机信号（例如 PRBS）或随机度高的流量信号。J-RX 一定要（可能通过更高级别的主机）与 J-TX 正确通信，以便 J-TX 可以向 J-RX CTLE 和 DFE 适配发送合适的练习模式。
 - b. 在 J-RX 作为发送器信号链中数模转换器 (DAC) 的应用中，J-TX 会需要在建立 J-RX 链路之后且实际传输之前的某些时间段内发送零流。这可能会清除 DAC 数字链中在系统启动期间发生的随机模式。系统开发人员需要设置一段时间（在用于 CTLE 和 DFE 适配的练习信号之后），在实际传输到发送器链的其余部分（即前置放大器、功率放大器和天线）之前发送零流，以清除 DAC 数字链。该时间通常大于 DAC 数据路径的延迟。
 - c. 8B/10B 扰频器排在第 15 位，可自动同步。在某些情况（例如基带数据为长的零流）下，扰频器将输出初始扰频数据，然后输出数据的重复副本。这种情况会导致 CTLE 和 DFE 发生电磁干扰 (EMI) 或适配不良。一个典型的示例是系统中发生信号被时间门控的现象（即时域双工或 TDD 系统）。解决此问题的一种方法是重新插入定期播种信号，以再次激发扰频器。例如，在常见电信系统中，这是数据帧之间的周期性导频信号。64B/66B 和 64B/80B 编码中的数据流由排在第 58 位的扰频器进行扰频，这也是自动同步的。排在第 58 位的扰频器出现重复数据的可能性显著降低，这是更新后的扰频器方案设计使然，但仍可能出现这种错误。系统开发人员需要评估基带信号特性，并使用文档扰频器模型来确定是否需要借助周期性的播种信号来降低 EMI 和 CTLE/DFE 适配不良的风险。
3. 一些开发人员仍倾向于使用专用握手协议和适当 sync_request 信号（例如 ~SYNC）来指示链路建立。专用握手周期使开发人员能够规划 SERDES 均衡协商，并使其他系统启动以实现更好地流动。此外，在发送器链中使用了 DAC 的应用中，当 JESD204 链路断开时，sync_request 信号可以提供信号的确定性门控。信号的这种确定性门控对于发送器链至关重要，可防止错误信号传播到信号链的其余部分，并可实现无线传播。在这些情况下，JESD204 8B/10B 编码是更合适的选项。
4. 表 4-1 强调了齿轮箱比率的重要性。8B/10B 编码下的 SERDES 与数据转换器之比为 40，而 64B/66B 编码下的这一比率为 33。在两种编码选项之间进行选择时，开发人员需要考虑各种 IP 内核所需的时钟和参考时钟的生成。64B/66B 编码的效用会产生额外的限制。尽管 64B/80B 编码可提供与 8B/10B 编码相同的兼容性，但它无法提供与 64B/66B 选项相同的高效编码。

6.2 注意事项

1. 同步报头流可实现导频信号插入以识别块并能扩展多块。此外，该流提供了错误检测功能（CRC 和 FEC）和错误校正功能（仅 FEC）。
2. 在 8B/10B 编码机制中，在接收到数据后会立即发现运行差异错误和代码错误（即，数据不在 8B/10B 解码表中）。
3. 在 64B/66B 或 64B/80B 中，执行 CRC 或 FEC 错误检查以查找位或脉冲错误。只能在收到错误数据 2048 位后检测到 CRC 或 FEC 错误。发生 2048 位延迟的原因是，对于在第一个多块上检测到的错误，该块的 CRC 或 FEC 会与下一个多块一起发送。

7 确定性延迟

JESD204C 的确定性延迟框架和要求与 JESD204B 标准类似。JESD204C 文档中的图 5 准确描述了实现确定性延迟这一终极目标。请注意，虽然该图中描述的是在 8B/10B 编码下运行的情况，但缓冲区释放的相同原则也适用于在 64B/66B 和 64B/80B 编码下运行的情况。下文总结了实现确定性延迟所需执行的步骤。

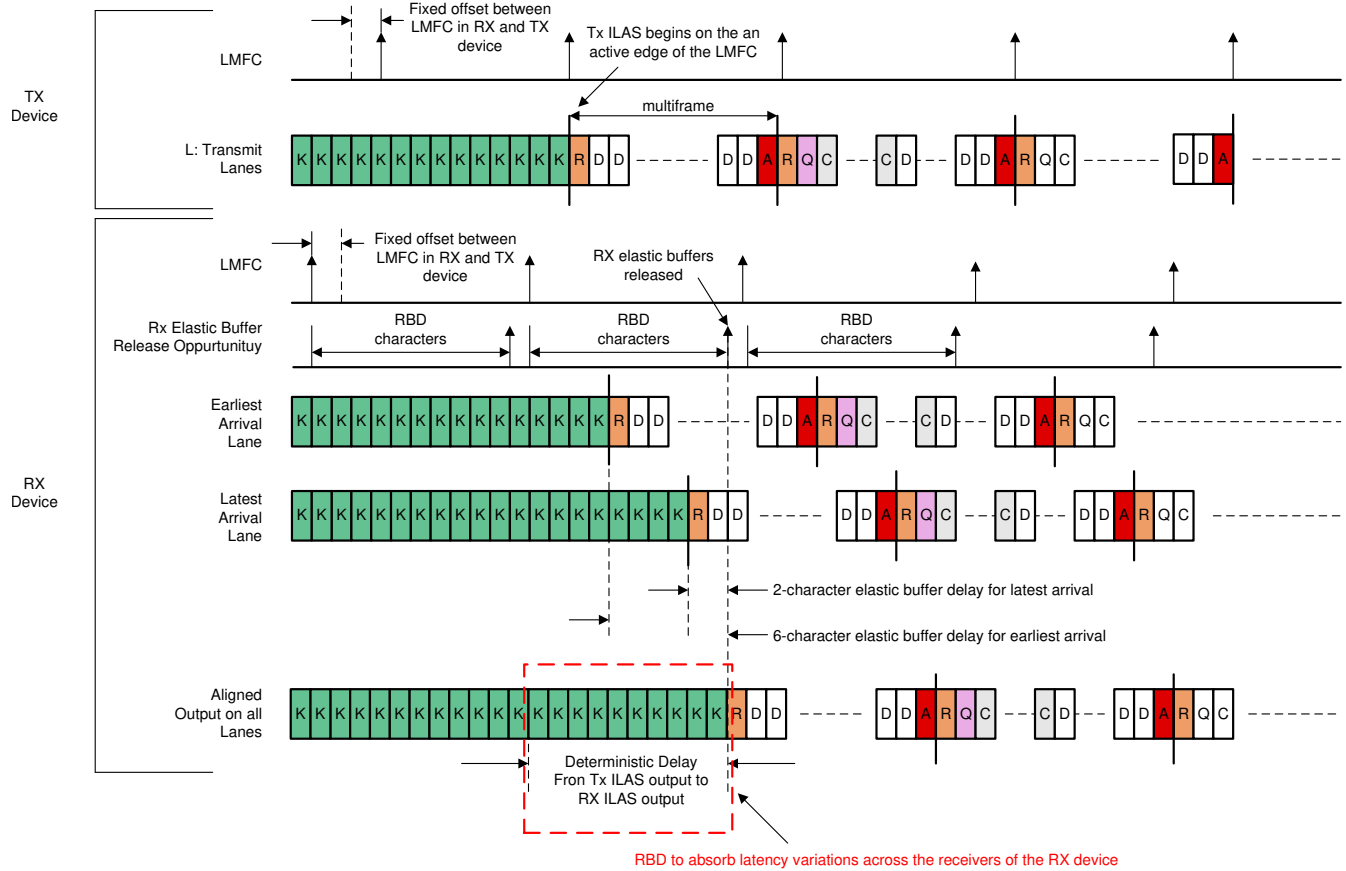


图 7-1. 展示 JESD204C 8B/10B 系统中 RX 弹性缓冲区释放机会的时序图⁷

1. 系统设计人员将多帧 (8B/10B) 或扩展多块 (64B/66B) 的长度设置为大于整个链路中 J-RX 通道可能的最大延迟变化。
2. 链路 J-RX 通道中缓冲区的大小也必须大于延迟变化, 才能吸收 J-RX 通道的延迟。一旦所有 J-RX 通道都接收到每个通道的时间戳, 便会将缓冲区释放。缓冲区主要吸收 J-RX 通道中接收到的数据之间的延迟差异。
3. 每个通道都有其各自的缓冲区。较早到达的通道使用的缓冲区较多, 而较晚到达的通道使用的缓冲区较少。收到时间戳信号后, 所有缓冲区都会同时释放。
4. 系统设计人员可以对释放点进行微调。对释放点进行调整主要会将释放点从“不确定性”区域移走。

JESD204C 引入了以下这些可以改善确定性延迟设置的新功能：

1. 目前, RBD (释放缓冲区延迟) 在 JESD204B 8B/10B 编码中被定义为调整步骤, 而非固定帧周期。
2. 每个多帧的帧数上限 (K) 目前从 32 增加到 256。这表示必须在 J-RX IP 中采用更长的缓冲区 (主要是指将用于 64B/66B 编码 IP 的缓冲区重新用于 8B/10B 选项)。

注意, 尽管对这三种编码选项而言, 释放缓冲区延迟的原理和用以实现确定性延迟的缓冲区的运行是相同的, 但系统开发人员必须知道其定义中存在的一些差异。待释放的缓冲区的时间戳指示器如下：

1. 8B/10B 链路：最后一个 /K/ 字符到第一个位数据或初始通道对齐序列起始位置之间的位转换的最早通道和最晚通道时间差。
2. 64B/66B 或 64B/80B 链路：多块中第一个块的同步报头内的位转换的最早通道和最晚通道时间差。

此外, 存在偏移预算的完整修订版本。JESD204C 规范的第 4.3 节包含详细的分析和设计实施建议。解释规范时, 请牢记以下方向差异定义：

1. 转换方向：规范专门针对生成的偏移。
2. 接收方向：规范专门针对偏移容限。

⁷ JESD204C 文档中的图 5。版权所有 JEDEC。未经 JEDEC 许可不得复制。

7.1 注意事项

1. 对于 8B/10B 编码选项，如果要求达到最低的链路延迟，则必须将 K (多帧中的帧数) 设为最小值。
2. 对于 64B/66B 或 64B/80B，如果要求达到最低的链路延迟，则必须将 E (扩展多块中的多块数) 设为最小值。⁸
3. 如果发生链路重建，则在 8B/10B 编码中选择 K 的最小值或在 64B/66B 或 64B/80B 编码中选择 E 的最小值也会缩短重新链接的时间。
4. 通常情况下，JESD204 内核的数字化设计是多帧时钟 (K) 或扩展多块时钟 (E) 的函数。较小的 K 或较小的 E 需要更快的数字处理时钟，这将转化为更快的数字化设计处理速率。即使在 JESD204C 标准中将 K 或 E 值的下限规定为 1，实际的下限仍取决于逻辑器件和数据转换器的逻辑设计。
5. K 或 E 的值是 SYSREF 频率的一个系数。确定性延迟要求将 SYSREF 作为逻辑器件和数据转换器同步的时间戳。

8 ~SYNC (SYNC 请求) 信号差分

8.1 8B/10B 编码选项升级

对于 8B/10B 选项，握手的关键字是用于初始链路同步的 K28.5 字符，而直流耦合握手请求 (或同步请求) 则是 ~SYNC 信号。还有其他用于帧对齐检查的关键字，例如 K28.7。这些选项均符合 JESD204C 8B/10B 编码标准。

从 JESD204B 标准进行的升级有几种：

1. 直流耦合 ~SYNC 信号目前可以有选择性地通过串行通信接口 (例如 SPI) 成为以软件作为基础。例如，主机可以在 J-TX 和 J-RX 内写入一个寄存器以启动同步请求，还可以要求 J-TX 发出 K28.5 字符。同步请求完成后，主机可以停止同步请求并开始数据流传输。此选项尚未被完全定义，不能确保不同链路建立之间的器件确定性延迟。
2. 鉴于 JESD204C 器件需要与上一代仅支持 JESD204B 的器件一起工作，目前基于硬件的 ~SYNC 信号具有定时调整功能。
3. 仅为 8B/10B 链路层添加了 ~SYNC 生成和 ~SYNC 检测时钟。这些可以是单独的时钟，但也可以重复使用其他具有可调延迟和脉冲扩展功能的时钟。
4. 同步请求的 ~SYNC 的脉冲宽度 (最少 5 个帧和 9 个八位位组) 和错误报告 (最少 2 个帧) 必须允许执行调整步骤以实现偏移和 JESD204B 的向后兼容性。

由于可实现 64B/66B 和 64B/80B 编码的同步报头结构本身的性质，不再需要使用 SYNC 信号。

8.2 这对系统开发人员而言意味着什么？

1. 在调整步骤中针对帧时钟 (或多块时钟) 和更大的指定 J-RX 缓冲区调整 RBD 延迟，可让系统开发人员更精细地控制延迟释放点。当系统开发人员要调整多个数据转换器的延迟以实现多器件同步时，这一点尤其重要。
2. 通过采用 64B/66B 和 64B/80B 编码，J-RX 缓冲区的大小会随着多块扩展的长度增加而增加。这也增加了 8B/10B 编码模式下的缓冲区大小，从而使多帧 (K) 数量从总计 32 个增加到 256 个。缓冲区大小的增加提高了对 JESD204C 系统中更长延迟变化的耐受度。
3. ~SYNC 要求和编码定义的本质已从编码选项中删除，因此可通过光纤实施 JESD204C。在以前的 8B/10B 编码选项中，提供直流耦合 ~SYNC 信号一直是个令人担心的问题。

9 结论

JESD204C 可提供更高效的编码机制、更高的吞吐量、更具体的物理层定义、链路层中更智能的握手协议以及与先前标准的向后兼容性，以及在需要确定性延迟和多器件同步的系统中的调整延迟步骤。尽管所有这些特性都汲取了新一代通信系统的精华，但系统设计人员现在已经具备相关知识，还可评估相较于继续使用 JESD204B，升级到 JESD204B 后产生的影响。

无论是否最终选择 JESD204 标准，德州仪器 (TI) 提供的广泛 JESD204B 和 JESD204C 数据转换器和无线电收发器产品组合，可满足众多通信系统设计的需求。更多信息以及关于 JESD204 标准的培训资料，请访问 www.ti.com。

⁸ 一个块包含八个八位位组数据。一个多块包含 32 个块。一个扩展多块包含 E 个多块。

10 参考文献

- JESD204C 标准 - JEDEC , 2017 年 12 月
- [SerDes 设计第 5 部分：通道运行裕度，功能强大的合规性工具](#)

11 致谢

本文作者要特别感谢 Donghoon Han、Phanindra Kaligotla 和 Sanjay Pennam 的耐心指点和对本文的全面审查。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2019) to Revision A (April 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	2

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司