

Kang Hsia

摘要

本文档作为集成 AFE79xx 的射频采样收发器的一般布局指南，以高速、混合系统的优秀设计实践为依据。系统设计人员在设计带有 AFE79xx 元件的 PCB 时必须参考此文档。涉及如下具体主题：

- 混合信号设计中的接地平面布局
- 电源分配
- 电源去耦
- 时钟布线
- JESD204 通道布线

内容

1 术语.....	2
2 引言.....	2
3 堆叠和网放置.....	2
4 常规布置方法.....	3
5 电源和接地布局方法.....	3
6 接地域.....	8
7 旁路电容器指南.....	15
8 射频布置常规方法.....	16
9 JESD204 协议准则.....	20
10 通用高速信号路由.....	21
11 高速差分信号路由.....	26
12 参考文献.....	34
13 修订历史记录.....	34

商标

所有商标均为其各自所有者的财产。

1 术语

CLK	AFE7920 的参考时钟 (直接对射频采样数据转换器计时或为片上 PLL 提供参考)
TX	射频采样发送器 DAC
RX	射频采样接收器 ADC
FB	射频采样反馈 ADC
SRX	串行器/解串器接收器通道
STX	串行器/解串器发送器通道
GPIO	通用输入/输出
IMD3	三阶互调失真
ACPR	相邻通道功率比
NSD	噪声频谱密度
ESD	静电放电

2 引言

本 EVM 布局指南基于 AFE79xx EVM (DC101)，旨在让客户掌握 TI AFE79xx EVM 布局的基础知识。这些建议基于从 AFE79xx EVM 的设计、布局审核和最终测试中吸取的经验教训，可为高速系统设计提供指导。本布局指南重点介绍了在布局过程中需要特别注意和重点关注的关键领域。TI 也提出了处理关键布局网和布线的相关策略，还论述了客户可将策略应用于其自有设计的方法。

3 堆叠和网放置

表 3-1 显示了每一层的说明以及该层中的重要网。

表 3-1. AFE79xx EVM 堆叠信息

层	该层说明	材料	厚度 (MIL)	导热性 (MHO/CM)	介电常数	损耗角正切	网
空气	空气	不适用	不适用	0	1	0	
顶部表面	电介质	FR-4	2	0	4	0.035	
顶部	器件放置层	铜	2.6	595900	4.2	0	四个 RX 输入布线、四个 TX 输出布线、两个反馈布线、串行器/解串器 SRX 通道。顶层电源网去耦电容器。
顶部/2 电介质	电介质	FR-4	7.2	0	4.2	0.035	
2	接地层	铜	0.7	595900	4.2	0.035	接地覆铜，使用缝隙来隔离数字接地和模拟接地。
2/3 电介质	电介质	FR-4	8	0	4.2	0.035	
3	电源层	铜	1.2	595900	4.2	0	VOUT_1p2V、VOUT_1p2VCLK、PLLA1p8V、VDDA_GPIO_1p8
3/4 电介质	电介质	FR-4	8	0	4.2	0.035	
4	接地层	铜	1.2	595900	4.2	0	接地覆铜，使用缝隙来隔离数字接地和模拟接地。
4/5 电介质	电介质	FR-4	8	0	4.2	0.035	
5	电源层	铜	1.2	595900	4.2	0.035	VOUT_1p8V、VOUT_1p8V_CLK、VOUT_1p2V_PLL、VOUT_3p3V_LMK*
5/6 电介质	电介质	FR-4	4.9	0	4.2	0.035	
6	接地层	铜	0.7	595900	4.2	0.035	接地覆铜，使用缝隙来隔离数字接地和模拟接地。
6/7 电介质	电介质	FR-4	5.4	0	4.2	0.035	
7	信号层	铜	0.7	595900	4.2	0	GPIO 布线
7/8 电介质	电介质	FR-4	3	0	4.2	0.035	
8	信号层	铜	1.2	595900	4.2	0.035	GPIO 布线
8/9 电介质	电介质	FR-4	8	0	4.2	0.035	
9	VSSCLK 层	铜	1.2	595900	4.2	0	一般接地层，主要用于时钟接地隔离。它有缝隙，可以隔离数字接地和模拟接地。
9/10 电介质	电介质	FR-4	8	0	4.2	0.035	
10	电源层	铜	1.2	595900	4.2	0	VOUT_0p9V 和 VOUT_1p8V_PLL
10/11 电介质	电介质	FR-4	8	0	4.2	0.035	

表 3-1. AFE79xx EVM 堆叠信息 (continued)

层	该层说明	材料	厚度 (MIL)	导热性 (MHO/CM)	介电常数	损耗角正切	网
11	接地层	铜	1.2	595900	4.2	0.035	接地覆铜, 使用缝隙来隔离数字接地和模拟接地。
11/底部电介质	电介质	FR-4	8	0	4.2	0.035	
底层	器件去耦电容器放置层	铜	2.6	595900	4.2	0	接地覆铜, 使用缝隙来隔离数字接地和模拟接地。底层电源网去耦电容器。串行器/解串器 STX 通道、AFE79xx 时钟接收器 (REFCLK±) 输入。TX 输出偏置网络布线。
底部表面	电介质	FR-4	2	0	4	0.035	
空气	空气	不适用	不适用	0	1	0	

*并非一个 AFE79xx 器件电源轨。

NOTE

根据 PCB 制造行业的常规做法, 上半部分铜厚度要与下半部分铜厚度对称 (从横截面角度看)。在 PCB 制造过程中, 首先加热铜层以及环氧树脂和电介质材料并使其受压。如果上半部分铜厚度与下半部分铜厚度不对称, 则不均匀的表面冷却速率会导致 PCB 翘曲和弯曲。从理论上讲, 第 7 层和第 8 层是 GPIO 布线层, 铜厚度较薄, 可能会导致 PCB 翘曲。在第 7 层和第 8 层填充铜以创造对称的铜厚度, 则可以解决此问题。

4 常规布置方法

1. 必须为高速串行器/解串器、时钟和射频输入和输出信号预留顶层和底层。
 - a. 射频 RX 输入、射频 TX 输出、射频 FB 输入和 SRX 布线布置在顶层, 从连接器直接到器件, 以最大限度地减少过孔的使用。这有助于减轻衰减和阻抗变化所招致的影响。SRX 布线可以在 29.5Gbps 串行器/解串器速率下运行, 最大限度地减少过孔的使用可增大 SRX CTLE 和 DFE 运行的裕度。
 - b. 这种 EVM 设计不涉及盲孔或背钻孔。图 4-1 因此, 如果从顶层通过过孔路由到中间层, 则会产生残桩效应, 并会影响阻抗质量, 如中所示。因此, 对于除了顶层还需要另一层路由的其他高速信号而言, 应选择底层以避免残桩效应。例如, 将串行器/解串器 STX 通道和 AFE79xx 时钟接收器输入布置到底层上, 射频过孔从底层路由到顶层, 不会产生任何残桩。

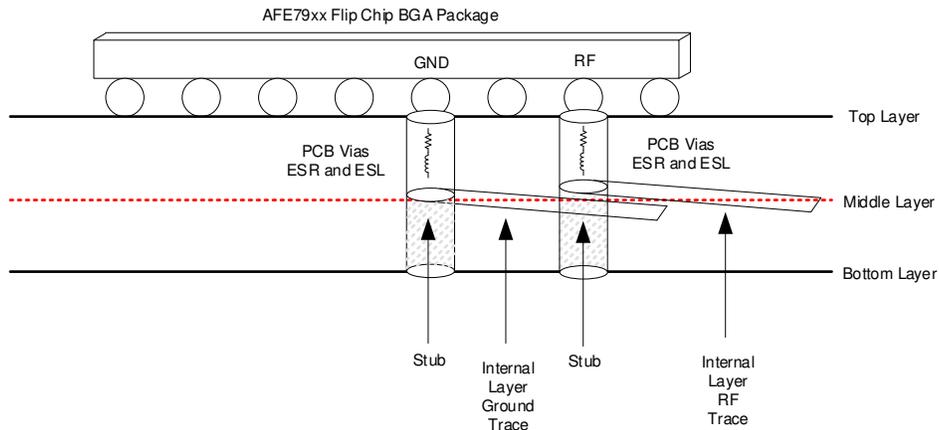


图 4-1. 中间层的过孔残桩效应

2. 时钟输入 (REFCLK±) 必须与射频信号输入和其他干扰源充分隔离开来。时钟输入直接进入数据转换器采样时钟 (即直接进行外部计时) 或进入片上 PLL 以生成数据转换器采样时钟。任何射频信号或其他干扰源调制到采样时钟, 引起时钟污染。被污染的时钟包含射频输入和射频输出的调制内容, 这些污染会造成失真、杂散和噪声性能下降。

5 电源和接地布局方法

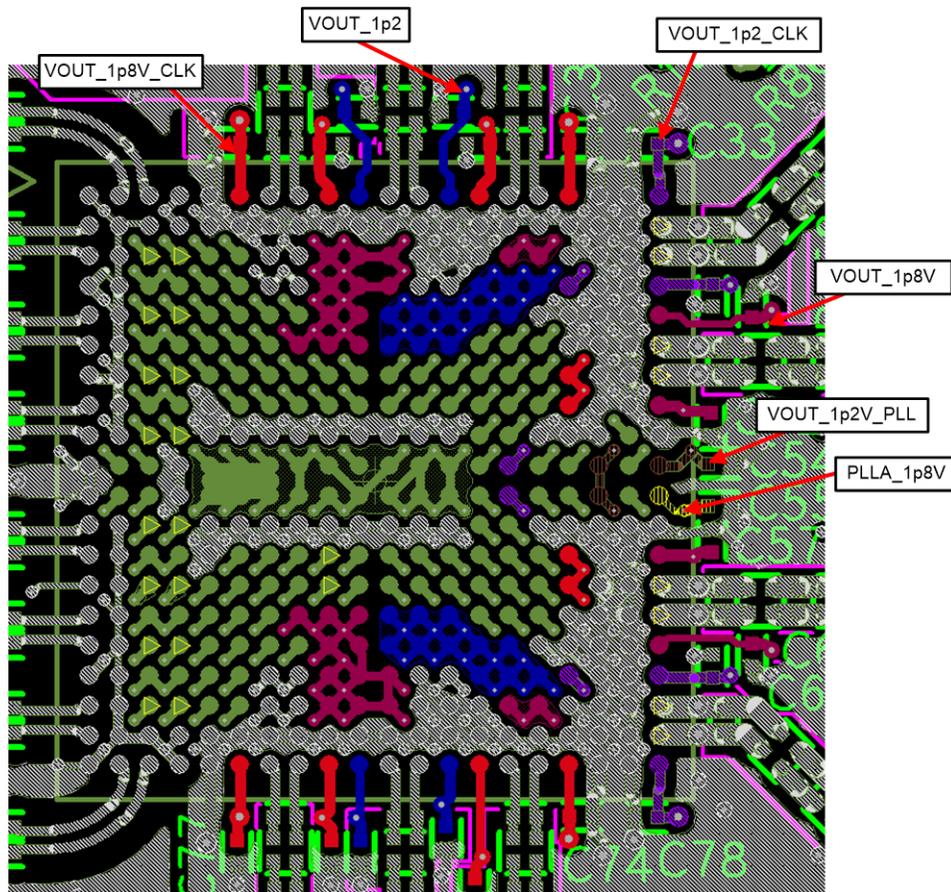
AFE79xx EVM 包含以下电源网及关联的接地网。

表 5-1. AFE79xx 电源网及关联的接地返回网

AFE79xx EVM 通用网名称	AFE79xx 器件电源引脚	网的说明	关联的接地网
VOUT_0p9V	DVDD	0.9V 数字核心电源网	DGND
	VDDT	0.9V 串行器/解串器数字核心电源网	
VOUT_1p2V	VDD1p2FB	FB ADC 链使用的 1.2V 电源	AGND
	VDD1p2RX	RX ADC 链使用的 1.2V 电源	
VOUT_1p2VCLK	VDD1p2TXCLK	TX DAC 链时钟使用的 1.2V 电源	绑定到 AGND 的虚拟 VSSCLK
	VDD1p2TXENC	TX DAC 编码器使用的 1.2V 电源	
	VDD1p2PLLXCMCML	将 PLL 时钟分配至 RX ADC 所需使用的 1.2V 电源	
	VDD1p2PLLFBMCL	将 PLL 时钟分配至 FB ADC 所需使用的 1.2V 电源	
VOUT_1p2V_PLL	VDD1p2PLLCLKREF	PLL 使用的 1.2V 电源	绑定到 AGND 的虚拟 VSSCLK
PLLA1p8V	VDD1p8PLLVCO	PLL/VCO 使用的 1.8V 电源。这是一个敏感网，在布局时需要格外小心	绑定到 AGND 的虚拟 VSSCLK
VOUT_1p8V_PLL	VDD1p8PLL	PLL 使用的 1.8V 电源	绑定到 AGND 的虚拟 VSSCLK
VOUT_1p8V	VDD1p8TX	1.8V TX DAC 链模拟电源	AGND
	VDD1p8RX	1.8V RX ADC 链模拟电源	
	VDD1p8FB	1.8V FB ADC 链模拟电源	
VOUT_1p8V_CLK	VDD1p8RXCLK	1.8V RX ADC 链时钟电源	绑定到 AGND 的虚拟 VSSCLK
	VDD1p8FBCLK	1.8V FB ADC 链时钟电源	
	VDD1p8TXDAC	1.8V TX DAC 链时钟电源	
VDDA_GPIO_1p8	VDD1p8GPIO	GPIO 使用的 1.8V 电源	DGND
	VDDA1p8	串行器/解串器模拟核心 1.8V 电源网	

以下策略重点介绍了在布置电源网及关联的接地网时需要注意的基本事项。

- 为了提高 PCB 平面对电源平面去耦的有效性，需要减少过孔电感量。敏感电源网必须放置在更靠近器件放置平面的电源层上（即在这个布局设计的顶层附近）。在此设计中，第 3 层和第 5 层包含敏感网，例如：
 - VOUT_1p2V
 - VOUT_1p2VCLK
 - PLLA1p8V
 - VOUT_1p8V
 - VOUT_1p8V_CLK
 - VOUT_1p2V_PLL
- 这些电源轨上的任何噪声干扰都以最小过孔距离从封装到达电源平面。PCB 平面本身具有噪声去耦功能。第 10 层有数字电源 DVDD 和至 PLL 的 1.8V 电源 (VOUT_1P8_PLL)。
- 图 5-1 突出显示了在器件边沿附近有引脚分配的电源网。用户可以将这些网直接路由至器件同一层上的去耦电容器。此方法不需要在电源网布线时使用任何过孔。



红色 : VOUT_1P8_CLK 蓝色 : VOUT_1P2 紫色 : VOU_1P2_CLK 品红色 : VOUT_1P8V 绿色 : VOUT_1P2_PLL 黄色 : PLLA_1P8V

图 5-1. AFE79xx 模拟电源网直接布线至去耦电容器

4. 图 5-2 图 5-1 是一个简化示意图，显示了 AFE79xx 的电源引脚名称和对应的 PCB 网名称，以及如所示的实际物理布局的相对去耦路径连接。

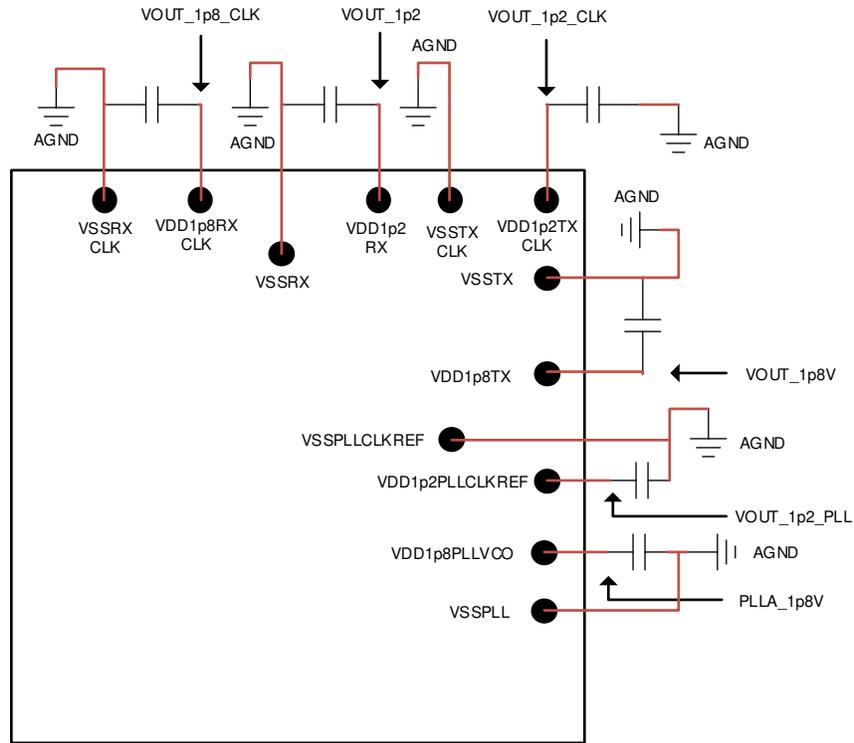


图 5-2. 电源网有效去耦

5. 图 5-3 图 5-1 突出显示了与图 5-2 和 中所示高亮电源网相对应的敏感模拟电源网。

20	VDD1P2 TXCLK	2TXOUT+	2TXOUT-	VDD1P2 TXCLK	VDD1P8TX	1TXOUT-	1TXOUT+	VDD1P8TX	VSSTX	VDD1P2 PLLCLK REF	VDD1P8 PLLVCO	VSSTX	VDD1P8TX	3TXOUT+	3TXOUT-	VDD1P8TX	VDD1P2 TXCLK	4TXOUT-	4TXOUT+	VDD1P2 TXCLK	20	
19	VSSTXCLK	VSSTX	VSSTX	VSSTXCLK	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	PLL LDOOUT	SYSREF+	SYSREF-	VSSPLL	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTXCLK	19
18	VSSFBCLK	VSSFBCLK	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSPLL CLKREF	VDD1P2 PLLCLK REF	VDD1P2 PLLCLK REF	VSSPLL CLKREF	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSFBCLK	VSSFBCLK	18
17	VDD1P8 FBCLK	VSSFB	VSSTX	VDD1P2 TXENC	VSSTXENC	VSSTX	VDD1P8 TXDAC	VDD1P8 TXDAC	VSS PLLRXCM	REFCLK+	REFCLK-	VSS PLLRXCM	VDD1P8 TXDAC	VDD1P8 TXDAC	VSSTX	VSSTXENC	VDD1P2 TXENC	VSSTX	VSSFB	VDD1P8 FBCLK	VDD1P8 FBCLK	17
16	1FBIN+	VSSFB	VDD1P8FB	VDD1P2FB	VSSTXENC	GTR_7_SPB2SEN	GTR_17_SPB1CLK	GTR_14_SPB1SEN	VSSPLL FBCML	VDD1P8PLL	VDD1P8PLL	VSSPLL FBCML	GTL_7_ALARM1	GTL_15_GPIO3	GTL_18_SPIASDO	VSSTXENC	VDD1P2FB	VDD1P8FB	VSSFB	2FBN+	2FBN+	16
15	1FBIN-	VSSFB	VDD1P8FB	VDD1P2FB	VDD1P2FB	GTR_15_RESET	GTR_13_TRST	GTR_3_TXTDD1	GTR_9_SPB2SDO	VDD1P2 PLLRXCM	VDD1P2 PLLFBCML	GTL_3_AUX0	GTL_2_ALARM2	GTL_4_SPIACK	GTL_6_RXTDD2	VDD1P2FB	VDD1P2FB	VDD1P8FB	VSSFB	2FBN-	2FBN-	15
14	VDD1P8 FBCLK	VSSFB	VSSFB	VDD1P2FB	VDD1P2RX	GTR_5_TDO	GTR_18_TDI	GTR_4_TCLK	GTR_2_SPB2CLK	GTR_8_FBTDD1	GTL_8_AUX1	GTL_9_AUX2	GTL_17_SPIASDIO	GTL_1_SPEEP	GTL_5_SPIASEN	VDD1P2RX	VDD1P2FB	VSSFB	VSSFB	VDD1P8 FBCLK	VDD1P8 FBCLK	14
13	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_0_RXGSWAP	GTR_6_SPB2_SDO	GND_ESD	DVDD0P9	DVDD0P9	GND_ESD	GTL_0_GPIO2	GTL_11_AUX3	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	13
12	1RXIN+	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_11_SPB1_SDO	GTR_1_GPIO1	DGND	DVDD0P9	DVDD0P9	DGND	GTL_13_AUX4	GTL_12_BIST1	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	3RXIN+	3RXIN+	12
11	1RXIN-	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P2RX	VDD1P2RX	GTR_10_TMS	GTR_12_SPB1_SDO	DGND	DVDD0P9	DVDD0P9	DGND	GTL_14_AUX5	GTL_10_BIST0	VDD1P2RX	VDD1P2RX	VDD1P8RX	VDD1P8RX	VSSRX	3RXIN-	3RXIN-	11
10	VDD1P2RX	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_6_RXBLNB	GBR_5_FSPIDB	DGND	DVDD0P9	DVDD0P9	DGND	GBL_5_GPIO15	GBL_6_GPIO16	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRX	VDD1P2RX	VDD1P2RX	10
9	VDD1P8 RXCLK	VSSRXCLK	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_9_SYNCB_OUT0	GBR_7_SYNCB_OUT0	DGND	DVDD0P9	DVDD0P9	DGND	GBL_7_SYNCB_OUT1+	GBL_9_SYNCB_OUT1-	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRXCLK	VDD1P8 RXCLK	VDD1P8 RXCLK	9
8	2RXIN-	VSSRX	VSSRXCLK	GND_ESD	GBR_10_FSPICKA	VDD1P8RX	GBR_13_GPIO8	GBR_8_SYNCB_IN0	DGND	DVDD0P9	DVDD0P9	DGND	GBL_8_SYNCB_IN1+	GBL_13_GPIO19	VDD1P8RX	GBL_10_GPIO17	GND_ESD	VSSRXCLK	VSSRX	4RXIN-	4RXIN-	8
7	2RXIN+	VSSRX	VSSRXCLK	GND_ESD	GBR_11_RXTDD1	GBR_14_FSPIDA	GBR_12_GPIO7	GBR_17_SYNCB_IN0	DGND	DVDD0P9	DVDD0P9	DGND	GBL_17_SYNCB_OUT1	GBL_12_FSPICKD	GBL_14_FSPIDD	GBL_11_GPIO18	GND_ESD	VSSRXCLK	VSSRX	4RXIN+	4RXIN+	7
6	VDD1P8 RXCLK	VSSRXCLK	GBR_0_GPIO4	GBR_19_GPIO12	GBR_16_GPIO10	GBR_1_GPIO5	GBR_15_GPIO9	VDD1P8 GPIO	DGND	DVDD0P9	DVDD0P9	DGND	VDD1P8 GPIO	GBL_15_FSPIDC	GBL_1_FBTDD2	GBL_16_RXCLNB	GBL_19_GPIO20	GBL_0_GPIO13	VSSRXCLK	VDD1P8 RXCLK	VDD1P8 RXCLK	6
5	VSSRXCLK	VSSRXCLK	GBR_18_GPIO11	GBR_2_RXALNB	GBR_4_GPIO6	GBR_3_FSPICKLB	IFORCE	VSSGPIO	DGND	DVDD0P9	DVDD0P9	DGND	VSSGPIO	VSENSE	GBL_3_GPIO14	GBL_4_RXDLNB	GBL_2_FSPICKKC	GBL_18_TXTDD2	VSSRXCLK	VSSRXCLK	VSSRXCLK	5
4	VSST	VSST	1STX+	VDDT0P9	2STX+	VDDA1P8	3STX-	VDDA1P8	4STX-	VSST	VSST	5STX-	VDDA1P8	6STX-	VDDA1P8	7STX+	VDDT0P9	8STX+	VSST	VSST	VSST	4
3	1SRX+	VSST	1STX-	VDDT0P9	2STX-	VDDA1P8	3STX+	VDDA1P8	4STX+	SERDES_AMUX1	SERDES_AMUX2	5STX+	VDDA1P8	6STX+	VDDA1P8	7STX-	VDDT0P9	8STX-	VSST	VSST	8SRX+	3
2	1SRX-	VSST	VSST	VSST	VSST	VSST	VSST	VSST	VSST	DVDD0P9	DVDD0P9	VSST	VSST	VSST	VSST	VSST	VSST	VSST	VSST	VSST	8SRX-	2
1	VSST	2SRX+	2SRX-	VSST	3SRX+	3SRX-	VSST	4SRX+	4SRX-	VSST	VSST	5SRX-	5SRX+	VSST	6SRX-	6SRX+	VSST	7SRX-	7SRX+	VSST	1	

图 5-3. 与 AFE79xx 引脚图相对应的敏感模拟电源网

- 数字电源平面 VOUT_0p9V (DVDD 和 VDDT) 放在第 10 层 (底层之前的最后一个电源层) 上。这样就可以让数字电源平面在到达位于底部的去耦电容器时, 以最短过孔距离从第 10 层到达底层, 实现更好的去耦。
- 电源平面必须避免彼此重叠, 以更大限度地减少平面间耦合。在此设计中, AFE79xx 电源平面主要占据第 3 层、第 5 层和第 10 层。在各电源层之间提供的接地层可将电源层与其他干扰源隔离开来。接地层还起到防止电源层噪声泄漏到其他敏感层的作用。例如, DVDD 数字电源平面会成为其他信号层和其他电源层的干扰源。此外, 电源平面放置在或“夹在”接地平面之间可实现更好的高频噪声去耦。电源平面层和接地平面层之间的电介质材料发挥去耦电容的重要作用, 消除了去耦电容的大部分寄生电感效应。因此, 这种“夹层”方法提高了电源噪声去耦的整体性能。图 5-4 有效电容取决于电介质的覆盖面积、两个导体之间的距离以及电介质材料的性能, 如中所示。

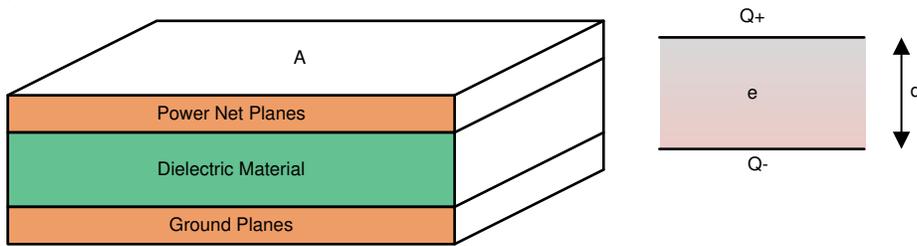


图 5-4. PCB 电介质材料的有效电容

- 利用铁氧体磁珠或馈通电容器可在同一电源平面向器件供电的电源之间实现隔离。图 5-5 在这种情况下, 旁路电容器将被放置在电源、铁氧体磁珠和负载 (AFE79xx 电源轨) 之间, 如中所示。

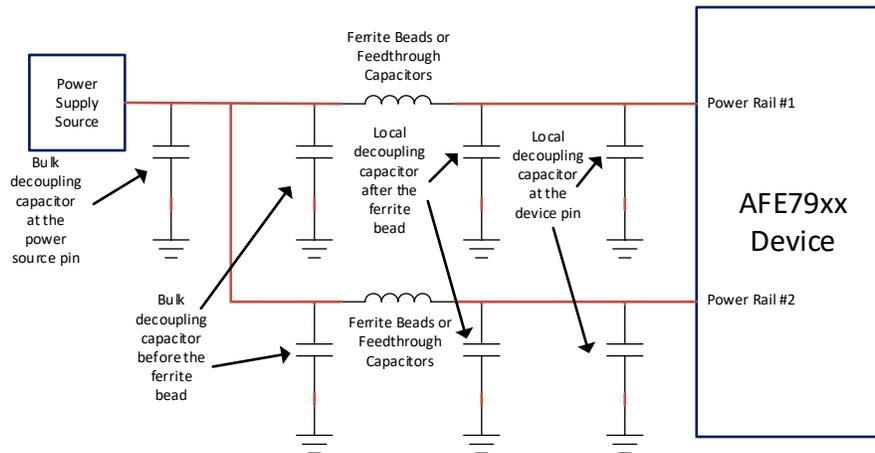


图 5-5. 适合分隔电源轨的铁氧体磁珠和旁路电容器的典型放置方式

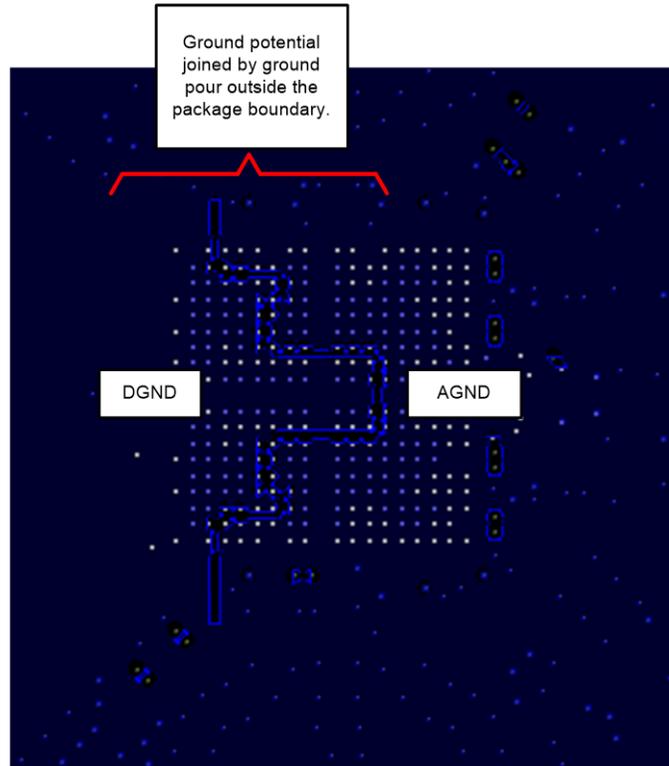
6 接地域

- TI 强烈建议不同接地域的任意两个旁路电容器不得共享同一个接地过孔。表 6-1 请参阅，了解通用接地域对特定 AFE79xx 器件接地网的参考。

表 6-1. AFE79xx 接地网描述

AFE79xx EVM 通用网名称	AFE79xx 器件电源引脚	网的说明
DGND	DGND	数字内核电源接地
	VSST	串行器/解串器数字内核电源接地
	VSSGPIO	GPIO 接地
	ESD_GND	ESD 保护电路接地
AGND	VSSFB	FB ADC 链信号接地
	VSSRX	RX ADC 链信号接地
	VSSTX	TX DAC 链信号接地
虚拟 VSSCLK 绑定到 AGND	VSSFBCLK	FB ADC 链时钟接地
	VSSPLL	PLL 接地
	VSSPLLCLKREF	时钟参考接地
	VSSPLLFBCML	FB ADC 链时钟接地
	VSSPLLRXCML	RX ADC 链时钟接地
	VSSRXCLK	FB ADC 链时钟接地
	VSSTXCLK	TX DAC 链时钟接地
	VSSTXENC	TX DAC 链编码器接地

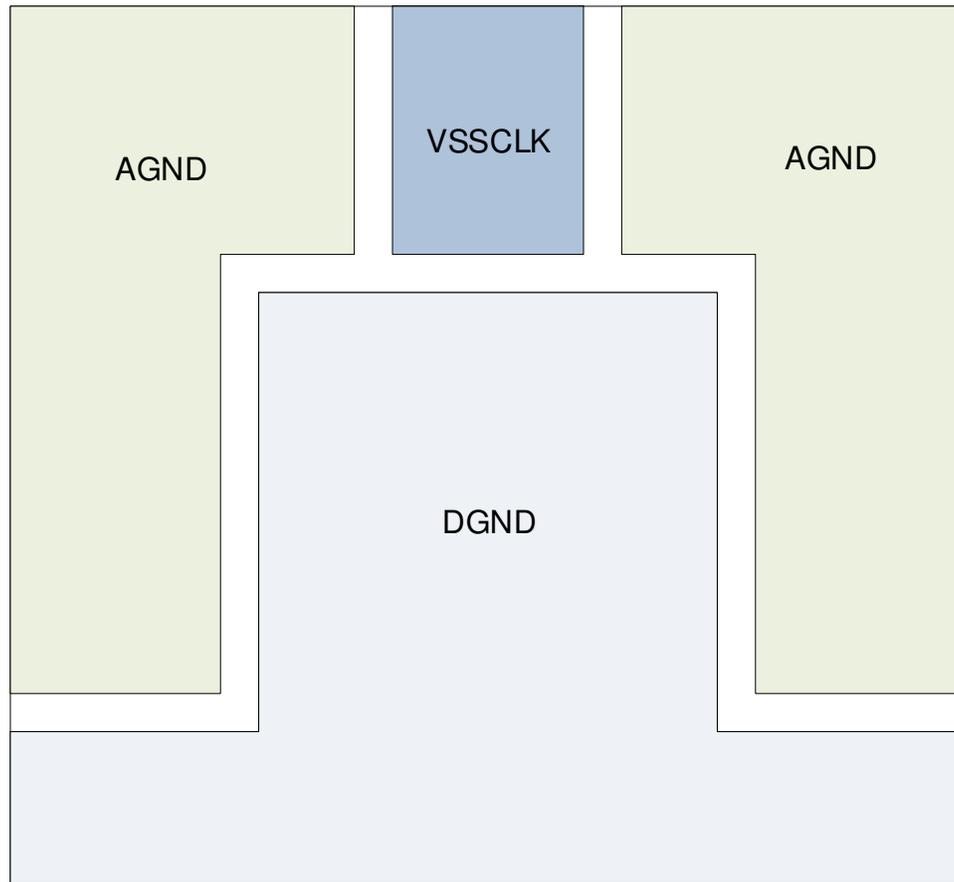
- 两个电源平面之间需要有足够的侧向间距（大约是平面厚度的三倍），以便更大限度地减少平面间耦合。或者，在两个电源平面之间使用接地过孔拼接，进一步减少平面间耦合。
- 图 6-1 所有接地层在 AFE79xx 器件下面都必须有接地覆铜，使用一个缝隙来隔离数字接地和模拟接地，如中所示。缝隙必须在器件封装的边界处结束，而器件封装区域外部必须有足够的接地覆铜。器件封装区域外部的接地覆铜使得数字接地和模拟接地可以维持接地连接和接地电势。一个接地平面上的任何噪声干扰或接地反弹必须先经过较大的接地覆铜，然后再到达另一个接地平面。接地覆铜必须通过 PCB 平面的去耦层（分别穿过顶层和底层以及第 2 层和第 11 层接地层）来吸收噪声和接地反弹。



注意：VSSCLK 被并入 AGND 中。

图 6-1. 接地縫隙和器件的引脚分配

- 图 6-2 显示了模拟接地 (AGND)、数字接地 (DGND) 和理论时钟接地 (VSSCLK) 的接地切断策略。接地切断的目标是特意产生电感，以便一个接地域的噪声干扰不会立即影响另一个域的噪声质量。所有接地均在器件封装区域外部绑定在一起，以便维持接地电势。在这个 PCB 设计中，理论 VSSCLK 接地与 AGND 绑定在一起，其原因将在应用手册的后面部分讨论。



注意：VSSCLK 被并入 AGND 中。

图 6-2. 包含理论 VSSCLK 切断的接地切断策略示例

5. [图 6-3](#) 突出显示了常规接地域与器件引脚映射。此图可帮助系统设计人员了解接地切断和器件引脚映射。

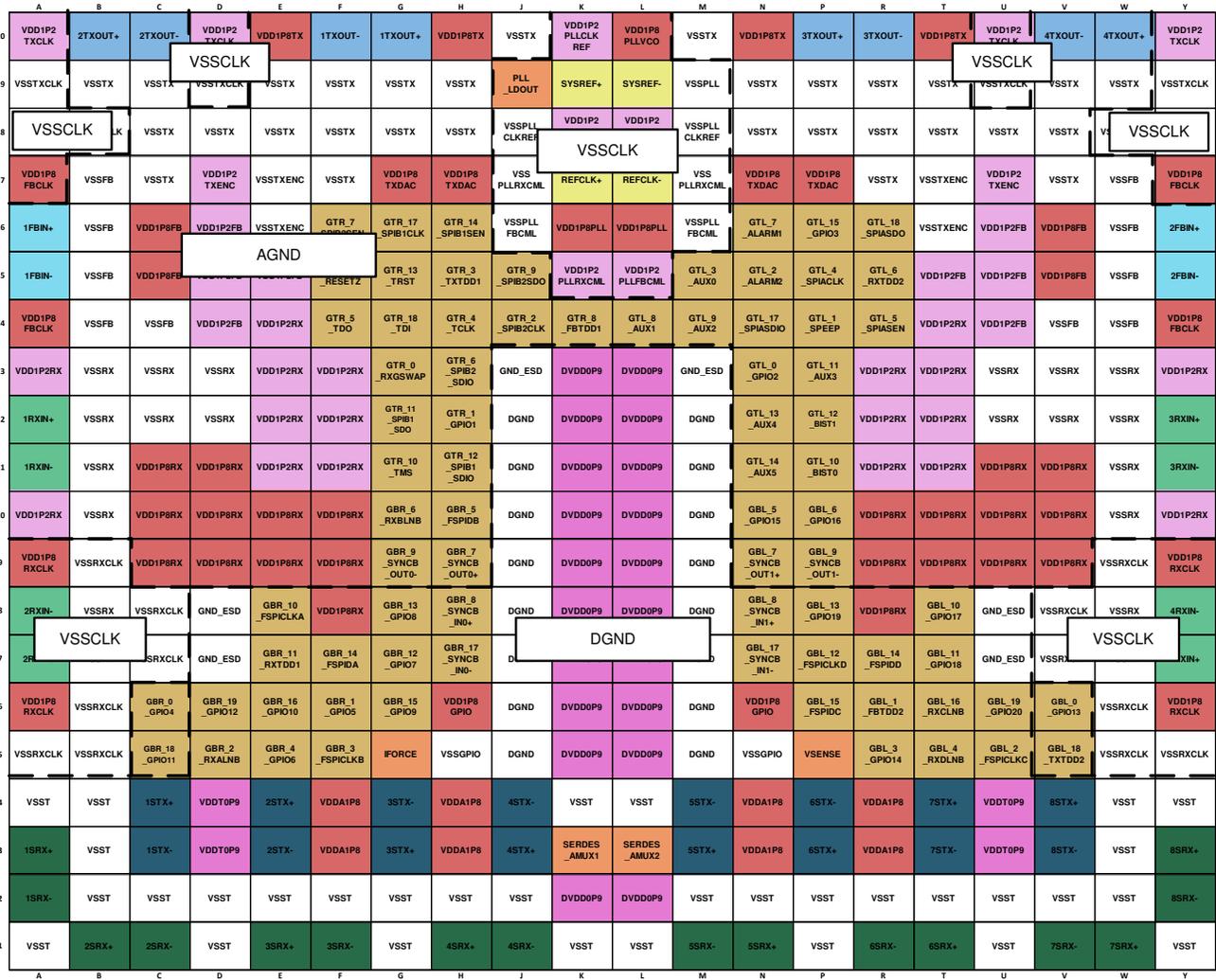


图 6-3. DGND、AGND 和理论 CLK 接地区域与 AFE79xx 引脚映射。

6. ESD 接地 (ESD_GND) 和 GPIO 接地 (VSSGPIO) 是数字接地切断 (DGND) 的一部分。图 6-4 根据 AFE79xx EVM DGND 切断区域，ESD_GND 在 DGND 边界内，如所示。图 6-5 VSSGPIO 是 VDD1p8GPIO 的关联接地网，如所示。VDD1p8GPIO 通常源自模拟 1.8V 电源轨中的共享 1.8V 电源。因此，系统设计人员必须检查从模拟电源到 VSSGPIO 接地的返回路径，确保获得足够的返回路径。

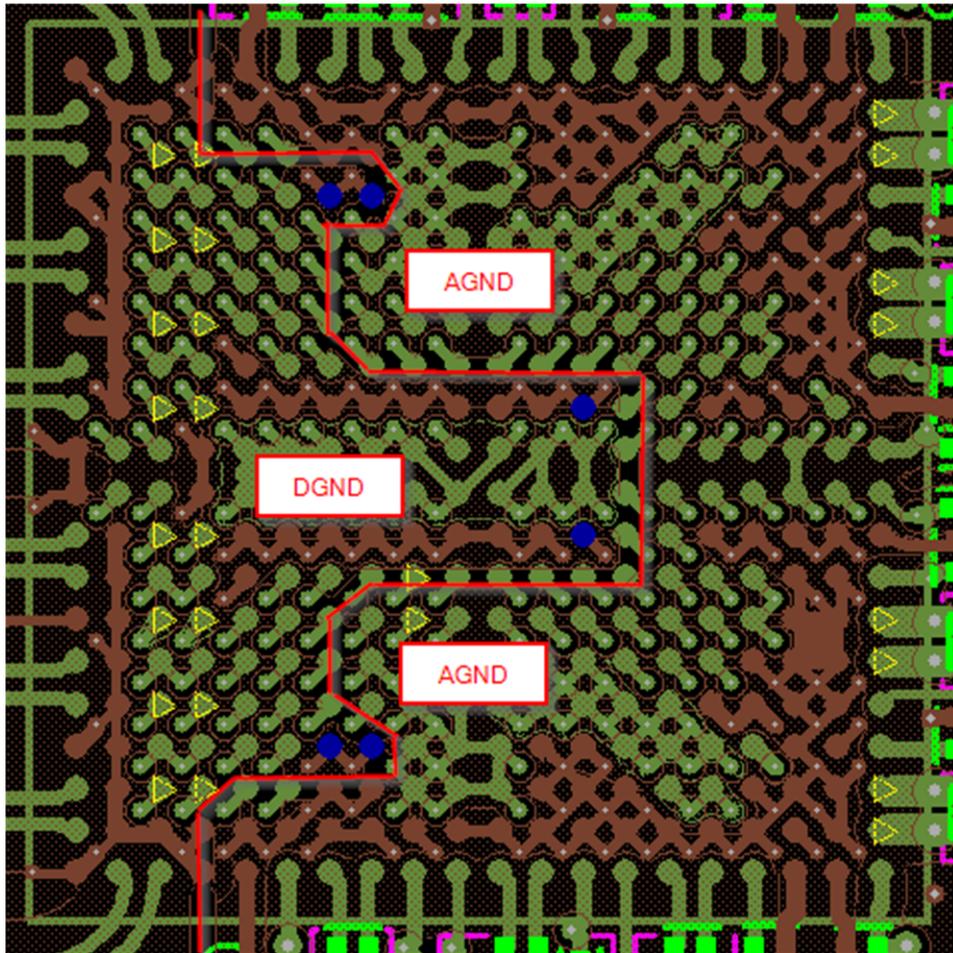


图 6-4. 与 DGND 切断相关的 ESD_GND 焊球 (显示为蓝色)

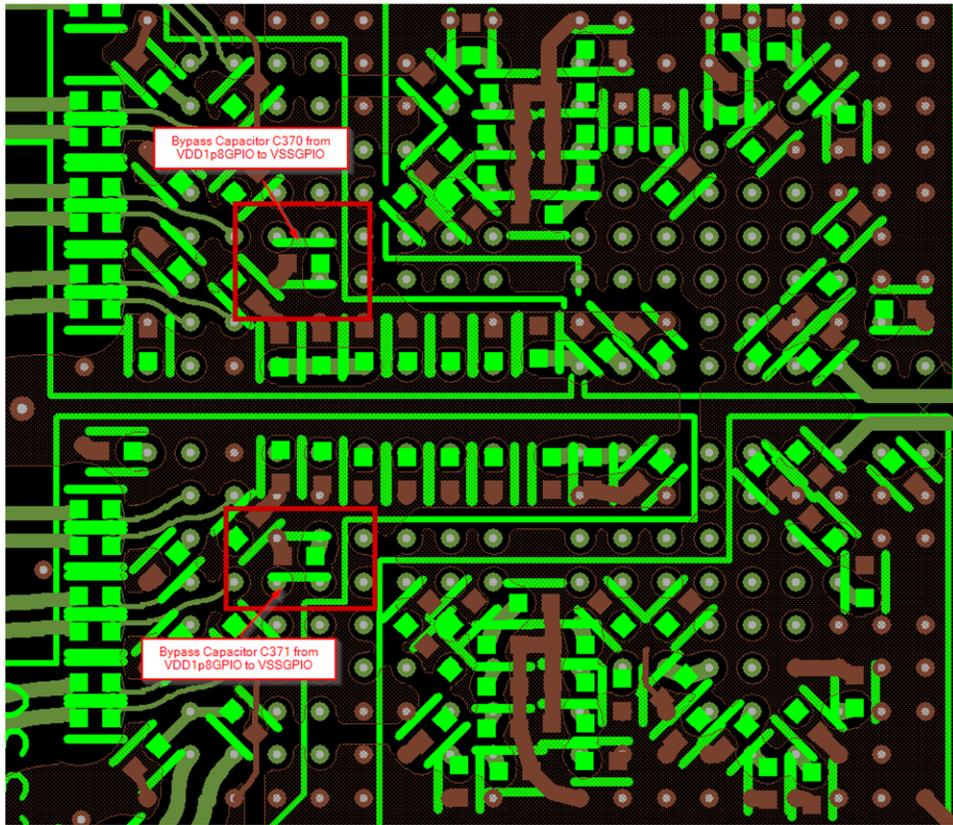


图 6-5. 与 DGND 切断相关的 VSSGPIO 焊球和 VDD1p8GPIO 旁路电容器

理论上，可以用另一个缝隙来分隔 PLL 和时钟分布接地回路。最大限度地减少时钟接地以及 RX、FB 和 TX 接地的耦合，则有助于提高 RX、FB 和 TX 块内采样时钟的质量。如果有 RX、FB 或 TX 信号或噪声耦合到采样时钟上，则耦合的信号或噪声会将其本身调制到采样时钟上。在采样时钟受到污染的情况下，RX、FB 和 TX 信号拥有调制到其本身的已耦合信号。此类循环调制会产生谐波失真，并降低 AFE79xx 的噪声性能。图 6-6 有关双音输出的自耦合在 TXDAC 输出时影响 IMD3 性能的示例，请查看 中的示例图。

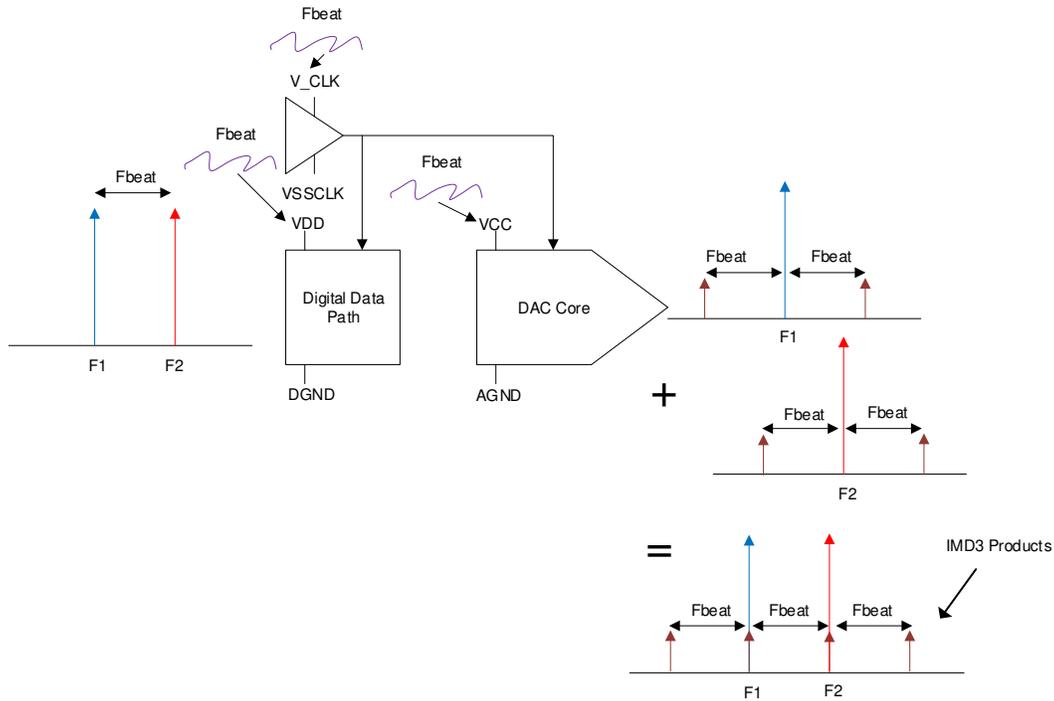
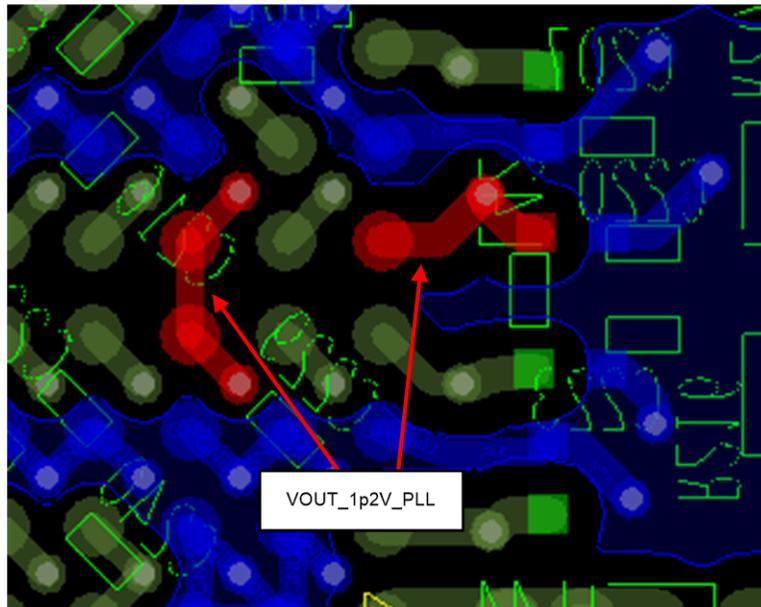


图 6-6. 双音输出的自耦合影响 TXDAC 的 IMD3 性能

由于空间受限，此设计不包括时钟接地缝隙。引入时钟接地缝隙可降低总体有效接地面积。因此，引入接地缝隙的风险会大于收益。取而代之的是，对于时钟接地隔离我们进行了以下考虑：

1. 时钟电源去耦并返回到 AGND。去耦电容器经过定向，可使一个引脚连接到时钟电源，另一个引脚（尽可能）直接连接到关联的时钟接地。例如，VDD1p2PLLCLKREF（REFCLK± 时钟接收器的电源）有 VSS1p2PLLCLKREF 的关联时钟接地。
2. 为了减少由过孔引入的电感，在顶层布置以下时钟电源网：VOUT_1p8CLK、VOUT_1p2_CLK、PLLA1p8V 和 VOUT_1p8_PLL。有关详细信息，请参阅本文之前的部分。
3. 图 6-7 演示了 VDD1P2PLLCLKREF（REFCLK± 时钟接收器的电源）的去耦电容器定向。这种布线方法具有从 VDD1P2PLLCLKREF 到 VSSPLLCLKREF 引脚的直接连接。



VOUT_1p2V_PLL 布置在顶层，可最大限度地减少去耦路径所用的过孔数量。

图 6-7. VOUT_1p2V_PLL 布线示例

4. PLL_LDOUT 是片上 PLL 的内部 LDO。0.1 μ F 电容器必须在时钟接地区域附近进行绑定。由于 PLL_LDOUT 网与内部 PLL/VCO/时钟电路相关，电阻器端接的返回路径必须直接布置到位于引脚 J18 的 VSSPLLCLKREF 引脚。



图 6-8. PLL_LDOUT 0.1 μ F 电容器从引脚 J19 (PLL_LDOUT) 路由到引脚 J18 (VSSPLLCLKREF)

5. 如果 PCB 设计有一个通用 1.8V 电源共享到多个 AFE79xx PLLA1p8V (VDD1p8PLLVCO) 网，则 VDD1p8PLLVCO 网必须有足够的滤波，以防多个 AFE79xx VCO 串扰和 VCO 拉取机制通过通用电源节点。图 6-9 有关滤波建议，请参阅。

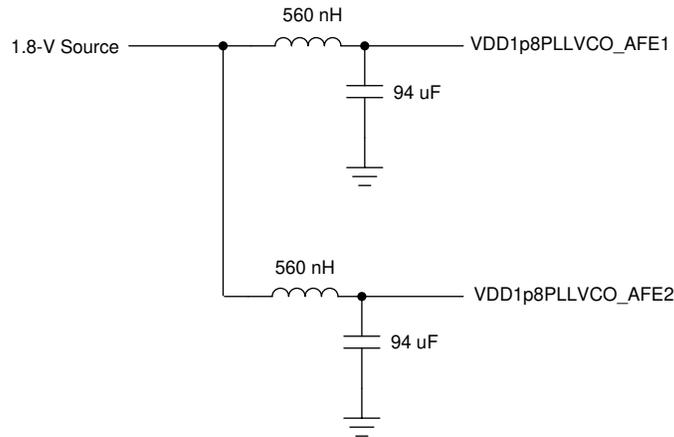


图 6-9. 电源网隔离滤波器

7 旁路电容器指南

1. 所有旁路电容器必须连接到在焊盘中有过孔的平面，并放置在引脚和平面之间。
2. 最大限度地减少旁路电容器上的残桩，避免出现电感。旁路电容器路径上如有任何串联电感，都会导致去耦性能下降。
3. 局部去耦电容器：具有最大可用电容值且物理尺寸较小的旁路电容器，靠近 BGA 放置，最好尽可能靠近引脚。这些电容器用于器件的局部去耦。

- 大型去耦电容器：具有更大电容值的电容器，靠近电源放置。这些是用于使总体电源纹波和噪声保持稳定大型去耦电容器。

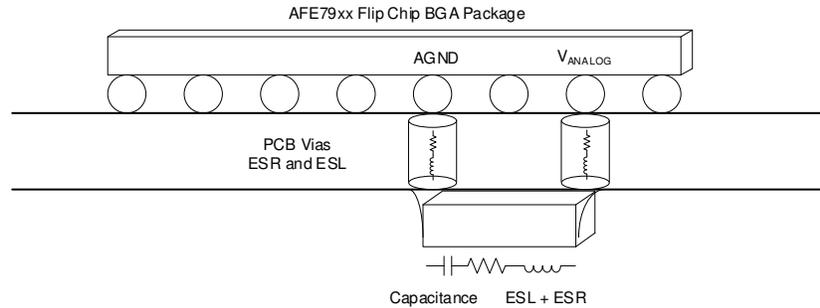


图 7-1. 由于电容器封装 ESL 和 ESR 以及过孔 ESL 和 ESR 产生的去耦电容器限制

8 射频布置常规方法：

- 为了更好地隔离射频信号，PCB 设计人员可以交错布置射频输入和射频输出。例如，将 RX A 和 RX C 放置在顶层，将 RX B 和 RX D 放置在底层。

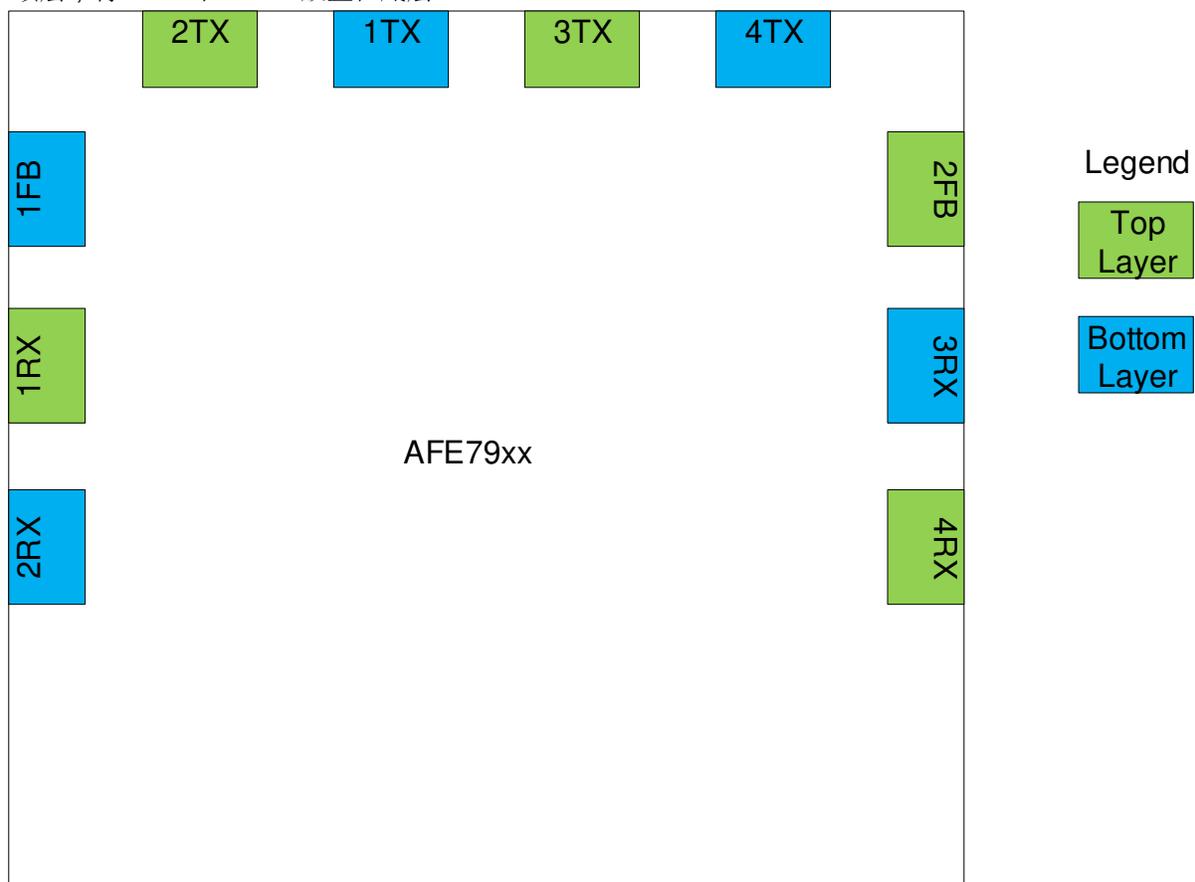


图 8-1. 示例 AFE79xx 信号放置策略

- 在此设计中，所有射频输入和输出均置于同一层，以便展示在信号路由中使用最少过孔时的典型隔离性能。
- 采用阻抗受控布局模式的射频接地层紧跟在顶层之后并先于底层被插入。
- 差分射频布线必须布置为 $100\ \Omega$ CPWG (具有较低接地平面的共面波导) 或微带。RXADC 和 FBADC 的 $100\ \Omega$ 布线为 $100\ \Omega$ 差分至平衡-非平衡变压器，然后 $50\ \Omega$ 单端传输路线为从平衡-非平衡变压器至 SMA 连接器。TXDAC 输出布置为基于 $50\ \Omega$ 的 CPWG，从 TXDAC 输出至平衡-非平衡变压器，然后 $50\ \Omega$ 单端传输路线为从平衡-非平衡变压器至 SMA 连接器。
- 在两个电源层之间插入电源地线。这是为了在电源网彼此重叠时最大限度地减少电源网耦合。图 8-2 例如，第 4 层是电源地线，它被插入在第 3 层和第 5 层电源层之间，如中所示。表 3-1 有关堆叠信息，请参阅。

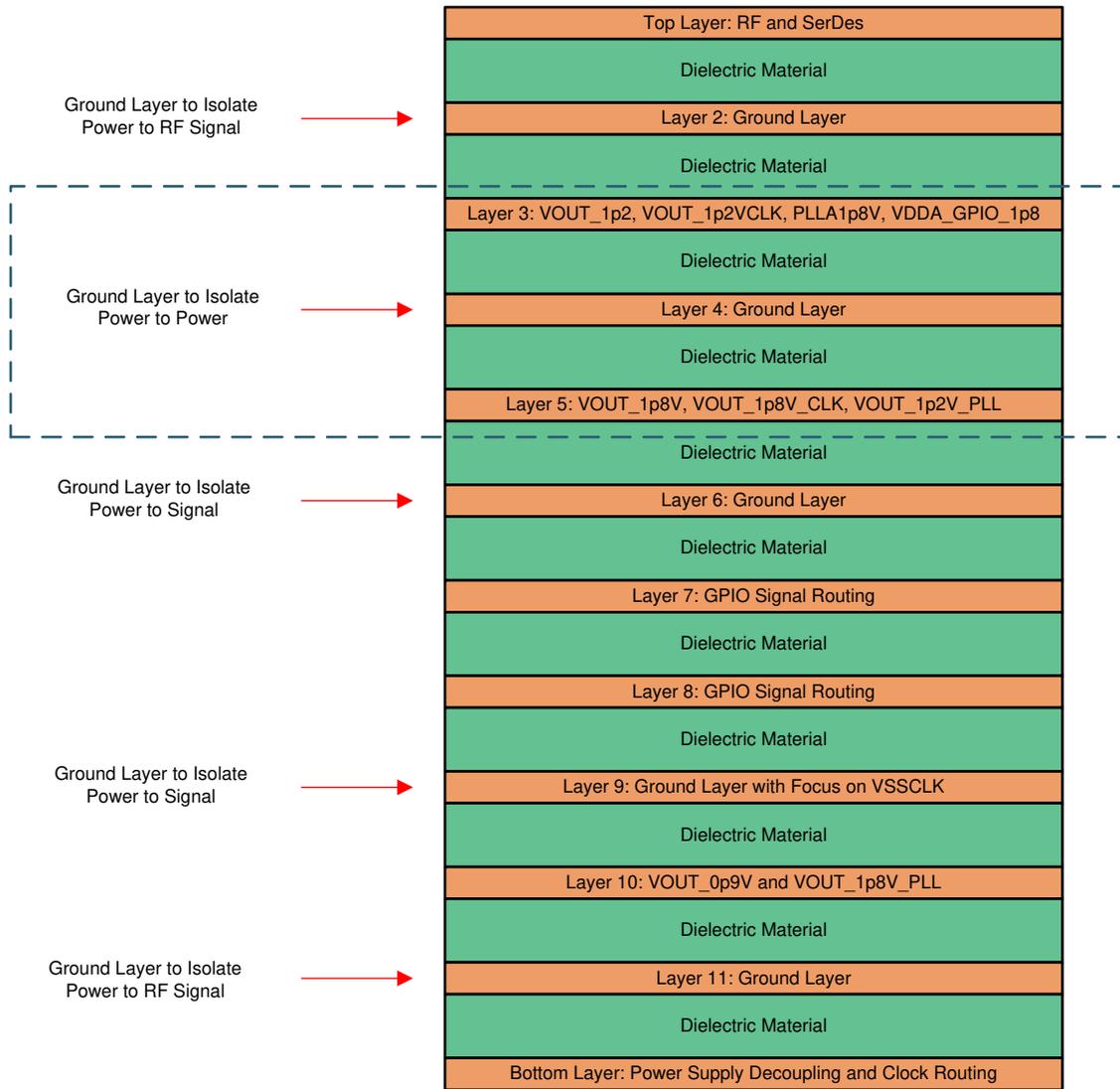


图 8-2. AFE79xx 堆叠和接地隔离层

6. CLKp/m 输入必须布置在离 TX 输出最远的一层，并通过阻抗受控的过孔转至 CLKp/m BGA 焊球。由于使用过孔是不可避免的，TI 建议仅使用一个差分过孔路由以从器件布置层（顶层或底层）转换到中间层。将 CLKp/m 输入布置在底层，将 TX 输出布置在顶层，这样有助于在 CLK 和 TX 之间实现尽可能大的间隔。如果有任何 TX 泄漏到 CLK 路径，则会使 TX 的谐波失真性能降低。
7. 如果串行器/解串行器对未布置在顶层/底层，则 TI 建议借助盲孔或背钻孔触及顶层的 BGA 焊珠。这样做的主要目的是避免信号线路上出现残桩。
8. TX 布线准则：
 - a. TXDAC 输出默认具有 50 Ω 内部终端。来自 TX 的布线的差分阻抗为 50 Ω，布置为基于 50 Ω 的 CPWG。偏置网络被放置在底层，带有紧缩射频扼流圈和旁路电容器，并且可将偏置网络视作集总元件网络。
 - b. TXDAC 输出需要一个匹配网络，以便使输出阻抗匹配到 50 Ω 或 100 Ω。基于 50 Ω 的匹配通常形成一种更宽的带宽匹配。但在原则上，通过更改匹配网络元件值，用户也可以将其匹配到 100 Ω。默认情况下，内部终端必须按 50 Ω 阻抗进行设置。TX 输出匹配网络设计策略如下所列：
 - i. TXDAC 内部终端应保持 50 Ω 的阻抗，以便实现出色的电力输送和性能。
 - ii. 放置匹配网络，以在 AFE79xx TX 输出引脚附近使输出阻抗匹配到 50 Ω 或 100 Ω。若要实现 50 Ω 至 100 Ω 阻抗匹配则需采用匹配变换设计技术。
 - iii. 检查输出功率和性能。
 - iv. 如果由于系统要求而需要增大输出功率，则可以将 TX 输出终端的匹配阻抗更改为 100 Ω。输出功率将增加约 2dB，但会以 IMD3 和 APCR 性能下降为代价。

- c. 变压器中心偏置：直流偏置路由到平衡-非平衡变压器的中心抽头引脚（直流偏置引脚）可能会在某些频段匹配中引起一些共振。目前，对于 TXDAC 输出而言，电感器扼流圈的作用是使 TXDAC 输出偏置，同时将中心抽头引脚接地。TI 建议严格遵循制造商的直流馈电指南，以最大限度地减少直流馈线谐振。
- d. 下面是横向比较：图 8-3 是具有最小谐振的一个示例。在 TXDAC 侧使用射频扼流圈，以使 DAC 偏置，同时将平衡-非平衡变压器的中心抽头引脚接地。这是目前推荐使用的方法。图 8-4 是使用平衡-非平衡变压器的直流馈线的一个示例。直线路径导致在匹配时出现一些谐振。

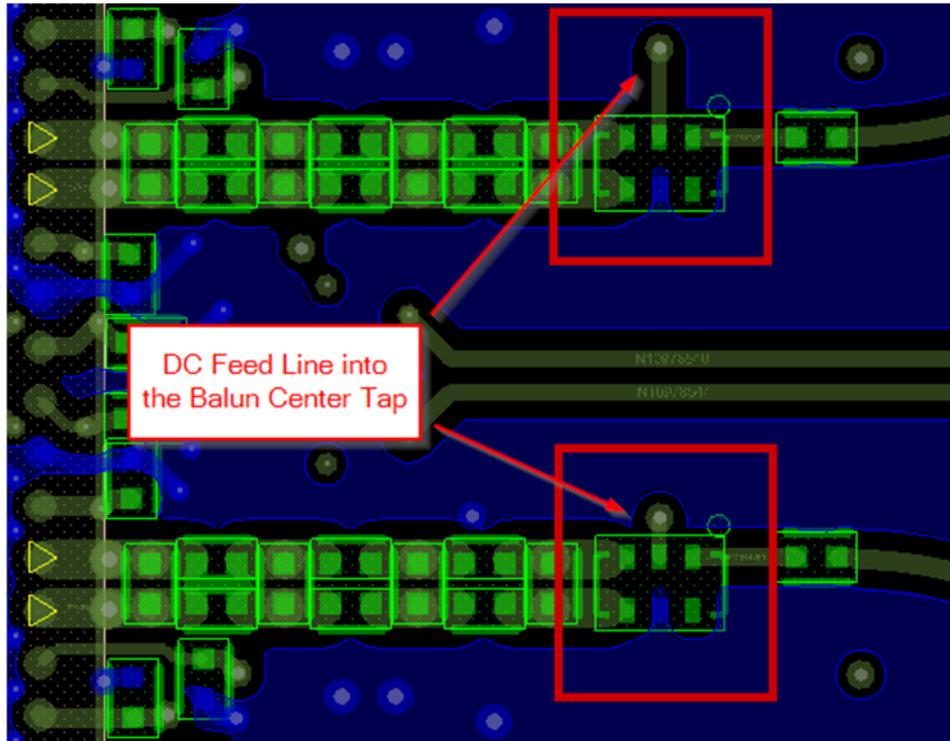


图 8-3. 之前实施的方案：直流馈线进入平衡-非平衡变压器的中心抽头



图 8-4. 当前实施的方案：直流馈线直接接地。通过射频扼流圈提供偏置

9. 为获得更好的 RXADC 和 FBADC 噪声系数性能，TI 建议避免使用 STX1 和 STX8 串行器/解串器通道。如果使用了这两个 STX 通道，则 2RX 和 4RX ADC 输入上的噪声频谱密度 (NSD) 性能会略微下降。使用 JESD204 通道多路复用器有助于减少 STX1 和 STX8 串行器/解串器通道的使用，以下是 STX 路由示例。
 - a. 如果 STX 通道数小于六条，请避免使用 STX1 和 STX8 通道，并将 JESD204 输出分配到 STX2、STX3、STX4、STX5、STX6 和 STX7。
 - b. 如果仅需要四条 STX 通道，则将 JESD204 输出分配到 STX3、STX4、STX5 和 STX6。
 - c. 如果仅需要两条 STX 通道，则将 JESD204 输出分配到 STX3 和 STX4。
 - d. 断电编程寄存器与一组中的两条 STX 通道相连。例如，STX1 和 STX2 共享一个断电寄存器，STX3 和 STX4 共享一个断电寄存器。同样，一组中的四条 STX 通道均使用同一个通用串行器/解串器 PLL。例如，STX1、STX2、STX3 和 STX4 使用一个串行器/解串器 PLL，而 STX5、STX6、STX7 和 STX8 使用另一个串行器/解串器 PLL。在规划 STX 映射时，请考虑这个可节省功耗的功能。
 - e. 如果 JESD204 模式需要全部八条 STX 通道处于激活状态，则无法避免会使用 STX1 和 STX8 通道。
10. 在布局的最终阶段，执行以下步骤：
 - a. 通过接地修补和接地过孔来修补射频和串行器/解串器布线周围的接地层。
 - b. 去除没有接地过孔的接地覆铜小贴片，避免连接到悬空接地。

9 JESD204 协议准则

在设计系统布局时，需要考虑各种高速标准之间存在的众多差异。AFE79xx 有多达八对高速串行器/解串器收发器，可支持用于数据转换器链路传输的 JESD204B 和 JESD204C 标准。有关 JESD204 标准的物理层要求的特定指南，请参阅 JEDEC 网站上 JESD204 标准的第 5 部分。

通常情况下，关于 JESD204 请参阅以下应用手册：

- 《从 JESD204B 升级到 JESD204C 时的系统设计注意事项》应用手册
- 《准备好过渡到 JESD204B 了吗？》[应用手册](#)

10 通用高速信号路由

10.1 布线阻抗

对于高速信号，布线阻抗需设计为可最大限度地减小布线中的信号反射。设计高速信号时，需要考虑两种类型的布线阻抗。单端阻抗是以地为基准的布线阻抗。差分阻抗是两个差分对信号布线之间的阻抗。

高速协议旨在确定布线的单端阻抗和差分布线阻抗以及阻抗容差（例如， $50\ \Omega \pm 15\%$ ）。为了使设计免受 PCB 制造误差和缺陷的影响，布线阻抗应设计为可最大限度地接近推荐值。布线的几何形状、PCB 材料的介电常数和布线周围的层都会影响信号布线的阻抗。

有许多工具可用于计算高速布线上的布线阻抗。大部分电路板制造商都有首选工具，PCB 设计人员可以使用这些工具来计算阻抗，另外，网上也有许多工具可用。

10.2 高速信号布线长度

与所有高速信号一样，信号对的总布线长度也尽量保持最短。一些标准对各种规格下的最大布线或电缆长度进行了规定。

10.3 着陆垫指南

通过逐渐减少或重新定义布线的宽度和空间规则，避免在进入着陆垫（例如，平衡-非平衡变压器）时出现宽度和间距差异。这样可以更大限度地减少进入或退出器件时阻抗不匹配情况的发生。

10.4 高速信号布线长度匹配

匹配相关差分对布线的蚀刻长度。差分对内延迟差这一术语用于定义差分对的 + 和 - 通道间的蚀刻长度差。差分对间延迟差用于描述差分对的蚀刻长度与同组另一差分对蚀刻长度之间的差异。差分对组的蚀刻长度不需要匹配。例如，JESD204 TX 和 RX 的蚀刻长度不需要匹配。还有一些标准并无差分对间延迟差的要求，其原因在于不同的通道不必具有相同的长度。匹配高速信号的差分对内延迟差时，添加蛇形布线以使长度尽可能接近失配端。请参阅图 10-2。

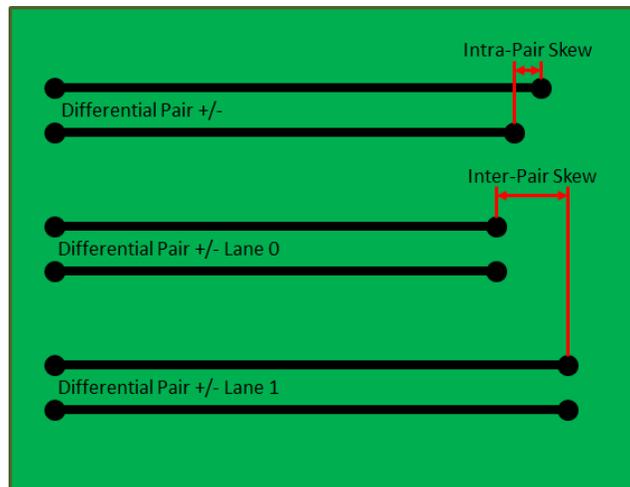


图 10-1. 差分对间延迟差与差分对内延迟差

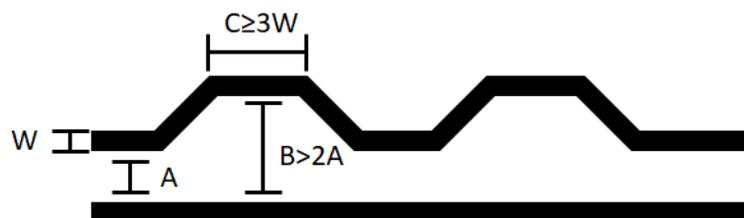


图 10-2. 蛇形布线几何形状

遵照上述建议使用蛇形布线几何形状。例如，布线的宽度 (W) 为 4mil，差分对之间的距离 (A) 为 4.5mil。这意味着蛇形的宽度 (B) 至少为 9mil，C 的长度至少为 13.5mil。这些建议示例基于 FR4 材料以及与地之间 8mil 的距离。

10.5 返回路径

一个电路必须始终是一个闭环系统。使用直流电时，直流信号返回电流采用电阻最低的路径。

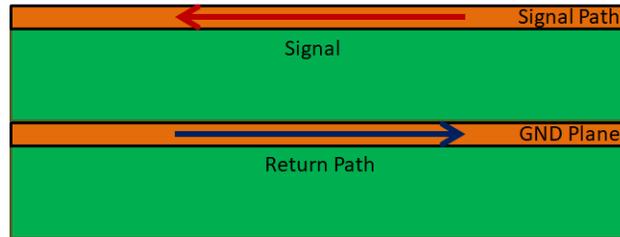


图 10-3. 返回路径

在较高频率下，返回电流沿最低阻抗路径流动。图 10-4 这个最低阻抗路径通常是与信号相邻的参考平面；请参阅。为此，最好在信号层的上面或下面一层布置接地层或电源平面。这个返回路径有助于减小阻抗变化和减少 EMI 问题。

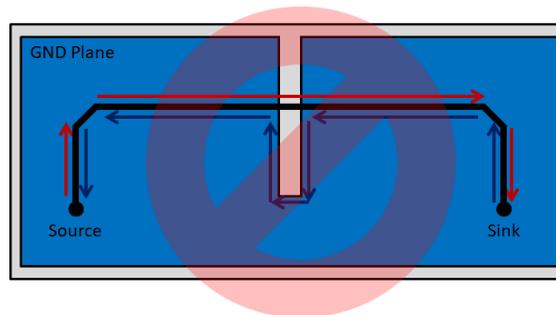


红色箭头代表信号路径，而蓝色箭头代表返回路径。

图 10-4. 高频返回路径

10.6 高速信号参考平面

高速信号必须布置在实心接地参考平面上，除非绝对必要，否则不要穿过平面分割点或参考平面中的空洞。除非完全不可避免，否则 TI 不建议将电源平面作为高速信号的参考平面。



红色箭头是信号路径，而蓝色箭头是返回路径。

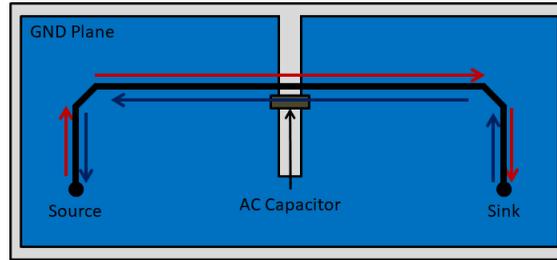
图 10-5. 避免使用：穿过分割平面的布线

穿过平面分割点的布线或参考平面中的空洞强制返回的高频电流绕着分割点或空洞流动。图 10-5 显示了返回路径必须比信号路径走更长的路线。这会导致出现以下情况：

- 不平衡的电流流动产生过多的辐射发射
- 由于串联电感增加，信号传播出现延迟
- 干扰相邻信号

- 信号完整性降低 (即更多抖动和信号幅度降低)

如果完全无法避免在平面分割点布线，则要穿过分割点放置拼接电容器，从而为高频电流提供一个返回路径。这些拼接电容器可最大限度地减少电流环路面积以及由于穿过分割点而产生的任何阻抗不连续性。这些电容器必须是 1 μ F 或更低，并且要尽可能靠近平面交叉点放置。



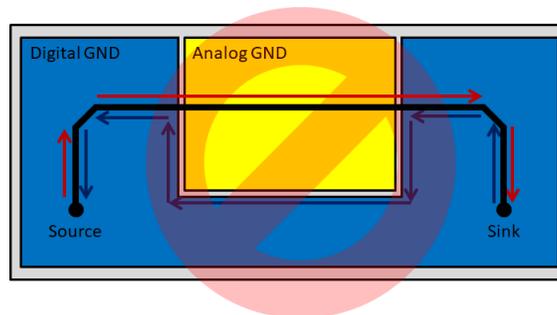
红色箭头是信号路径，而蓝色箭头是返回路径。

图 10-6. 必要时使用：穿过分割平面的交流电容器

在规划 PCB 层叠时，确保不相互参考的平面不会重叠，因为这会在重叠区域之间产生不必要的电容。图 10-7 要查看这个电容如何将射频辐射从一个平面传递到另一个平面的示例，请参阅。

最好避免布线穿过不同的参考平面，因为这样会引起阻抗问题以及 EMI 问题。

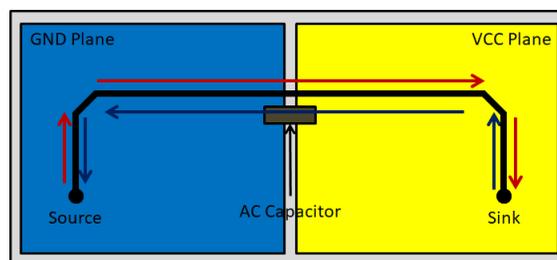
除非完全不可避免，否则请勿更改高速信号布线的参考平面。



红色箭头是信号路径，而蓝色箭头是返回路径。

图 10-7. 避免使用：穿过差分参考平面的布线

如果路由无法避免会穿过不同的参考平面，请使用交流电容器以使返回电流有一条通路。对于混合信号应用的 AFE79xx，无论是在数字域还是模拟域，电源平面和接地平面的类型必须匹配。例如，不允许使用交流耦合电容器桥接 DVDD 和 AGND，因为数字活动会向模拟接地电位泄露。

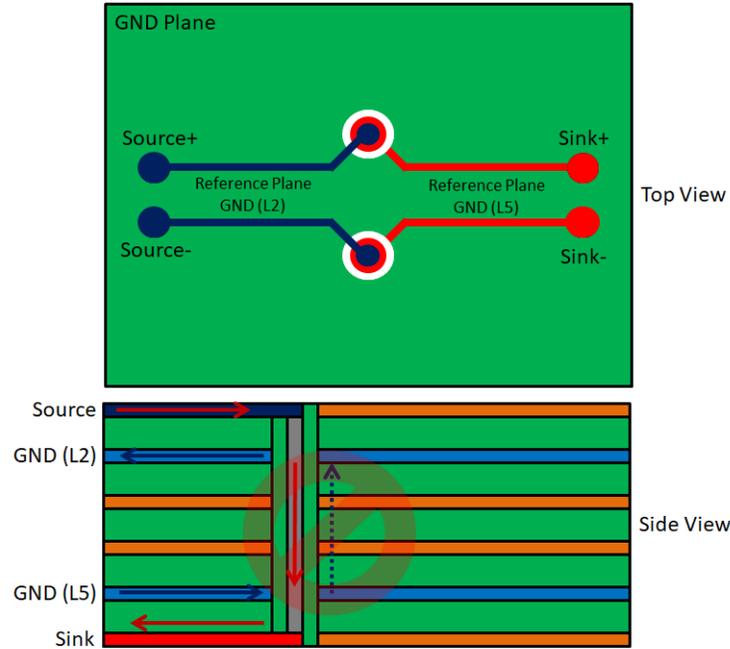


红色箭头是信号路径，而蓝色箭头是返回路径。

图 10-8. 必要时使用：穿过带交流电容器的差分参考平面的布线

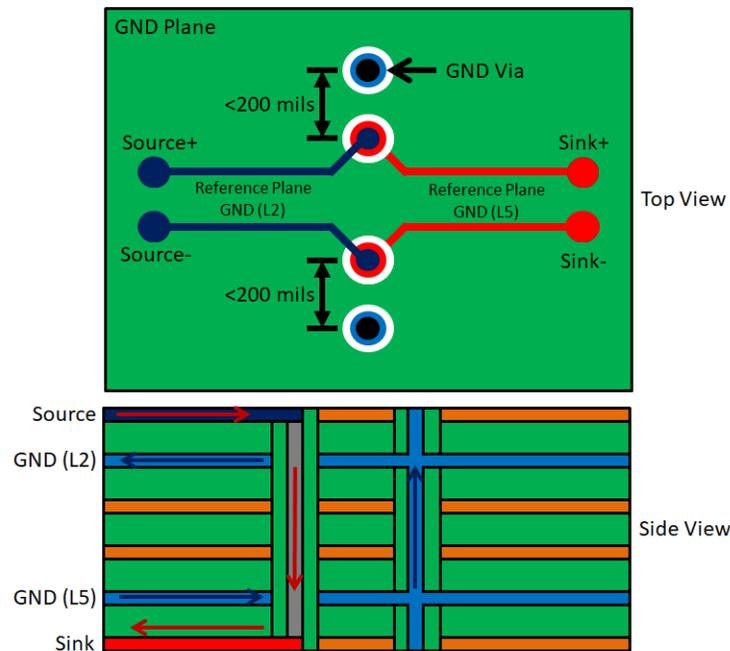
整个高速信号布线从发起到终止必须一直使用相同的接地参考平面。如果无法做到这一点，则应通过过孔将两个接地平面拼接在一起，确保连续接地和一致的阻抗。在信号转换过孔周围的 200mil (中心距，越靠近越好) 内对称地放置这些拼接孔。过孔拼接通常在单端、高速布线上完成，因为信号布线需要参考连续接地。差分布线依赖

于信号回路的正极和负极布线，因而会不需要过孔拼接。如果差分布线需要过孔拼接和良好的接地参考，下图显示了一个应避免的示例和一个应遵循的示例。



红色箭头是信号路径，而蓝色箭头是返回路径。

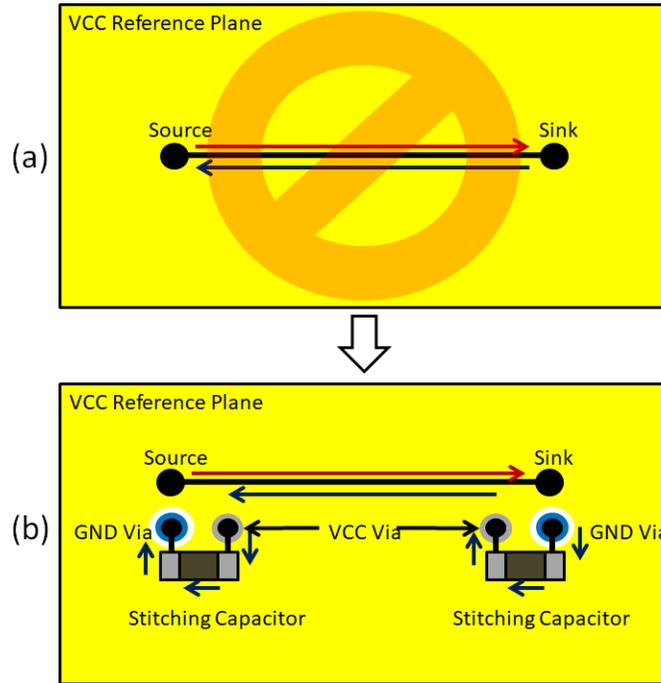
图 10-9. 避免使用：没有接地过孔的差分对过孔返回路径



红色箭头是信号路径，而蓝色箭头是返回路径。

图 10-10. 始终使用：带有接地过孔的差分对过孔返回路径

除非完全不可避免，否则 TI 不建议将电源平面作为高速信号的参考平面。如果无法避免，则最好使用交流耦合电容器和接地过孔以使返回信号有一条从漏极到源极的路径。图 10-11 显示了在返回路径中使用交流耦合电容器和接地过孔。不同情况下所用的电源平面类型取决于信号。例如，如果布线为串行器/解串器 I/O，则可使用 DVDD 平面。如果布线为射频信号，则可使用模拟电源平面。



红色箭头是信号路径，而蓝色箭头是返回路径。

图 10-11. 必要时使用：VCC 参考平面

11 高速差分信号路由

11.1 差分信号间距

为了最大限度地减少高速接口实现时的串扰，信号对之间的间距必须至少是布线宽度的五倍。此间距称为 **5W** 规则。对于典型 PCB 布局，**5W** 规则可能过于严格，并可能不符合成本和 PCB 面积要求。因此，在某些情况下，可以接受 **3W** 规则（或间距是布线宽度的 3 倍）。对于计算出的布线宽度为 **6mil** 的 PCB 设计，高速差分对之间至少需要 **30mil** 的间距。此外，在布线的整段长度上要与任何其他信号保持最低 **30mil** 的禁止距离。如果高速差分对与时钟或周期信号相邻，要将此禁止距离增大到最低 **50mil**，确保适当隔离。图 11-1 图 11-2 有关高速差分对信号间距的示例，请参阅和。

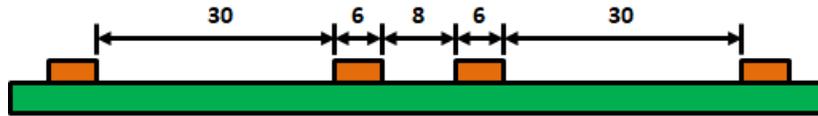


图 11-1. 差分对与相邻的其他信号的间距

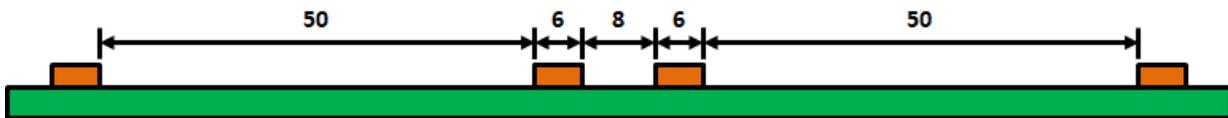


图 11-2. 差分对与相邻的时钟或周期信号的间距

在包含多个高速接口的器件中，要避免这些接口之间的串扰，这一点很重要。为了避免串扰，请确保在封装迂回布线之后和连接器端接之前，每个差分对未布置在另一个差分对的 **30mil** 范围内。

11.2 额外的高速差分信号规则

- 请勿在任何高速差分信号上放置探头或测试点。
- 请勿在以下各项下方或附近布置高速布线：
 - 晶体
 - 振荡器
 - 时钟信号发生器
 - 开关电源调节器
 - 安装孔
 - 磁性器件
 - 使用或复制时钟信号的 IC
- BGA 破孔后，使高速差分信号远离 SoC，其原因为内部状态变换时产生的高电流瞬变难以滤除。
- 如有可能，在 PCB 的顶层或底层（与接地层相邻）布置高速差分对信号。
- 确保将高速差分信号布置在距离参考平面边缘 $\geq 90\text{mil}$ 的位置。
- 确保将高速差分信号布置在距离参考平面中的空洞至少 $1.5W$ （计算出的布线宽度 $\times 1.5$ ）的位置。当高速差分信号上的 SMD 焊盘有空洞时，此规则不适用。
- 在 SoC BGA 迂回布线之后维持一致的布线宽度，避免传输线路中存在阻抗失配现象。
- 更大幅度地减小差分对之间的间距。

11.3 差分对的对称性

将所有高速差分对对称布置并使其互相平行。在封装迂回布线和布线至连接器引脚时，会自然而然地偏离这一要求。这些偏差必须尽可能短，并且封装破孔必须在封装的 0.25 英寸范围内进行。

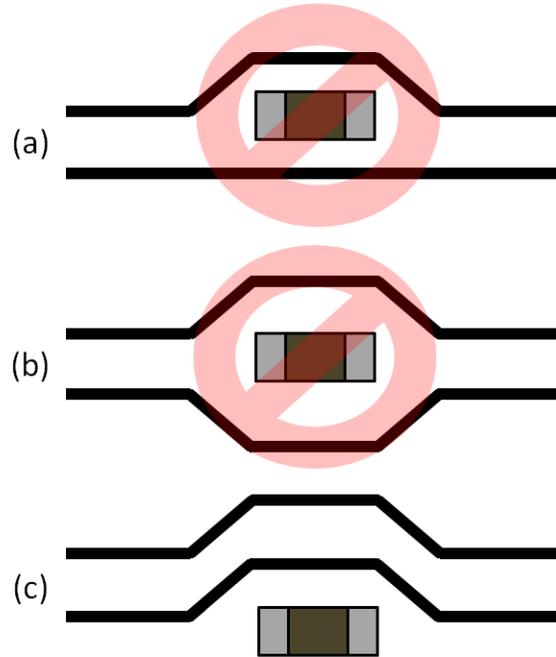
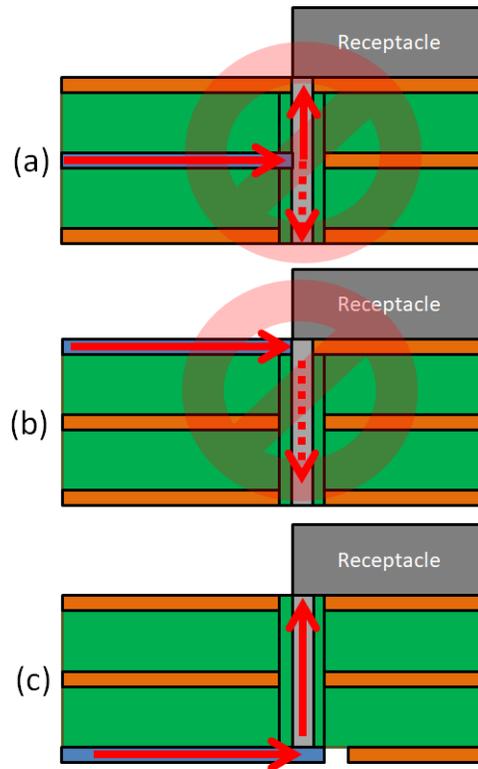


图 11-3. 差分对对称

11.4 连接器和插座

布置穿孔插座时（例如，基于 VITA57 的 FMC）时，TI 建议在 PCB 的底层将高速差分信号连接到插座。在 PCB 底层进行这类连接可防止穿孔引脚在传输路径中起到残桩的作用。对于表面贴装插座，在顶层进行高速差分信号连接。在顶层进行这些连接就不需要在传输路径中使用过孔。



- (a) : 信号来自 PCB 的中间部分
- (b) : 信号来自 PCB 的顶部
- (c) : 信号来自 PCB 的底部

图 11-4. 插座残桩减少

11.5 过孔不连续性缓解

过孔将一小段几何形状变化呈现在布线中，并可表现为电容或电感的不连续性。由于信号会穿过过孔，这些不连续性会引起信号反射和某种程度的衰减。缩短总体过孔残桩长度，以更大限度地减少过孔（及关联的过孔残桩）产生的负面影响。

由于较长的过孔残桩会在较低频率下共振，并会增加插入损耗，所以应使这些残桩尽可能短。大部分情况下，与信号过孔相比，过孔残桩使信号衰减得更厉害。TI 建议过孔残桩尽量短于 15mil。残桩较长时，必须进行背钻。图 11-5 图 11-6 有关短过孔和长过孔长度的示例，请参阅 和。

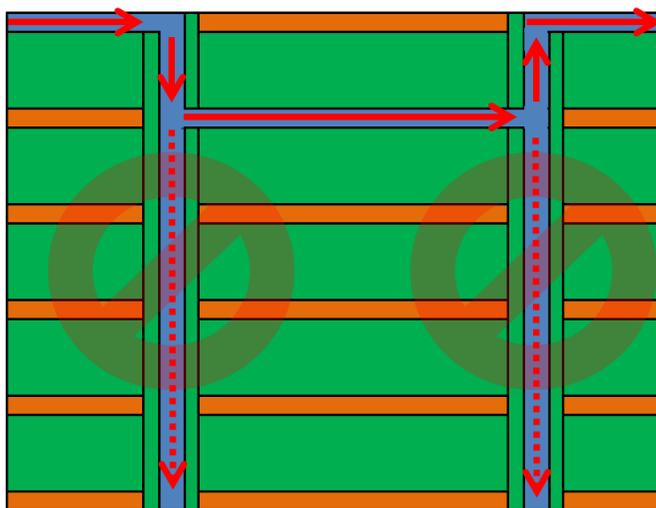


图 11-5. 避免使用：具有长残桩的过孔

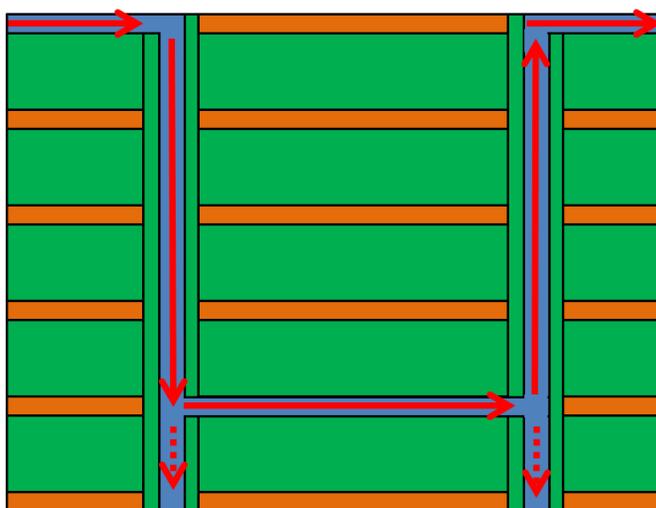


图 11-6. 必要时使用：具有短残桩的过孔

11.6 背钻残桩

背钻是一种 PCB 制造工艺，即去除过孔残桩中不需要的导电镀层。若要进行背钻，请使用直径比钻出原始过孔的钻头稍大一些的钻头。当过孔变换导致残桩长于 15mil 时，对产生的残桩进行背钻可减少插入损耗并确保它们之间不会共振。

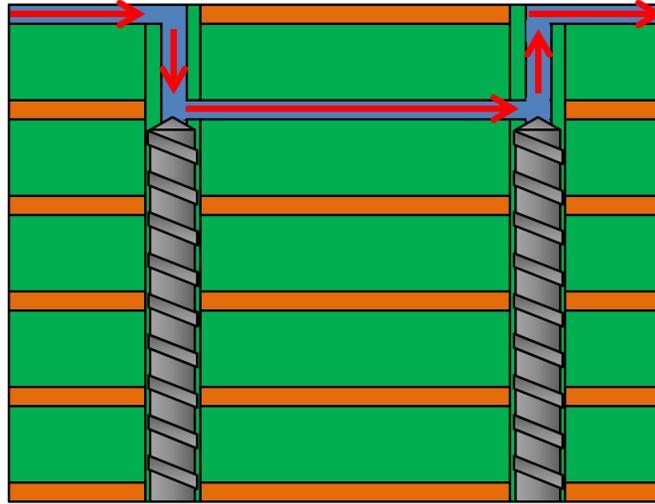


图 11-7. 使用：带有背钻残桩的长过孔

11.7 布线残桩

对于高速信号，重要的是最大限度地减小高速布线上的残桩，从而减少增加的插入损耗。图 11-8 显示了残桩上有元件的高速布线。此残桩可缩减至：

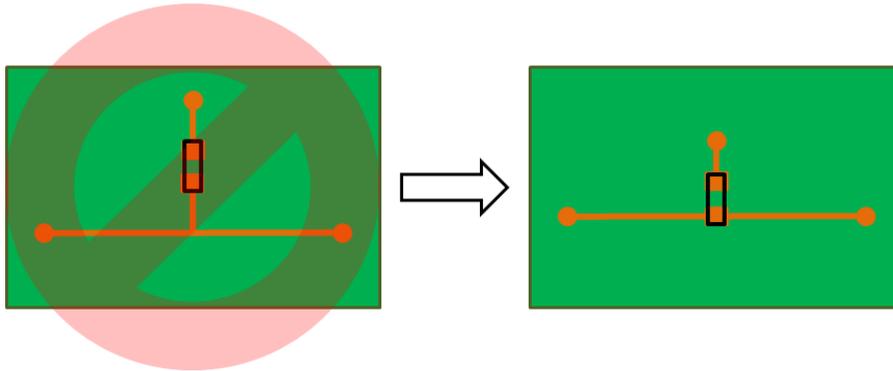


图 11-8. 使用：长度减小的残桩

11.8 增大过孔反焊盘的直径

增大过孔反焊盘的直径可减少过孔的电容效应和整体插入损耗。使用于高速信号传输的过孔反焊盘的直径尽可能大（30mil 的直径具有显著优势，且实施起来并不困难）。在包括布线层和平面层在内的所有层上，必须留有可通过这个反焊盘识别的铜间隙。连接到过孔套管的布线包含此区域唯一允许使用的铜；不允许使用非功能或未连接的过孔焊盘。图 11-9 有关过孔反焊盘直径的示例，请参阅。

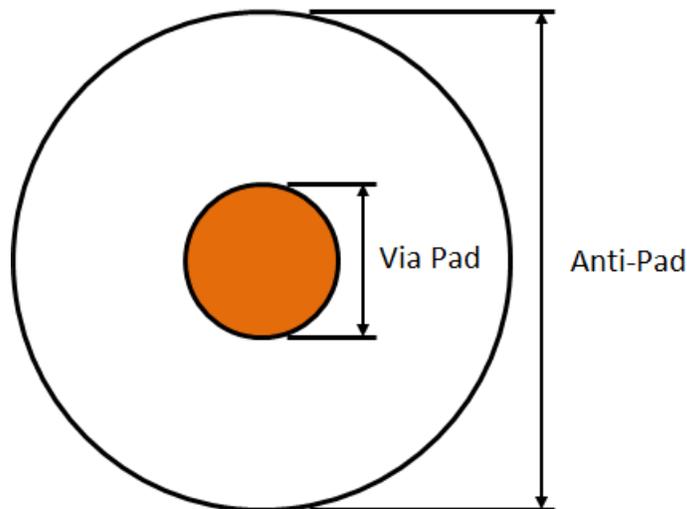


图 11-9. 过孔反焊盘

11.9 使过孔计数均衡

如果在高速差分信号布线中需要使用过孔，务必要确保差分对中每个成员的过孔计数相等，并且过孔的间距应尽可能相等。重要的是确保需要进行长度匹配的不同通道在其线路上拥有相同数量的过孔。此外，设计人员在验证差分对间延迟差等参数时必须考虑过孔的长度。

11.10 表面贴装器件焊盘不连续性缓解

避免在高速信号布线中采用表面贴装器件 (SMD)，其原因在于这些器件会导致中断，从而对信号质量产生负面影响。当信号布线上需要 SMD 时（例如，JESD204B/C 串行器/解串器通道交流耦合电容器），TI 强烈建议用 0402 或更小的 SMD 来匹配高速信号布线宽度。在布局过程中对称地放置这些元件，以确保获得最优信号质量并最大限度地减少信号反射。图 11-10 有关交流耦合电容器正确和错误放置的示例，请参阅。

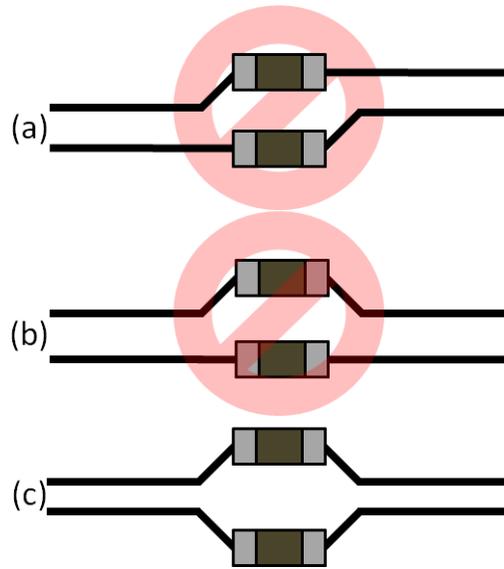


图 11-10. 交流耦合电容器放置

为了最大限度地减少将这些元件放置在差分信号布线上所产生的不连续性，TI 建议将参考平面中 SMD 安装焊盘的空洞增加 100%。此空洞必须至少为两个 PCB 层那么深。图 11-11 有关表面贴装器件参考平面空洞的示例，请参阅。

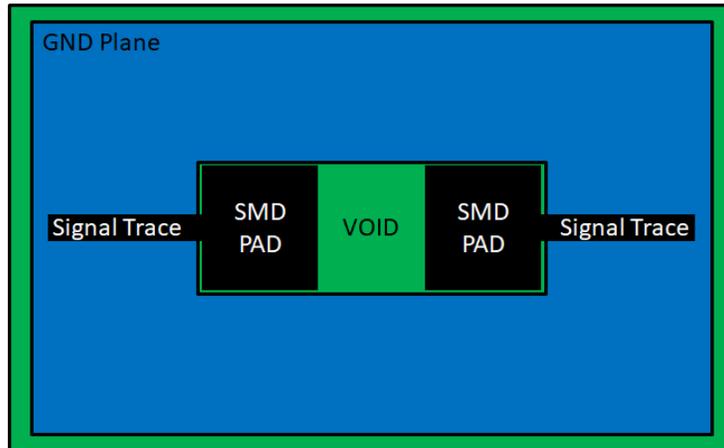


图 11-11. 空洞低于表面贴装器件

此外，为了最大限度地减少交流耦合电容器的电感，最好使用 0201 电容。

11.11 信号线弯曲

避免高速差分信号线弯曲。当需要弯曲时，维持大于 135° 的弯曲角度，确保弯曲尽可能缓和。图 11-12 有关高速信号线弯曲规则的示例，请参阅。

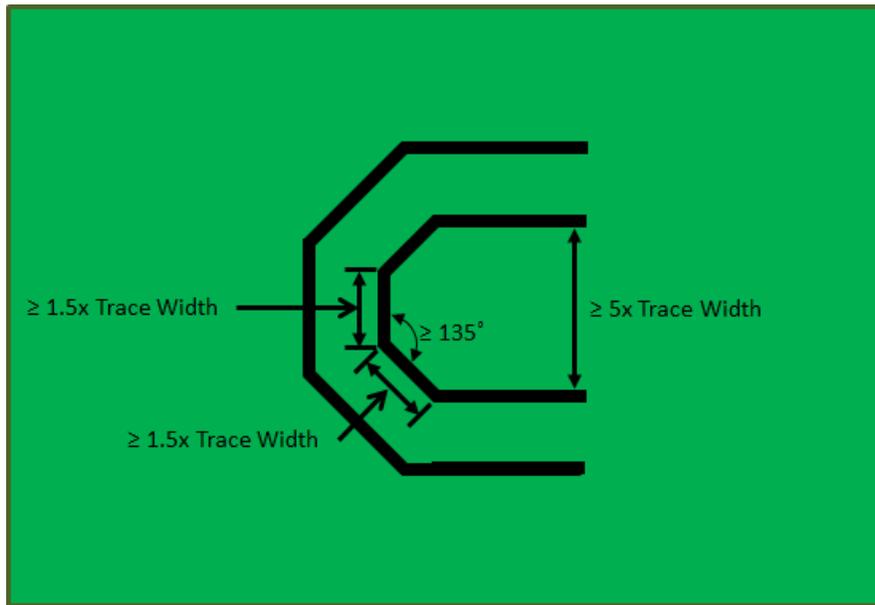


图 11-12. 信号线弯曲规则

12 参考文献

- Hall, Stephen H., and Garrett W. Hall. *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. New York: Wiley, 2000.
- Johnson, Howard W., and Martin Graham. *High-speed Signal Propagation: Advanced Black Magic*. Upper Saddle River, NJ: Prentice Hall/PTR, 2003.
- Hall, Stephen H., and Howard L. Heck. *Advanced Signal Integrity for High-speed Digital Designs*. Hoboken, N.J.: Wiley, 2009.
- Stephen C. Thierauf. *High-Speed Circuit Board Signal Integrity*. ISBN-13: 978-1580531313。
- 德州仪器 (TI), 《信号条件和 USB 集线器高速布局指南》应用报告

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司