



Casey McCrea

摘要

DS90UB941AS-Q1 FPD-Link III 串行器可实现从 MIPI DSI 到 FPD-Link III 高度灵活的低延迟桥接，从而可以在与 DSI 源配对时，在更长的电缆距离内传输视频数据、音频数据、控制数据和其他通信协议，如 I2C 和 SPI。

MIPI DSI 协议具有丰富的功能集和灵活性，适用于各种应用。因此，系统设计人员可能对如何结合 FPD-Link 来正确配置和验证复杂 DSI 源难以下手。本指南将提供一个常见的启动流程，从而帮助解决 DSI 源配置方面的问题，并深入介绍了在使用 DS90UB941AS-Q1 实施解决方案时如何解决常见的系统级问题

内容

1 引言.....	2
2 MIPI DSI 源要求.....	2
2.1 支持的 DSI 模式.....	2
2.2 时钟频率和时钟类型.....	3
2.3 消隐或低功耗模式 (BLLP).....	3
2.4 DSI 数据包时序.....	3
3 启动和调试流程.....	7
4 启动场景示例.....	9
4.1 非连续时钟.....	9
4.2 缺少周期性低功耗转换.....	10
4.3 错误的 DSI 数据包时序.....	12
4.4 T _{HS-SKIP} 配置.....	16
4.5 传输结束数据包 (EoTp).....	17
4.6 事件模式/突发模式的同步宽度配置.....	17
5 总结.....	18
6 参考文献.....	18

插图清单

图 2-1. 具备同步脉冲数据包结构的非突发模式.....	4
图 2-2. 具备同步事件数据包结构的非突发模式.....	5
图 2-3. 突发模式数据包结构.....	6
图 3-1. DS90UB941AS-Q1 系统示例.....	7
图 3-2. DS90UB941AS-Q1 建议启动流程.....	8
图 4-1. 无周期性低功耗状态的 DSI 数据通道示例.....	11
图 4-2. DSI 跟踪解码示例 - 水平线 (RGB888).....	13
图 4-3. DSI 跟踪解码示例 - 垂直同步 (RGB888).....	14
图 4-4. 具备 BLLP 区域的 DSI 帧格式示例.....	14
图 4-5. HFP 期间意外发生的 LP 转换 (BLLP-4).....	15
图 4-6. 突发高速数据传输.....	16

商标

所有商标均为其各自所有者的财产。

1 引言

DS90UB941AS-Q1 MIPI DSI 串行器可通过双绞线或同轴电缆将处理器视频源以低延迟方式桥接到远程显示面板或 SoC。由于 DS90UB941AS-Q1 串行器兼容多种 FPD-Link 解串器产品，它还可根据应用要求轻松地将视频格式从 MIPI DSI 转换为 MIPI CSI-2、OpenLDI、RGB 或其他协议格式。

在使用多种视频协议和高速串行器/解串器器件时，系统设计人员必须采用系统的方法来确定所出现应用问题的根本原因，从而快速解决这些问题。本指南将分步介绍系统设计人员应注意的一些关键注意事项，特别是与视频源和 DS90UB941AS-Q1 FPD-Link III 串行器之间的 MIPI DSI 接口相关的。将针对常见问题征兆和解决问题的方法提供一些示例。

2 MIPI DSI 源要求

2.1 支持的 DSI 模式

在尝试将 DSI 源链接到 DS90UB941AS-Q1 之前，需要了解串行器支持的 MIPI DSI 模式。DS90UB941AS-Q1 仅支持 MIPI DSI 视频模式，但不支持与使用集成视频内存的显示器进行低速通信的 MIPI DSI 命令模式。串行器支持四种不同的 RGB 视频格式：

- RGB888 (24 位格式包装像素流，数据类型为 0x3E)
- RGB666 (3 字节 18 位格式松散包装像素流，数据类型为 0x2E)
- RGB666 (18 位格式包装像素流，数据类型为 0x1E)
- RGB565 (16 位格式包装像素流，数据类型为 0x0E)

如有必要，RGB 视频格式会自动转换为 3 字节 RGB888，从而能够通过 FPD-Link III 进行传输。在启用 DSI 接收器之前，DS90UB941AS-Q1 寄存器 0x54 中的 DSI_BYTES_PER_PIXEL 位应按可匹配 DSI 端口的预期像素包装进行配置。默认设置为每像素 3 个字节，这与 RGB888 视频格式相匹配。

DS90UB941AS-Q1 还支持四种 DSI YCbCr 视频格式的直通：

- 12 位 YCbCr 4:2:0 格式的包装像素流，数据类型为 0x3D
- 16 位 YCbCr 4:2:2 格式的包装像素流，数据类型为 0x2C
- 24 位 YCbCr 4:2:2 格式的包装像素流，数据类型为 0x1C
- 20 位 YCbCr 4:2:2 格式的松散像素流，数据类型为 0x0C

其中每一种格式都与每像素 3 字节的前向通道对齐，但不会转换为 RGB888。

非常常见的显示应用使用每像素 24 位的 RGB888 视频格式。在进行系统调通之前，请务必注意基于源配置的预期视频数据类型的十六进制代码。这将大有裨益，因为 MIPI DSI 输入接收数据包数据类型可由 DS90UB941AS-Q1 的状态寄存器实时报告。如果视频输出颜色出错或显示器上无视频，将提供一种方法用于快速检查 DS90UB941AS-Q1 接收器是否正确识别来自源的视频格式。

DS90UB941AS-Q1 支持以下所有三种视频模式操作配置：

- 涉及同步脉冲的非突发模式
- 涉及同步事件的非突发模式
- 突发模式

2.2 时钟频率和时钟类型

DS90UB941AS-Q1 支持单路 FPD-Link 上 25-105MHz 的 PCLK 频率，或双路 FPD-Link 上 50-210MHz 的 PCLK 频率。对于 MIPI DSI 接口，DS90UB941AS-Q1 可支持高达每通道 1.5Gbps 的数据速率和最多 4 个数据通道。由于 MIPI DSI 使用 DDR (双倍数据速率) 时钟，DSI 时钟速度通常以 MHz 为单位，其中时钟速度是每通道数据速率的 1/2，单位为 Mbps。例如，如果 DSI 通道速度为每通道 400Mbps，则 MIPI D-PHY 时钟频率为 200MHz。DS90UB941AS-Q1 支持的 DSI 时钟频率范围为 75 - 750MHz。

DS90UB941AS-Q1 支持连续和非连续时钟模式，但必须根据 DSI 时钟类型选择正确的时钟配置。

DS90UB941AS-Q1 支持的数据格式均为每像素 3 字节，因此 DSI 时钟频率与视频 PCLK 之间的转换可以用如下公式来表示：

$$f_{\text{PCLK}} = (f_{\text{DSI}} * N_{\text{Lanes}}) / 12 \quad (1)$$

DS90UB941AS-Q1 支持三种不同的时钟配置，用来设置串行器输出的 FPD-Link PCLK 频率。

- DSI 参考时钟模式
- 外部参考时钟模式
- 内部参考时钟模式 (通常仅用于调试目的)

DSI 参考时钟模式是串行器非常直观和常用的配置。在此模式下，串行器将由 [方程式 1](#) 得到的输入视频 PCLK 作为输出 PCLK，进而设置串行器的输出 PCLK 速度。除了来自视频源的 MIPI D-PHY 时钟之外，该配置消除了串行器对任何外部时钟源的需求。在此模式下，DSI 时钟源必须满足 MIPI D-PHY CTS 的稳定性要求，并且 DSI 时钟必须是连续的。

外部参考时钟模式对通过 REFCLK0 或 REFCLK1 引脚连接的外部时钟源加以利用，以从串行器获取输出 PCLK 频率。在外部参考时钟模式下，除非 DSI 源使用突发模式，否则建议 REFCLK 频率要与由 [方程式 1](#) 得到的 DSI PCLK 频率进行匹配，这样可确保传入视频速率等于传出视频速率。尽管在此模式下可在 REFCLK 和 DSI 时钟之间应用不同的时钟速率，但这种配置的作用超出了本文档的范围。在外部参考时钟模式下，DSI 时钟可以是连续的，也可以是非连续的。

内部参考时钟模式利用 DS90UB941AS-Q1 的内部振荡器时钟生成输出视频 PCLK。该模式通常用于调试目的，因为在器件电压和温度的整个工作范围内，内部振荡器时钟的稳定性要求无法得到保证。在内部参考时钟模式下，DSI 时钟可以是连续的，也可以是非连续的。

请注意，无论是何种工作模式，都必须始终在 DS90UB941AS-Q1 的 DSI 时钟频率范围和 PCLK 频率范围内。例如，在 $f_{\text{DSI}} = 75\text{MHz}$ 、2 个 DSI 数据通道以及 DSI 参考时钟模式下，输出视频 PCLK 频率将为 12.5MHz。但是，DS90UB941AS-Q1 中每个 FPD-Link 通道的 PCLK 频率不能低于 25MHz，因此不支持该配置。同理，在 $f_{\text{DSI}} = 750\text{MHz}$ 、4 个 DSI 数据通道以及 DSI 参考时钟模式下，输出视频 PCLK 频率为 250MHz，大于双路 FPD-Link PCLK 支持的最大 210MHz。

2.3 消隐或低功耗模式 (BLLP)

消隐或低功耗周期 (BLLP) 定义为不传输视频或视频同步数据包的时间。在 BLLP 期间，DSI 源可进入空闲模式 (LP-11)，保持在 HS 模式 (LP-00) 下并传输 HS 消隐数据包，或向 DSI 接收器传输非视频数据包。通常，DSI 源配置将允许在各个视频消隐间隔期间灵活配置 BLLP 行为。

根据 MIPI DSI v1.3.1 标准第 8.11.1 节，DSI 源应定期结束 HS 传输并将数据通道驱动至 LP-11 状态 (至少每帧一次)，从而实现 PHY 同步。相应地，DS90UB941AS-Q1 将 LP 至 HS 的这种转换，作为上电后初始化其 DSI 接收器的信号。(请注意，这仅适用于数据通道而不适用于时钟。) 一些常见的 DSI 源驱动器没有严格遵循涉及上述要求的 MIPI DSI 标准，并将在所有 BLLP 期间保持在 HS (LP-00) 模式下。这给系统启动带来了一种常见隐患，即，如果 DS90UB941AS-Q1 在数据通道上没有检测到 LP 至 HS 的任何转换，则无法进行初始化。因此，必须要确保 DSI 源严格遵循 MIPI DSI 标准，并在视频帧的至少一个 BLLP 周期内启用 LP-11。

2.4 DSI 数据包时序

DS90UB941AS-Q1 利用接收到的 MIPI DSI 数据包时序，和视频数据使能信号一同来重建水平和垂直同步时序。这使得串行器能够将 DSI 输入转换为通用 24 位同步信号 DPI (显示并行接口) 格式，然后由系统中的合作伙伴解

串器器件 (例如 CSI-2、OpenLDI、RGB) 转换成多个其他协议。四种类型的 DSI 短数据包用于定义水平和垂直同步信号边界：

- **HSS (水平同步开始)** - 建立水平同步信号的上升沿。
- **HSE (水平同步结束)** - 建立水平同步信号的下降沿。

NOTE

HSE 仅用于 DSI 脉冲模式，而非事件模式或突发模式。

- **VSS (垂直同步开始)** - 建立垂直同步信号的上升沿
- **VSE (垂直同步结束)** - 建立垂直同步信号的下降沿

NOTE

VSE 仅用于 DSI 脉冲模式，而非事件模式或突发模式

数据使能 (DE) 信号是从每个接收到的 DSI 长数据包中自动生成的，该数据包对应一条有效视频数据线。默认情况下，数据使能信号在视频线的活动区间为逻辑高电平，在视频消隐期间为逻辑低电平，但这也可以通过寄存器控制反转。

为了准确地为显示器生成视频时序，MIPI DSI 发送器必须根据所使用的 DSI 模式确保 DSI 数据包时序与所有时序事件 (如同步脉冲) 的 DPI 像素传输速率和宽度相匹配：

2.4.1 具备同步脉冲的非突发模式

- DSI 发送器必须为 HSS、HSE、VSS 和 VSE 数据包传送准确的 DPI 类型时序，以及每条有源线路的像素传输速率，从而匹配所需的视频时序。
- 所有视频时序都可直接从 DSI 数据包流中提取，包括同步宽度和沿宽。
- 输出像素速率可由连续时钟模式下的 DSI 时钟速率或应用于 DS90UB941AS-Q1 的 REFCLK 源定义。

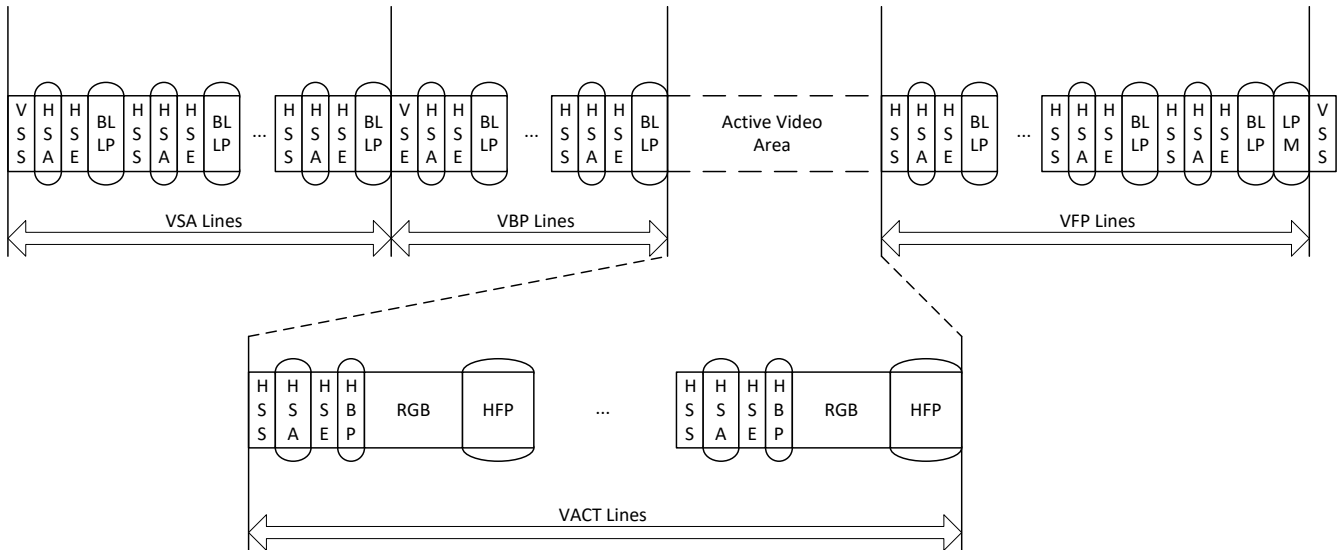


图 2-1. 具备同步脉冲数据包结构的非突发模式

2.4.2 涉及同步事件的非突发模式

- DSI 发送器必须为 HSS 和 VSS 数据包传送准确的 DPI 类型时序，以及每条有源线路的像素传输速率，从而匹配所需的视频时序。
- 事件模式不使用 HSE 和 VSE 数据包来定义 HSYNC/SYNC 信号的下降沿，因此必须对串行器进行编程，从而使用 DSI_HSW_CFG 和 DSI_VSW_CFG 寄存器生成所需的同步宽度。
- 每个同步信号上升沿的时序由 HSS/VSS DSI 短数据包的接收时序定义 (还定义了视频的水平和垂直后沿值)。

- 输出像素速率可由连续时钟模式下的 DSI 时钟速率或应用于 DS90UB941AS-Q1 的 REFCLK 源定义。

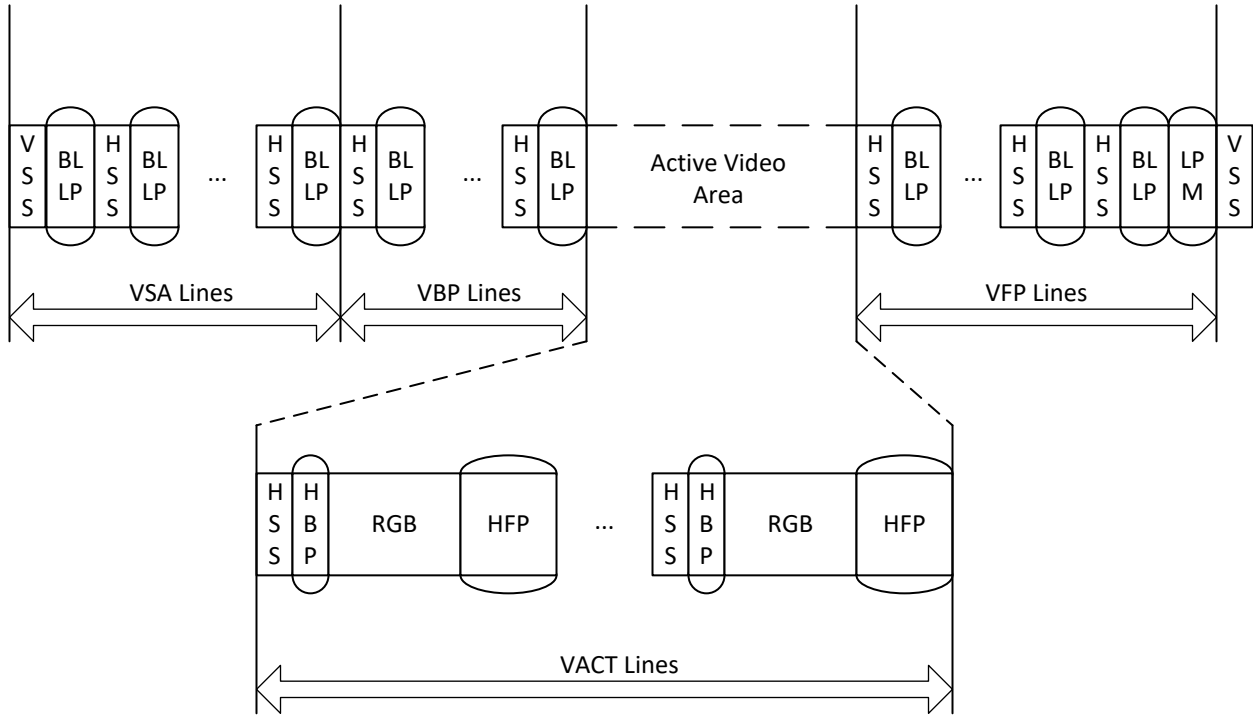


图 2-2. 具备同步事件数据包结构的非突发模式

2.4.3 突发模式

- DSI 发送器必须仅为 HSS 和 VSS 数据包传送准确的 DPI 时序。
- 突发模式不使用 HSE 和 VSE 数据包来定义 HSYNC/VSYNC 信号的下降沿，因此必须对串行器进行编程，从而使用 DSI_HSW_CFG 和 DSI_VSW_CFG 寄存器生成所需的同步宽度。
- 每个同步信号上升沿的时序由 HSS/VSS DSI 短数据包的接收时序定义（还定义了视频的水平和垂直后沿值）。
- 像素传输率可为每条有源视频线压缩时间。这允许以任意高通道速度发送每条线路，该速度必须在 DSI 接收器的限制能力范围内。
- 输出像素速率由应用于 DS90UB941AS-Q1 的 REFCLK 源定义。

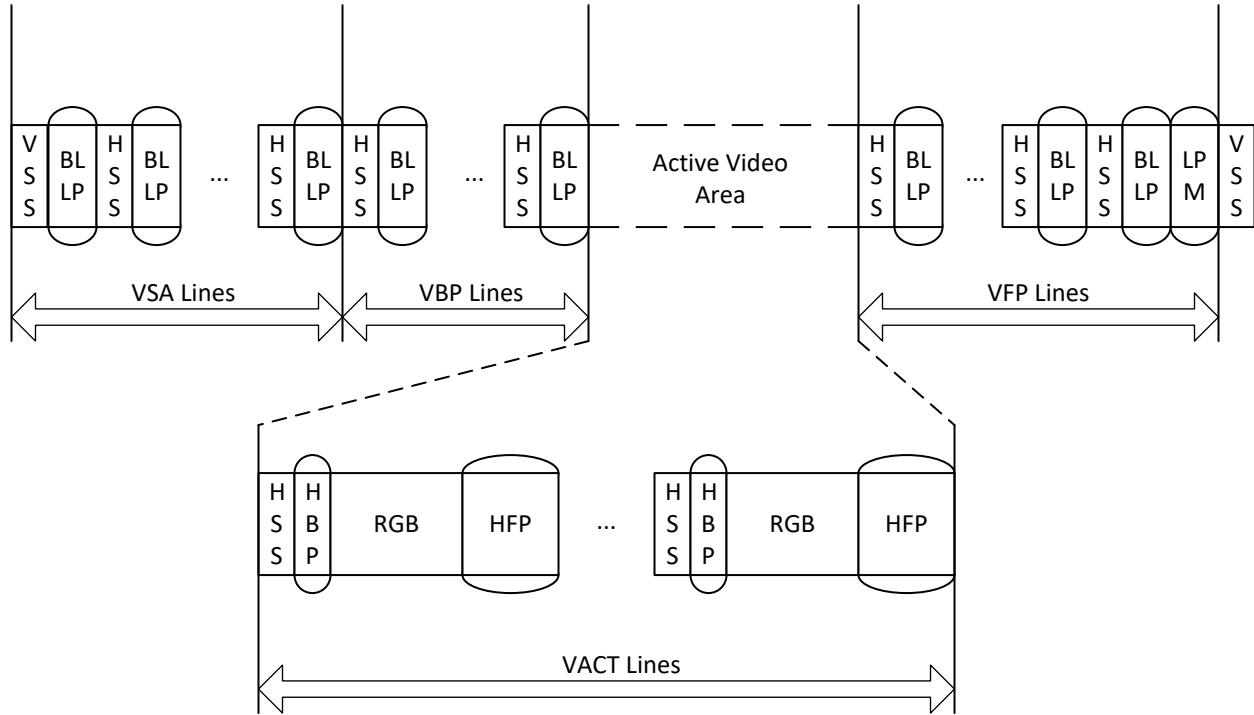


图 2-3. 突发模式数据包结构

需要注意的是，如果 DSI 源驱动器无法满足给定视频配置的 DSI v1.3.1 标准要求，则可能需要对其进行调整。例如，DSI 源可能会为所选 DSI 模式和视频配置发送正确的数据包结构，但不满足上述 DPI 时序要求。在这种情况下，输出 DPI 时序可能不符合预期，这可能会导致显示器出现时序错误。在将源应用到 DS90UB941AS-Q1 之前，必须使用 MIPI DSI 分析仪验证 DSI 源配置，从而确保数据包结构和数据包时序均正确。

3 启动和调试流程

以下部分描述了一种常见的调试流程，该流程可用于启动 DS90UB941AS-Q1 和 DSI 源之间的接口。该调试重点在于 MIPI DSI 接口，并假设 DS90UB941AS-Q1 和合作伙伴解串器之间的 FPD-Link 通道已正确建立。

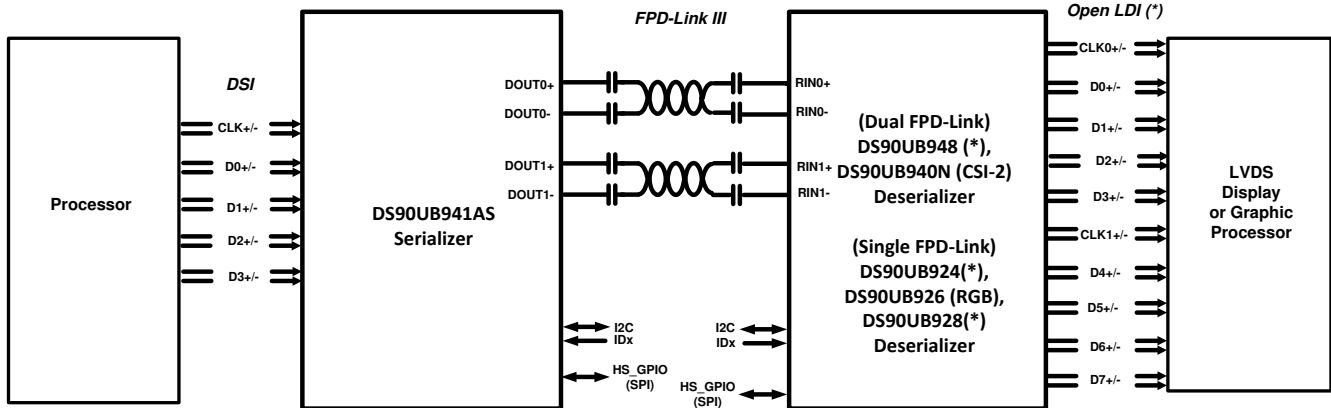


图 3-1. DS90UB941AS-Q1 系统示例

该示例中，DS90UB941AS-Q1 按 DSI 参考时钟模式进行配置。有关从 DS90UB941AS-Q1 配置 PATGEN 的更多信息，请参阅探索 FPDLink III IVI 器件的内部测试图案生成特性。

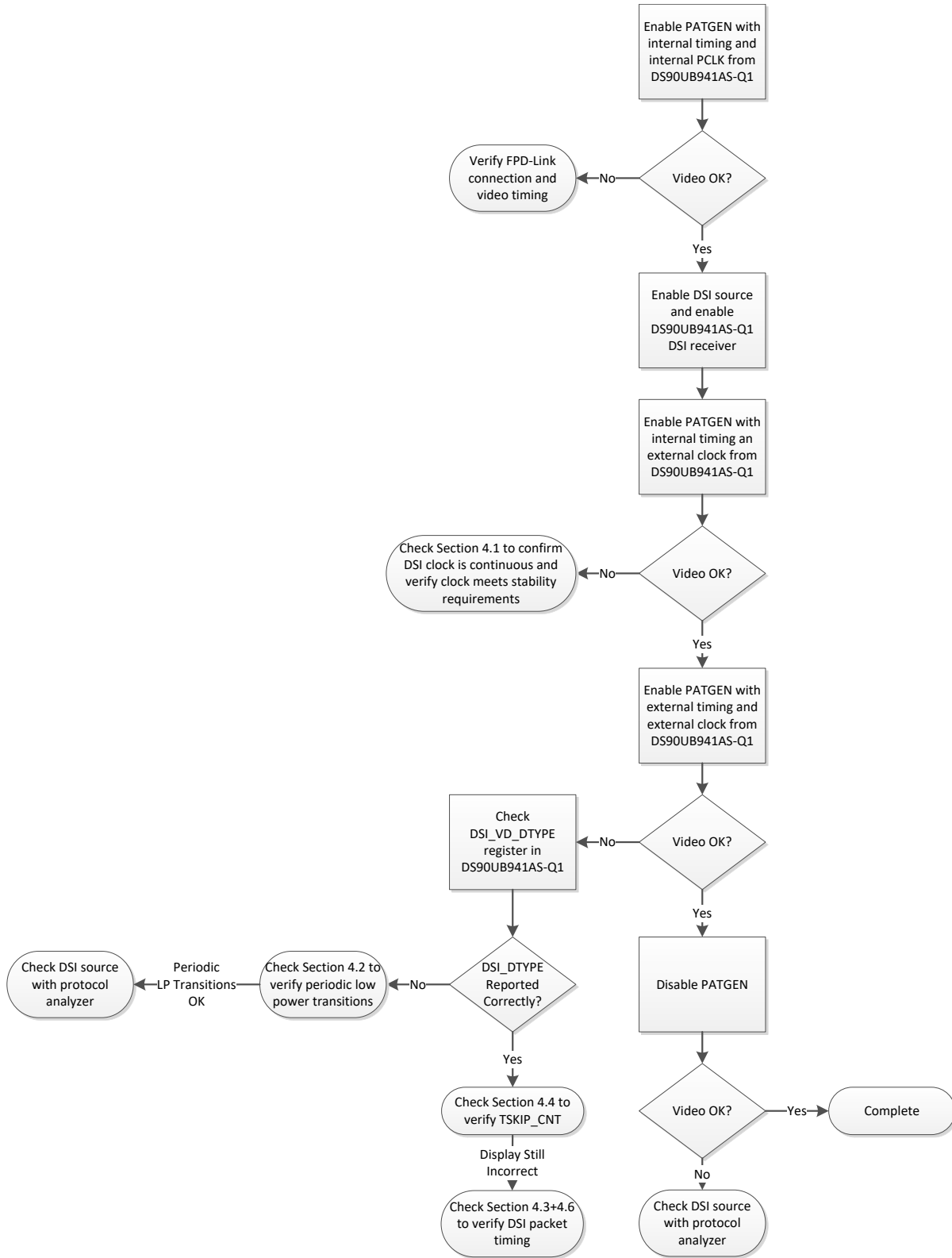


图 3-2. DS90UB941AS-Q1 建议启动流程

4 启动场景示例

4.1 非连续时钟

当 DS90UB941AS-Q1 在 DSI 参考时钟模式下工作时，来自源的 DSI 时钟用于直接设置 FPD-Link 正向通道频率和视频 PCLK 频率。必须确保 DSI 时钟始终连续（非 LP-11 转换）。对于连续时钟模式，时钟通道始终保持在恒定频率的高速模式。对于非连续时钟模式，时钟通道可能会在 HS 数据包传输之间进入 LP-11 低功耗状态。

征兆：

- DSI_VC_DTYPE 寄存器报告视频的正确数据类型以及：
 - 定期闪屏
 - 来自解串器定期失锁
 - 黑屏

验证方法：

1. 通过 I2C 检查 DSI_VC_DTYPE 寄存器：
 - a. 为 DSI 端口 0 写入 $0x40 = 0x04$ ，或为 DSI 端口 1 写入 $0x40 = 0x08$
 - b. 写入 $0x41 = 0x2A$
 - c. 读取 $0x42$ (DSI_VC_DTYPE)
 - d. DSI_DTYPE 包含在 5:0 位

若要验证 DSI 时钟是否连续，系统设计人员可在视频传输期间探测 DSI 时钟通道。这可通过连接在一个数据通道 P/N 网络和 GND 之间的单端探头来完成。目的是将示波器触发器设置为仅捕获 LPTX 振幅，而忽略 HS 数据传输。

在 HS 模式传输期间，预计时钟具有 150 - 250mV 的共模电压和 140 - 270mV 的差分摆幅。

在低功耗模式 (LP-11) 期间，P/N 时钟通道将不再有差分。它们都将转换为 0.95 - 1.3V 的 LPTX 高电平输出电压。

将示波器触发电平设置为 800mV 并监控时钟通道活动。如果示波器没有从 800mV 电平触发，则 DSI 时钟是连续的。时钟应显示连续翻转活动，其差分摆幅为 ~140 - 270mV，共模摆幅为 ~150 - 250mV。

分辨率：

DSI 源必须配置为启用 DSI 连续时钟模式。有关启用此行为（有时被称为“高功率模式”）的选项，请参阅 DSI 源的内核驱动手册。DSI 源驱动器中与此配置相关的标志示例如下：

- sDeviceConfig.bEnableClkLaneHighPwrMode
- dsi-video-clock-mode

4.2 缺少周期性低功耗转换

在使用 DS90UB941AS-Q1 进行端到端调通期间无法接收视频的常见原因是针对 BLLP 行为的 DSI 源配置。如第 1.3 节所述，DSI v1.3.1 规范要求 DSI 源在数据通道上（不是时钟）定期进入 LP-11 状态（低功耗模式），至少每帧一次。市场上一些常见的 DSI 驱动器在视频流中的任何 BLLP 周期内都默认不启用 LP-11 模式。这将导致 DS90UB941AS-Q1 未初始化 DSI 接收器而开始通过 FPD-Link 输出转发视频*。

症状：

- 黑屏
- 检测到 DSI 时钟并且 FPD-Link 正根据所需的视频速率高速运行，但解串器中没有视频数据
- DSI_VC_DTYPE 寄存器中的 DS90UB941AS-Q1 没有上报数据类型

验证方法：

通过 I2C 读取 DSI_FREQ 寄存器 0x5F，验证检测到的 DSI 像素频率。在该系统状态下，DSI 像素频率应符合基于视频速率的预期结果，并且不应报告 0MHz。

1. 通过 I2C 检查 DSI_VC_DTYPE 寄存器：

- a. 为 DSI 端口 0 写入 $0x40 = 0x04$ ，或为 DSI 端口 1 写入 $0x40 = 0x08$
- b. 写入 $0x41 = 0x2A$
- c. 读取 $0x42$ (DSI_VC_DTYPE)
- d. DSI_DTYPE 包含在 5:0 位

为了验证 DSI 源是否定期进入 LP-11 状态，系统设计人员可在视频传输期间探测其中一个有源 DSI 数据通道。这可通过连接在一个数据通道 P/N 网络和 GND 之间的单端探头来完成。目的是将示波器触发器设置为仅捕获 LPTX 信号振幅，而忽略 HS 数据传输。

在 HS 模式传输期间，预计每个数据通道都具有 150-250mV 的共模电压和 140-270mV 的差分摆幅。

在低功耗模式 (LP-11) 期间，P/N 数据通道将不再有差分。它们都将转换为 0.95 - 1.3V 的 LPTX 高电平输出电压。

将示波器触发电平设置为 800mV 并监控数据通道活动。如果 DSI 源正确配置为周期性输出 LP-11 脉冲，则示波器应每帧至少触发一次。帧的周期由视频刷新率定义，通常为 60Hz 刷新历时 16.6ms。如果示波器没有从 800mV 电平触发，则 DSI 源驱动器未正确配置。

示例：

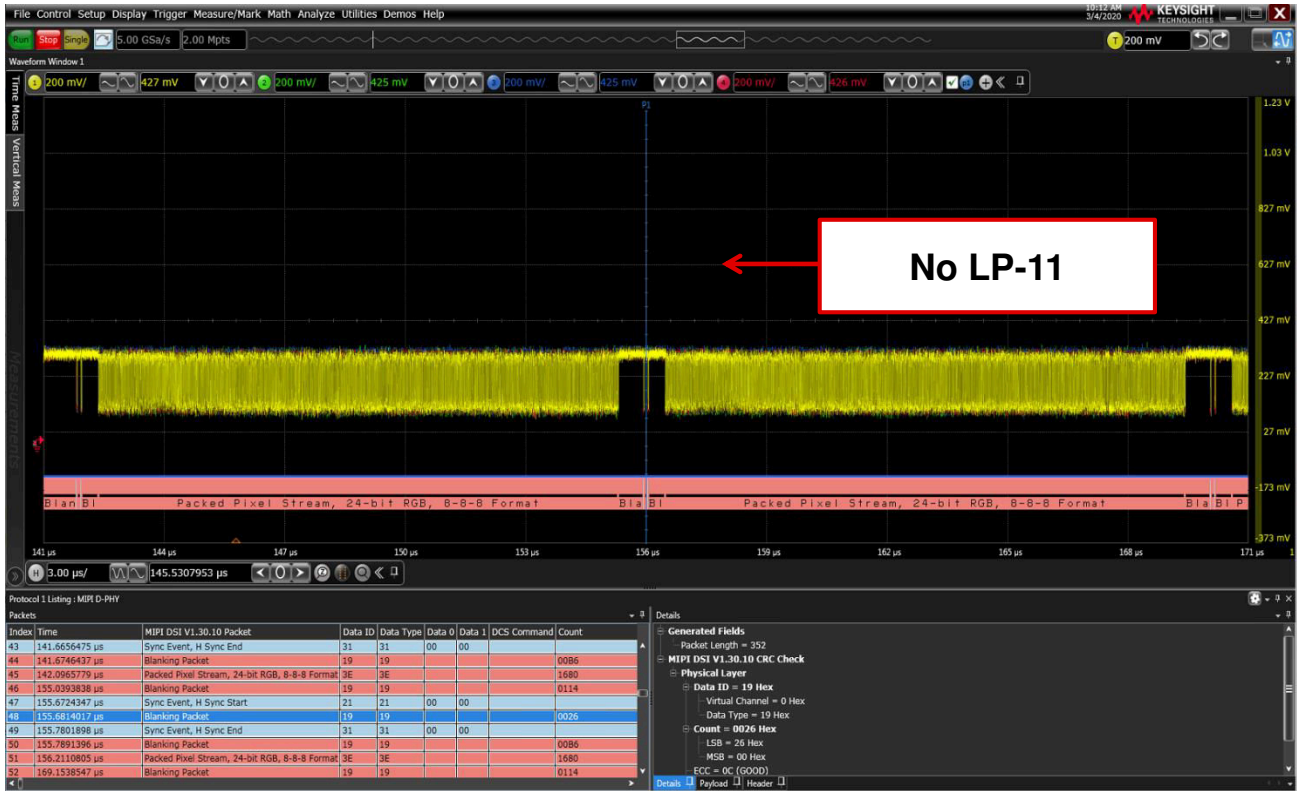


图 4-1. 无周期性低功耗状态的 DSI 数据通道示例

分辨率：

DSI 源驱动器必须配置为在一个可用 BLLP 周期内每帧至少进入低功耗模式 (LP-11) 一次。有关启用周期性低功耗模式的选项，请参阅 DSI 源的内核驱动手册。DSI 源驱动器中与此配置相关的标志示例如下：

- mdss-dsi-bllp-eof-power-mode
- mdss-dsi-bllp-power-mode

NOTE

如果在启用 DSI TX 源之前启用 DS90UB941AS-Q1 DSI 接收器，则 DS90UB941AS-Q1 DSI 接收器可能会在视频输出开始时发生的唯一一次 LP 到 HS 转换期间进行初始化。DSI 接收器完成初始化后，除非稍后 DS90UB941AS-Q1 器件复位，否则视频将继续正常输出。这不应被视为问题根源的解决方案，应调整 DSI 驱动器从而避免在各种通电/断电情况下出现任何视频丢失。此外，如果没有看到任何 LP 到 HS 的转换，则无法手动初始化 DSI 接收器。

4.3 错误的 DSI 数据包时序

虽然大多数标准 DSI 接口通常从 D-PHY 物理层角度 (DC/AC 电气参数) 确保 MIPI 合规性, 但在驱动器开发阶段, 仍会出现与 DSI 数据包顺序/时序相关的问题, 尤其是在实现非标准视频时序或自定义视频解决方案的时钟速率时*。如第 1.4 节所述, DS90UB941AS-Q1 利用从传入 DSI 数据包接收到的时序来重建输出视频流的 DPI 时序。这意味着接收到的视频数据包时序, 尤其是同步数据包时序, 对于确保系统正常运行至关重要。

征兆:

- 闪屏/抖动屏
- 剪辑/分割视频
- 视频上翻/下翻或左翻/右翻
- 黑屏

验证方法:

为了验证 DSI 数据包时序, DSI 源必须连接到 MIPI 分析仪测试设备, 该设备能够解码 DSI 数据包并使用时间戳记录总线活动。在数据包级别分析 DSI 协议运行时, 有几种不同的方法:

- 专用 DSI 分析仪设备
 - 通常宜直接连接 DSI 源和协议分析仪, 无需连接 DS90UB941AS-Q1
 - 连接到处理器开发套件也可行, 其中 MIPI DSI 信号可传输到 SMA 电缆, 从而轻松连接分析仪
- 具有 DSI 分析仪软件包的高速示波器
 - 需要在源和 DS90UB941AS-Q1 之间连接 DSI 的完整系统中对 DSI 活动进行直列式分析
 - 需要高速探针将数据和时钟通道焊接到电路板上

验证过程中, 第一步是通过计算视频的预期水平/垂直时序参数 (以秒为单位) 来确定预期的 MIPI 数据包时序。首先, 根据视频 PCLK 确定像素时间, 然后将每个水平时序参数乘以像素时间, 得到每个水平时序事件的预期持续时间。

示例

- 水平活动 (HACT) = 1920 像素
- 水平前沿 (HFP) = 92 像素
- 水平同步 (HSYNC) = 14 像素
- 水平后沿 (HBP) = 62 像素
- 像素时钟 (PCLK) = 148MHz

$$\text{像素时间} = 1/\text{PCLK} = 6.76\text{ns} \quad (2)$$

$$\text{HACT} = 6.76\text{ns} \times 1920 = 12.9 \mu\text{s} \quad (3)$$

$$\text{HFP} = 6.76\text{ns} \times 92 = 621.9\text{ns} \quad (4)$$

$$\text{HSYNC} = 6.76\text{ns} \times 14 = 94.6\text{ns} \quad (5)$$

$$\text{HBP} = 6.76\text{ns} \times 62 = 419.1\text{ns} \quad (6)$$

接下来，应捕获 DSI 视频源进行分析：

1. 激活 DSI 源并给 DS90UB941AS-Q1 器件供电（若已连接）
2. 激活 DS90UB941AS-Q1 DSI 接收器从而允许动态 DPHY 端接（若已连接）
3. 捕获在至少 2 个视频帧期间使用的所有通道的 DSI 协议活动

DSI 分析仪能够以字节为单位报告水平时序参数，这与视频数据包结构（每像素的字节数，通常 24 位 RGB 为 3 字节）有关。尽管该数据提供了有关源配置的有用信息，但要分析的非常重要的因素是可定义活动视频帧期间视频 DPI 时序的不同同步数据包之间的时间（以秒为单位）。通过检查每个视频事件（从 DSI 数据包数据解码）的时间戳，可测量 HACT、HFP、HSYNC 和 HBP 的水平时序并将其与预期值进行比较。

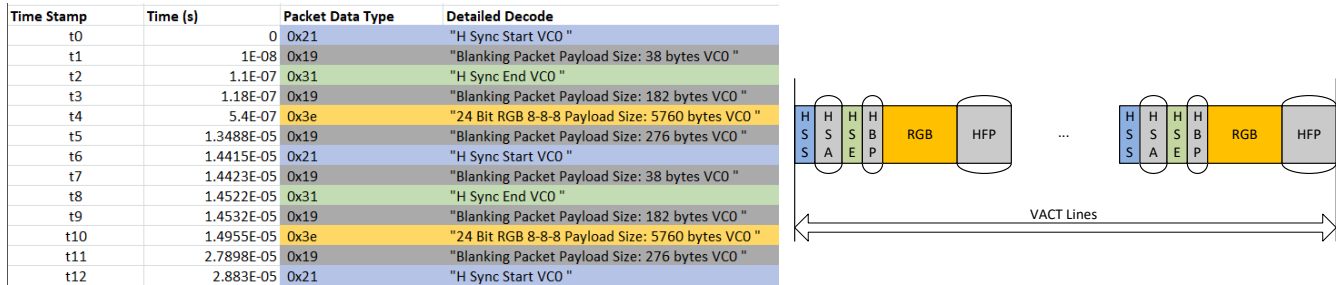


图 4-2. DSI 跟踪解码示例 - 水平线 (RGB888)

最后，根据解码器时间戳计算测得的时序参数：

$$\text{HACT} = t_5 - t_4 = 12.9 \mu\text{s} \quad (7)$$

$$\text{HFP} = t_6 - t_5 = 627\text{ns} \quad (8)$$

$$\text{HSYNC} = t_2 - t_1 = 100\text{ns} \quad (9)$$

$$\text{HBP} = t_4 - t_3 = 422\text{ns} \quad (10)$$

在本示例中，计算出的时序与 HACT、HBP 和 HSYNC 参数的测量时序在 1 个像素的时间内匹配，但是 HFP 测量值明显高于预期（621.9ns 和 927ns）。这种差异相当于视频的水平前沿中的约 45 个额外像素，如果显示时序控制器不允许错误输入，则可能会导致显示器出现视觉错误。

请注意，HSS/HSE 数据包的长度为 4 个字节，因此，为了准确说明数据包长度，从同步事件之间进行的消隐数据包字节计数中删除了字节。例如，在这个视频源中，水平同步信号长度为 14 个像素，对应 42 个字节，其中每像素包装结构为 3 个字节。在 DSI 解码中，HSS 和 HSE 数据包之间的消隐数据包的有效载荷只有 38 个字节，因为在 HSS 数据包传输期间已经发送了 4 个字节。

虽然在水平时序配置中更可能发生视频时序错误，但在 DSI 流的垂直运行和消隐期间，通过检查数据包解码中接收到的线条数来验证垂直视频时序也很重要。可采用相同的方法来计算垂直线条数，并验证垂直消隐期间的线时间是否保持一致。

垂直同步周期分析示例：

- 垂直同步 (VSYNC) = 2 线条

若要计算预期的线时间，将每条水平线的总像素数相加，然后乘以由方程式 2 得到的像素时间。

$$\text{线时间} = (\text{HACT} + \text{HFP} + \text{HBP} + \text{HSYNC}) \times \text{像素时间} \quad (11)$$

$$\text{预期线时间} = (1920 + 92 + 62 + 14) \times 6.76\text{ns} = 14.1 \mu\text{s} \quad (12)$$

Time Stamp	Time	Packet Data Type	Detailed Decode
t0	0	0x1	"V Sync Start VCO "
t1	8E-09	0x19	"Blanking Packet Payload Size: 38 bytes VCO "
t2	1.08E-07	0x31	"H Sync End VCO "
t3	1.16E-07	0x19	"Blanking Packet Payload Size: 6218 bytes VCO "
t4	1.4085E-05	0x21	"H Sync Start VCO "
t5	1.4093E-05	0x19	"Blanking Packet Payload Size: 38 bytes VCO "
t6	1.4196E-05	0x31	"H Sync End VCO "
t7	1.4203E-05	0x19	"Blanking Packet Payload Size: 6218 bytes VCO "
t8	2.8173E-05	0x11	"V Sync End VCO "

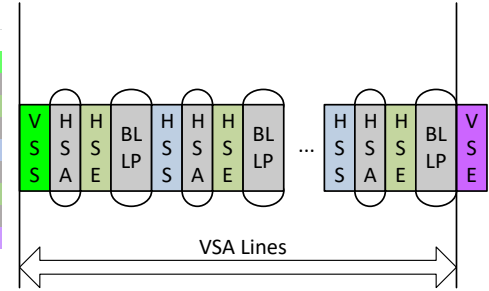


图 4-3. DSI 跟踪解码示例 - 垂直同步 (RGB888)

可在垂直同步周期内测量从 VSS 到 HSS、HSE 到 HSE 或 HSS 到 VSE 的线时间。

$$\text{线时间} = t_4 - t_0 = 14.1 \mu\text{s} \quad (13)$$

请注意，在 VSS 和 VSE 之间记录了两条完整的线，这与视频时序的预期相符。（ $t_0 \rightarrow t_4$ 和 $t_4 \rightarrow t_8$ ）。该分析技术也可用于验证视频垂直前沿和后沿区域中的 DSI 数据包时序。

NOTE

DSI 数据包时序偏离预期的一个潜在原因可能与在视频帧的各 BLLP 部分内为定位周期性 LP-11 低功率脉冲而采用驱动器有关。尽管 DSI 标准要求源至少每帧提供一次周期性 LP-11 转换，但它支持根据视频时序和时钟速率灵活地插入脉冲所在 BLLP 区域。

VSS	BLLP-1	HSE	BLLP-2		
HSS	BLLP-1	HSE	BLLP-2		
VSE	BLLP-1	HSE	BLLP-2		
HSS	BLLP-1	HSE	BLLP-2		
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-3	DATA	BLLP-4
HSS	BLLP-1	HSE	BLLP-2		
HSS	BLLP-1	HSE	BLLP-2		

图 4-4. 具备 BLLP 区域的 DSI 帧格式示例

LP-11 脉冲的持续时间下限受 MIPI D-PHY 1.2 规范的限制，该规范定义了全局操作时序参数（ t_{LPX} 、 $t_{HS-PREP}$ 、 $t_{TD-TERM-EN}$ 、 $t_{HS-ZERO}$ 等）的最小/最大 AC 规格。这些参数定义了从 LP 到 HS 模式转换（或从 HS 到 LP 模式转换）所需的时间间隔。根据 DSI 通道速度和视频时序参数，来自发送器的 LP-11 脉冲的持续时间可能会超过视频同步事件之间的间隔时间。例如，对于短像素时间和短水平前沿时间，在结束视频线长数据包和发送 HSS 数据包

之间，DSI 源可能没有足够的时间进行从 HS 到 LP 再到 HS 的转换。不管以任何方式应用 LP-11 脉冲，合成的 HFP 时序值都可能会被拉伸到比预期值更大。

示例：

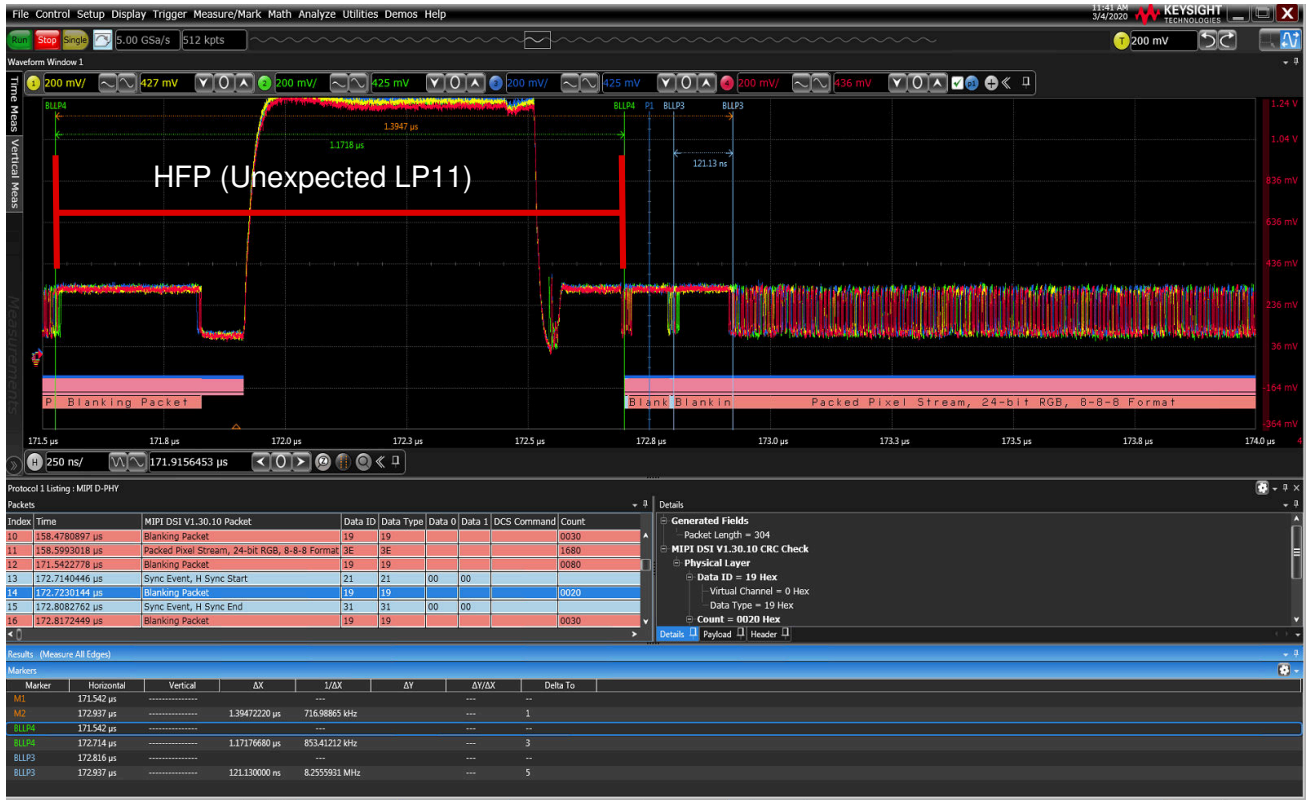


图 4-5. HFP 期间意外发生的 LP 转换 (BLLP-4)

为避免该问题，应修改驱动器从而确保 DSI 源在 HFP 期间保持 HS 模式（它可发送 HS 消隐数据包以进行时间填充）。LP-11 脉冲可移动到视频帧中的 BLLP 位置，该视频帧具有足够的持续时间从而允许产生脉冲而不会中断预期的 DPI 时序（例如在垂直消隐区域，BLLP-2）。

4.4 T_{HS-SKIP} 配置

MIPI D-PHY v1.2 接收器规范要求接收器件在重新进入低功耗状态 (LP-11) 之前，在高速数据包传输结束时忽略 DSI 数据通道的有源性，从而屏蔽在传输结束 (EoT) 序列期间的转换影响。如果 T_{HS-SKIP} 时序参数配置错误，则会在 DSI 视频流中导致数据错误。

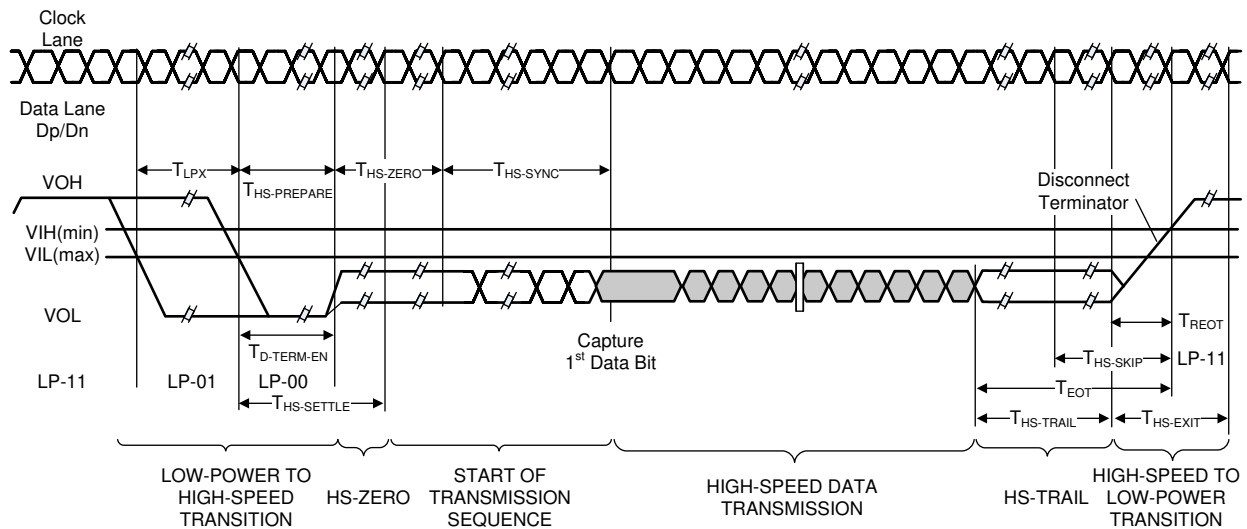


图 4-6. 突发高速数据传输

症状：

- 随机/间歇像素错误
- DS90UB941AS-Q1 寄存器中的 DSI 错误标签：
- 抖动或闪屏

分辨率：

DS90UB941AS-Q1 需要用户根据所应用的 DSI 时钟速度配置 t_{HS-SKIP} 时序参数。T_{SKIP_CNT} (解码) 值在 [方程式 14](#) 中定义，其中，f_{DSI} 是以 GHz 为单位的 DSI 时钟频率。

$$TSKIP_CNT = \text{Round}(65 \cdot f_{DSI} - 5) \quad (14)$$

在启用 DSI 接收器之前，必须将该值加载到 DS90UB941AS-Q1 寄存器 0x05[6:1] (十六进制) 中。

NOTE

TSKIP_CNT 寄存器字段在寄存器字段中向左移动一位。

若要对 TSKIP_CNT 进行编程，请通过 I2C 执行以下编程步骤：

1. 为 DSI 端口 0 写入 0x40 = 0x04，或为 DSI 端口 1 写入 0x40 = 0x08
2. 写入 0x41 = 0x05
3. 从 [方程式 14](#) 写入 Write 0x42 = hex(TSKIP_CNT << 1)

[DS90UB941AS-Q1 超帧设计计算器](#) 工具在 DS90UB941AS-Q1 产品文件夹中，其中还包括针对 TSKIP_CNT 进行的计算。

4.5 传输结束数据包 (EoTp)

符合 MIPI DSI v1.0 及更高版本规范的 DSI 器件需要在任意 HS 数据传输后生成传输结束数据包 (EoTp)。EoTp 的主要目标是在从 HS 到 LP 模式的转换期间增强 DSI 接口的稳健性，这样即便存在非理想信令条件，接收器也能够清楚地检测到 HS 传输的结束。为了支持 DSI 外设之间的向后兼容性和互操作性，该标准要求发送器和接收器器件应具有使用或不使用 EoTp 功能的可选能力。DS90UB941AS-Q1 期望 DSI 源在默认情况下发送 EoTp，因为它是符合 DSI v1.3.1 标准的接收器，因此，如果该源不生成 EoTp，那么 DS90UB941AS-Q1 将报告错误情况。

征兆：

- DS90UB941AS-Q1 上报 DSI_STATUS 寄存器中的 DSI_EOT_ERR

验证方法：

1. 通过 I2C 检查 DSI_EOT_ERR 标志：
 - a. 为 DSI 端口 0 写入 $0x40 = 0x04$ ，或为 DSI 端口 1 写入 $0x40 = 0x08$
 - b. 写入 $0x41 = 28$
 - c. 读取 $0x42$ 并检查位 2，当位 2 为 1 时， $0x42$ 表示 DSI_EOT_ERR。该标志在读取后被清除。

分辨率：

建议尽可能从源器件启用 EoTp 生成。这应是 DSI 源内核驱动中的一个可配置选项。如果该源不支持 EoTp 生成，则在 DSI_CONFIG_1 寄存器中启用 DSI_NO_EOTPKT = 1，这将屏蔽 DSI_STATUS 寄存器中的 EoTp 错误。

通常，这种错误情况不会对显示器造成任何视觉影响，但它可能会影响 DS90UB941AS-Q1 在不使用 EoTp 的系统中检测真正 EoT 错误的能力。

4.6 事件模式/突发模式的同步宽度配置

如节 2.4.2 所述，涉及同步事件的 DSI 非突发模式和突发模式配置不利用水平或垂直同步结束数据包将 DPI 时序传送到灌电流器件。当这些模式与 DS90UB941AS-Q1 一同使用时，需要通过器件寄存器配置视频的水平同步宽度和垂直同步宽度。如果没有配置所需的同步宽度和启用事件模式，显示输出时序可能不符合预期。

征兆：

- 黑屏
- 抖动/闪屏
- 水平或垂直翻转

分辨率：

如果 DSI 源配置为事件模式或突发模式，首先要将 DSI_CONFIG_0 寄存器中的 DSI_SYNC_PULSES 设置为 0。这会通知 DS90UB941AS-Q1 接收器：它应该只接收水平/垂直同步开始数据包，并启用针对 HSYNC 和 VSYNC 信号生成的超驰控制系统。

然后，将 DSI_HSW_CFG_HI/DSI_HSW_CFG_LO 和 DSI_VSW_CFG_HI/DSI_VSW_CFG_LO 寄存器按视频信号所需的参数进行设置。水平/垂直前沿宽度由紧跟有效数据到 HSS 或 VSS 信号开始的数量或像素/线条定义。

示例源信号：

- HACT = 1920
- HFP = 92
- HTOTAL = 2088
- VACT = 1080
- VFP = 35
- VTOTAL = 1150

所需同步宽度：

- HSYNC = 14 像素 = 0x0E
- VSYNC = 2 线条 = 0x02

设置 DS90UB941AS-Q1 间接 DSI 寄存器：

1. DSI_HSYNC_WIDTH_HI = 0x00
2. DSI_HSYNC_WIDTH_LO = 0x0E
3. DSI_VSYNC_WIDTH_HI = 0x00
4. DSI_VSYNC_WIDTH_LO = 0x02

首先，根据所需 DSI 端口选择 DSI 间接寄存器：

1. 为 DSI 端口 0 写入 0x40 = 0x04，或为 DSI 端口 1 写入 0x40 = 0x08。
2. 写入 0x41 = 0x30 (DSI_HSW_CFG_HI)。
3. 写入 0x42 = 0x00。
4. 写入 0x41 = 0x31 (DSI_HSW_CFG_LO)。
5. 写入 0x42 = 0x0E。
6. 写入 0x41 = 0x32 (DSI_VSW_CFG_HI)。
7. 写入 0x42 = 0x00。
8. 写入 0x41 = 0x33 (DSI_VSW_CFG_LO)。
9. 写入 0x42 = 0x02。

HBP 和 VBP 信号将根据总像素/线条、HFP/VFP 宽度和同步信号覆盖宽度自动生成：

$$\text{HBP} = \text{HTOTAL} - \text{HACT} - \text{HFP} - \text{HSYNC} = 2088 - 1920 - 92 - 14 = 62 \text{ 像素} \quad (15)$$

$$\text{VBP} = \text{VTOTAL} - \text{VACT} - \text{VFP} - \text{VSYNC} = 33 \text{ 线条} \quad (16)$$

5 总结

本应用报告提供了使用 DS90UB941AS-Q1 调通 DSI 的系统方法，并分步介绍了 DSI 视频应用中一些非常常见的缺陷。

6 参考文献

- 德州仪器 (TI) [具有视频分离功能的 DS90UB941AS-Q1 2K DSI 转 FPD-Link III 桥接串行器](#)
- 德州仪器 (TI) [具有视频分离功能的和 HDCP 的 DS90UH941AS-Q1 2K DSI 转 FPD-Link III 桥接串行器](#)
- MIPI 联盟 [D-PHY v1.2 规范](#)
- MIPI 联盟 [DSI v1.3.1 规范](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司