



Hunsoo Choo

## 摘要

最近对不断增长的移动带宽的需求引发了对 5G 无线网络环境的讨论，该环境支持超大容量和超低延迟。最终的 5G 无线网络应使用接近 1GHz 的超宽带频谱。然而，现实表明，5G 服务开始时的带宽相对较窄（比如 100 - 200MHz），预计将与 4G 网络共存相当长一段时间。因此，灵活且可扩展的平台设计（可支持从零点几 MHz 到 1GHz 的大带宽范围）对于电信行业未来的系统需求变得至关重要。

TI 的射频采样数据转换器器件（AFE76xx 系列）在一个芯片中集成了四个 DAC 和四个 ADC。DAC 路径将数字流直接调制到射频通道频率。同样，ADC 路径对射频信号进行下变频，并以高采样率将射频信号直接采样到数字数据流。因此，只需更改数字处理块的配置，就能为支持不同带宽的各种配置提供原生支持。

本应用报告介绍了如何在支持 4G 和 5G 无线系统的通用平台设计中使用 TI 的射频采样 SoC 器件。

## 内容

1 引言.....	3
2 TSW4086 参考设计.....	5
3 小型蜂窝和中继器的系统配置.....	8
4 AFE76xx 配置或用例.....	11
5 用例的实现选择.....	14
6 测试结果.....	18
7 修订历史记录.....	22

## 插图清单

图 1-1. 具有集成射频采样 ADC 和 DAC 的 AFE76xx.....	3
图 2-1. TSW4086 EVM.....	5
图 2-2. TSW0486 EVM 测试设置.....	6
图 2-3. AFE76xx GUI.....	7
图 3-1. 2T2R 配置.....	9
图 3-2. 2T2RnFB FDD 配置.....	9
图 3-3. 4T4R2FB 系统案例 1.....	10
图 3-4. 4T4R2FB 系统案例 2.....	10
图 3-5. 6T6R2FB 方框图.....	11
图 5-1. 2T2R2FB TDD 配置.....	16
图 5-2. RX 至 FBRX 动态转换.....	16
图 5-3. 射频中继器的 2T2R2FB 配置.....	17
图 6-1. 1750MHz 和 -15dBFS 时的单音调 RX 路径输出.....	18
图 6-2. 1750MHz 和 -15dBFS 时的单音调 FBRX 路径输出.....	18
图 6-3. TX 输出：2.6GHz 时的 2x20MHz LTE 信号.....	19
图 6-4. RX 输出：2.6GHz 时的 2x20MHz LTE 信号 (TX-RX 环回).....	19
图 6-5. 数字 RX 到 TX 直接环回：RX 输入 - CW 在 450MHz 下，TX 输出在 3520MHz 下.....	20
图 6-6. 具有宽带信号的 TX 路径输出 (600MHz).....	21
图 6-7. 具有宽带信号的 FBRX 路径输出 (600MHz).....	21
图 6-8. RX 模式输出.....	22
图 6-9. FBRX 模式输出.....	22

## 表格清单

表 3-1. 4G 网络的示例配置.....	8
表 3-2. 5G 中继器的示例配置.....	9
表 4-1. 24410 用于 2 个上行链路.....	12
表 4-2. 14810 用于 2 个上行链路.....	12
表 4-3. 44210 用于 2 个上行链路或 22210 用于 1 条反馈路径.....	13
表 4-4. 24410 用于 2 个上行链路.....	13
表 4-5. 42220 用于自动切换的反馈路径.....	13
表 4-6. 22420 用于自动切换的反馈路径.....	13
表 5-1. 2T2R2FB.....	14
表 5-2. 2T4R.....	14
表 5-3. 2T2R.....	15
表 5-4. 2T2FB.....	15
表 5-5. 适用于宽频带的 2T2R 1/2 分时 FB.....	15
表 5-6. 适用于宽频带的 2T2R 2FB.....	17

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

电信行业努力扩大无线网络的覆盖范围和容量。热门常用技术包括中继器系统和小型蜂窝。

中继器系统通常用于蜂窝网络边缘，或因基站太远而无法获得足够强覆盖的区域，或因某些障碍而无法在基站与服务区之间确保获得良好视线的区域。中继器系统接收来自基站的微弱信号，然后将信号放大后重新传输，或执行反向通信所需的信号处理。添加的中继器有效地扩展了蜂窝网络的覆盖范围。通过空气从基站接收射频信号的中继器被称为射频中继器。光中继器则是通过光纤电缆与基站进行通信的。

小型蜂窝是具有较低传输功率和较小覆盖范围的接入点。一个宏蜂窝下能够部署多个小型蜂窝。添加小型蜂窝可扩展覆盖范围并增加蜂窝容量。根据覆盖范围和发射功率的不同，小型蜂窝可分为毫微微蜂窝、微微蜂窝、小微蜂窝。为了解决容量问题，预计将在 5G 网络系统中广泛使用小型蜂窝。

5G 网络系统标准讨论了宽度可达 1GHz 的超宽带频谱。当电信行业计划在 2019 年首次部署 5G 网络时，经常会讨论支持中间带宽（比如 100MHz 至 200MHz）的系统。若要最终成为主流无线网络，5G 系统还有很长的路要走。在 4G 向 5G 过渡期间，4G 将与 5G 共存。无线网络系统不可避免地需要支持窄谱和中谱以及超广谱。

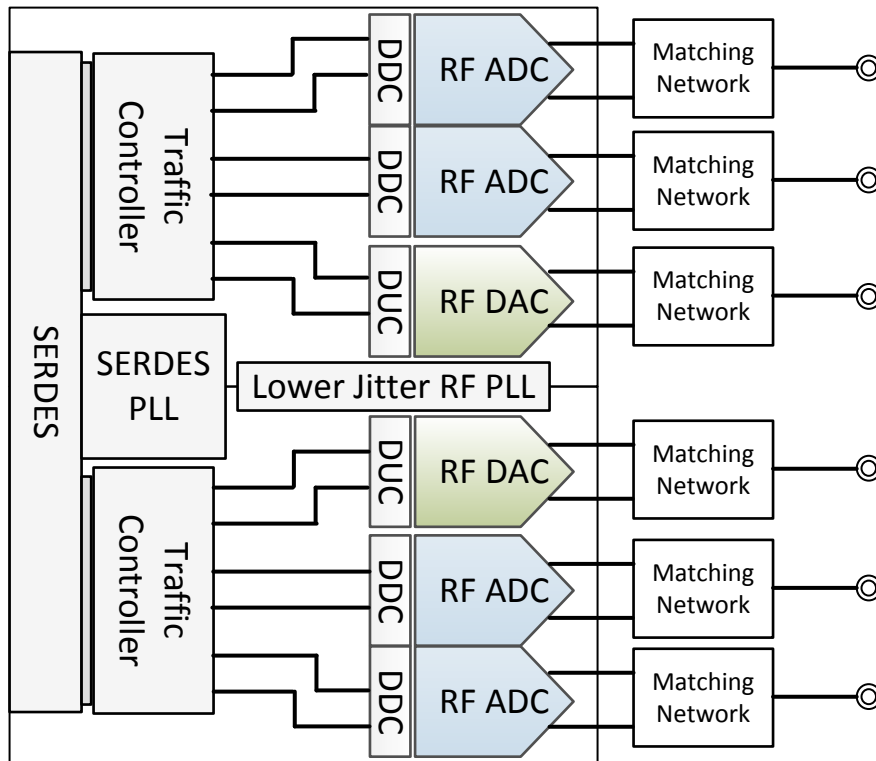


图 1-1. 具有集成射频采样 ADC 和 DAC 的 AFE76xx

TI 的射频采样数据转换器器件（AFE76xx 系列）在一个芯片中集成了四个 DAC 和四个 ADC，每个 DAC 和 ADC 对具有两个独立的 SERDES（串行器/解串器）内核。DAC 和 ADC 采用直接射频采样技术。这项技术采用嵌入式数字 NCO（数控振荡器）和各种用于采样率转换和带外滤波的数字滤波器，使单个器件能够灵活地支持不同带宽的不同射频频段。AFE76xx 采用串行化和反串行化（SERDES）逻辑来处理具有不同采样率的多个数据流。来自多条接收路径的数据被有效地封装在数量有限的高速串行数据通道中。在 SERDES 接收器的另一侧，串行数据被解包成一个具有较低采样率的多位并行数据流。这些特性使 AFE76xx 非常适合具有不同设计和用例要求的可扩展系统设计。

AFE76xx 特性包括：

- 集成 14 位 DAC 和 ADC
- 用于上变频和下变频的数字 NCO
- 用于内插和抽取处理的数字滤波器
- 8 个独立的 SERDES 通道用于 DAC 和 ADC 路径，支持高达 15Gbps 的 SERDES 通道速率
- ADC 和 DAC 之间的异构或同构 SERDES 通道速率支持

- ADC 内核之间的异构或同构 SERDES 通道速率支持

## 1.1 AFE76xx 系列器件

器件	所支持的通道	每个 TX 通道的 DUC 数	每个通道的 DDC 数	最大带宽
AFE7683	2T4R	1	1	<600MHz
AFE7684	2T4R	2	2	<1200MHz
AFE7685	4T4R	1	1	<600MHz
AFE7686	4T4R	2	2	<1200MHz

## 2 TSW4086 参考设计

TSW4086 设计适用于小型蜂窝和中继器设计中经常使用的 2T2R、2T2R1FB 或 2T2R2FB 系统。与 4T4R 系统的参考 EVM 相比，该设计的外形更小巧。TSW4086 的电源由子板 TSW2086 提供，该子板通过连接器连接在 TSW4086 的底部。

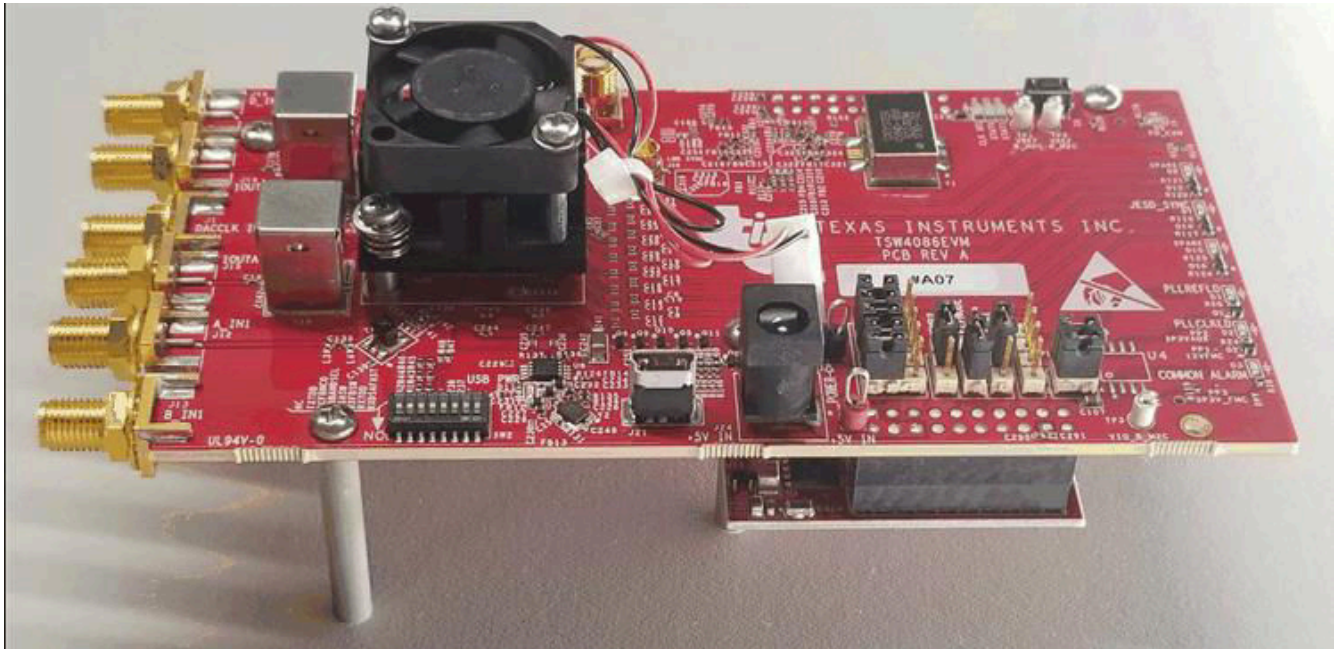


图 2-1. TSW4086 EVM

### 2.1 TSW4086 EVM 设置

TSW4086 具有一个板载 AFE76xx 器件。LMK04610 采用双环路 PLL，提供具有极低时钟抖动且符合 JESD204B 标准的时钟。第一个 PLL 锁定到频率为 122.88MHz 的板载 VCXO。第二个 PLL 锁定到几 GHz 的时钟，并生成 AFE76xx 器件和 FPGA 的参考时钟。AFE76xx 中的内部 RF PLL 为片上数据转换器合成了一个低噪声 9GHz 或 6GHz 时钟，并将一个分频时钟提供给 SERDES PLL 作为参考时钟。

TSW14J56 或 TSW14J57 用于捕获 ADC 输出数据或将数据馈送到 DAC。LMK04610 还为 TSW14J5x 上的 FPGA 提供参考时钟和 SYSREF 信号。

LMK04610 特性包括：

- 低抖动双环路 PLL 架构
- JESD204B 支持
- 8 个频率组中的 10 个差分输出时钟
- 2 个选择性参考时钟输入
- <1W 典型功耗

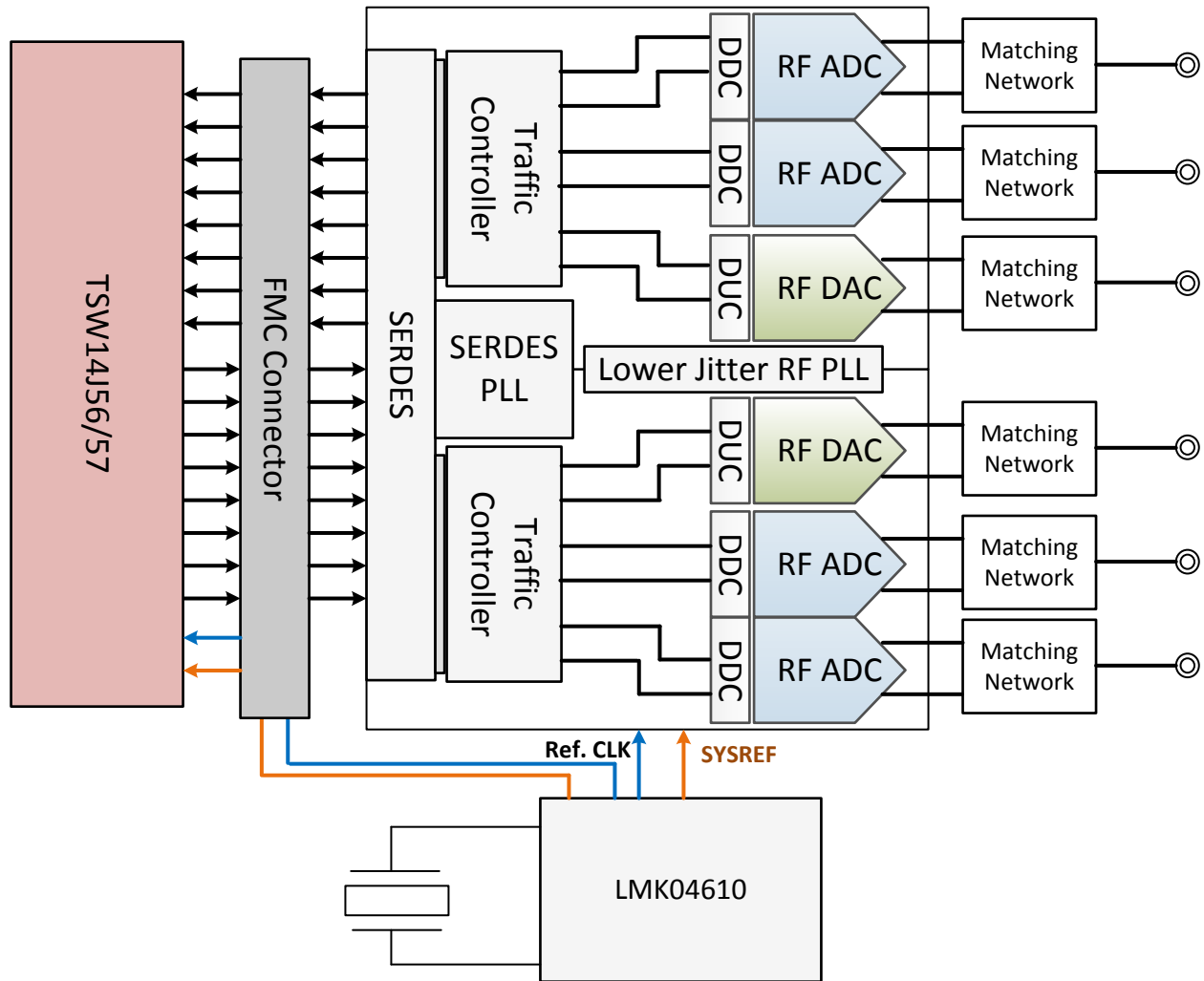


图 2-2. TSW4086 EVM 测试设置

## 2.2 TSW4086 编程

TSW4086 EVM 通过 AFE76xx GUI 进行编程。该软件支持 AFE76xx EVM 和 TSW4086。LMK04610 经过编程，可向 AFE76xx 提供 368.64MHz 的 FREF 时钟。此外，还会向 TSW14J56/7 中的 FPGA 提供参考时钟。可以根据“RX/TX 数字路径配置”和“JESD 设置”部分中的设置对 AFE76xx 的用例进行编程。可通过 AFE76xx RX 和 TX 选项卡对 DAC 和 ADC 通道数量进行设置，特别是对于具有较低功耗的 2T2RnFB 配置。还可通过 AFE76xx RX 选项卡设置应以更优方式修整 ADC 的奈奎斯特区域。

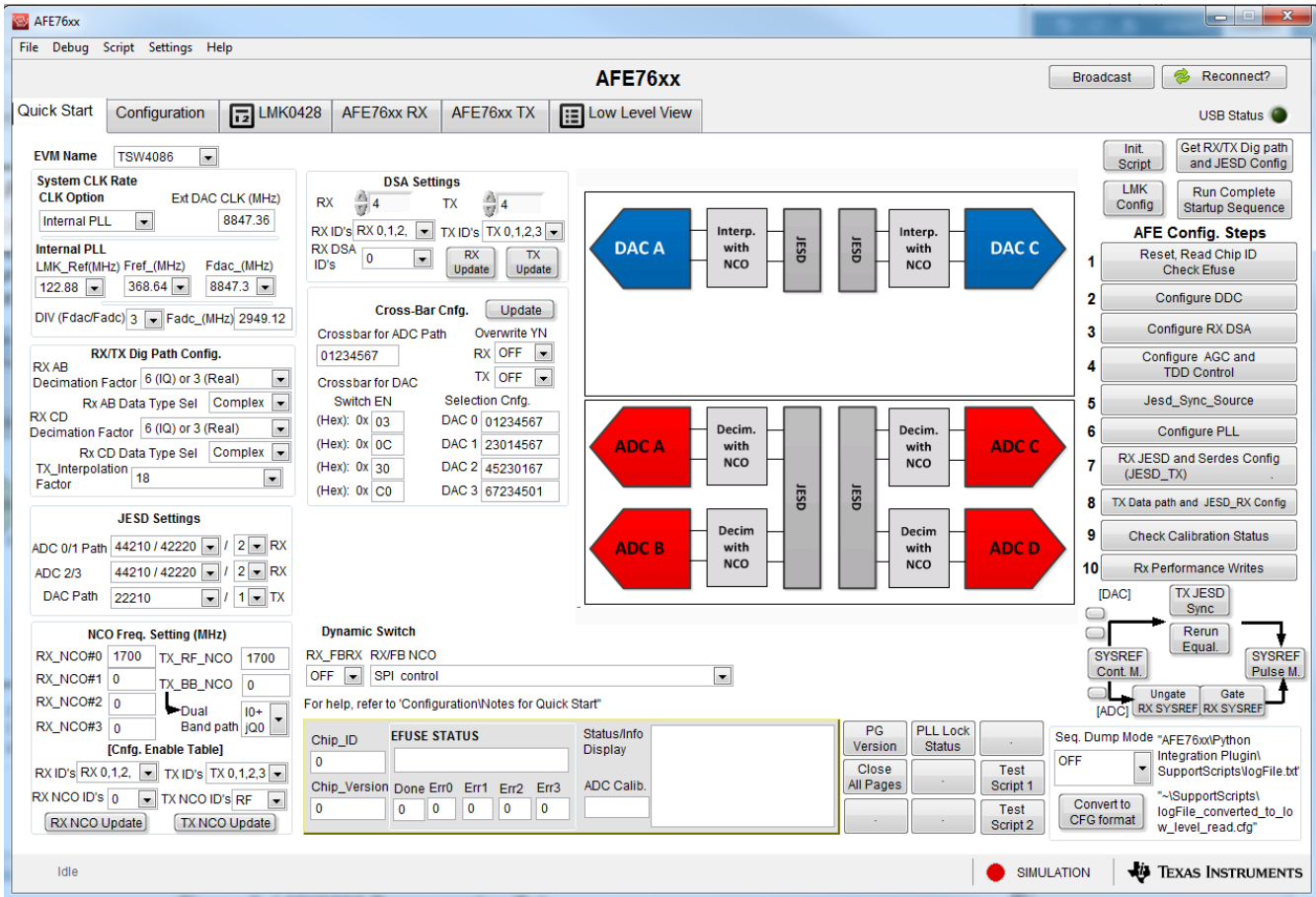


图 2-3. AFE76xx GUI

### 3 小型蜂窝和中继器的系统配置

对于 4G 和 5G 小型蜂窝和中继器系统，最受人关注的配置就是 2T2R 系统。根据目标应用的不同，集成带宽可以窄至 20MHz，也可以宽至数百 MHz。根据发射功率电平，可能需要使用 DPD（数字预失真）。大多数情况下，对于 PA（功率放大器）的频谱再生考虑使用 3 倍带宽。

#### 4G LTE 系统

LTE 仍然是该领域广泛采用的通信标准。这项标准支持带宽范围为 1.4MHz 到 20MHz 的单载波。在高级 LTE 网络中，可以聚合两个或三个载波以提高数据速率。在这些情况下，支持的信号带宽分别变为 40MHz 或 60MHz。对于接收路径，122.88MHz 的采样率足以支持这些信号带宽。发送路径可能需要支持更大的带宽，为 RX 信号带宽的三倍或五倍，具体取决于 DPD 要求。大多数情况下，发送路径的基带采样率可以是 368.64MHz 或 491.52MHz，以提供多达 300MHz 的带宽。在 FDD 系统中，需要分配专用接收器（反馈 RX）来监控 TX 输出信号。在 TDD 系统中，同一接收路径可以分时用于 TX 监控。TX 监控接收器的带宽要求应与 TX 的带宽要求相同。在发射功率较低的系统，不需要 PA 线性化技术。不应为 TX 输出监控分配接收路径。

#### 5G 系统

对于 5G 系统，通常讨论的是 2019 年在 3.5GHz 频带首次部署支持 100MHz 或 200MHz IBW 的 TDD 平台。对于高发射功率的户外应用，DPD 操作需要支持 3 倍的 IBW。这样，发送和 TX 监控接收路径就能够支持 600MHz 带宽。除了当前新兴的系统要求之外，服务提供商倾向于使平台具有足够的灵活性，以便系统能够在未来实现扩展，从而提供更广泛的 IBW 支持。对于此系统，RX 采样率应为 368.64MHz 或更高。同时，TX 路径的采样率至少应为 737.28MHz 或高达 983.04MHz。

在 LTE 系统的示例中，基带数据流的采样率较低。此外，流量接收器的数据速率比其他路径（TX 和 FBRX）的数据速率慢四倍。RX、TX 和 FBRX 之间的非对称带宽要求可为系统工程师提供多种选择，具体取决于以下设计约束条件：

- 上行链路和下行链路所需的 SERDES 通道数
- FPGA 上可支持的 SERDES 通道速率
- 支持的 JESD 模式
- 可用于 SERDES 通道的电路板区域

上行链路的 SERDES 接口可以选择使用较低的 SERDES 通道速率，同时使用更多 SERDES 通道。另外，也可以选择提高 SERDES 通道速率，以便将更多数据封装到一个通道中，从而减少 SERDES 通道数量。根据 FPGA 端的电路板布局限制和可用特性，系统工程师应该确定目标平台的首选方式。

像 5G 系统这样的宽带系统可选择的替代方式不多，因为高数据速率的数据流不可避免地需要许多 SERDES 通道。即使可以进行类似的考虑也是如此。

在下面的章节中，我们选择了 2T2R、2T2RnFB、4T4RnFB 和 6T6RnFB 这样的示例系统来说明 AFE76xx 如何灵活地用于窄和宽 IBW 系统。

#### 3.1 示例用例

下表显示了针对 4G 和 5G 网络的小型蜂窝或中继器应用所讨论的一些配置。第一个用例是支持高达 60MHz IBW 的 2T2R2FB 系统。另外两个用例是使用变化版 2T2RnFB 配置的 4T4R 或 6T6R 系统的扩展版本。这里主要讨论 FDD 用例。对于 TDD 操作，同一接收路径可以分时用于 TX 监控路径。AFE76xx 器件根据 TDD 触发器的状态无缝支持此操作。

表 3-1. 4G 网络的示例配置

用例	上行链路	下行链路	反馈 RX	双工	IBW
2T2R2FB_NB	2	2	2	FDD	≤100MHz 以覆盖 3 倍 DPD 带宽 ≤60MHz 以覆盖 5 倍 DPD 带宽
4T4R2FB_NB	4	4	2	FDD	≤100MHz 以覆盖 3 倍 DPD 带宽 ≤60MHz 以覆盖 5 倍 DPD 带宽
6T6R2FB_NB	6	6	2	FDD	≤100MHz 以覆盖 3 倍 DPD 带宽 ≤60MHz 以覆盖 5 倍 DPD 带宽



下表显示了 5G 中继器应用的两个示例系统。前面讨论过，应支持 100-200MHz IBW。尽管还有关于支持更大带宽的很多讨论，但本文将讨论下面两个示例用例。

表 3-2. 5G 中继器的示例配置

用例	应用	上行链路	下行链路	反馈 RX	双工	IBW
2T2R2FB_WB	光中继器	2	2	2	TDD	~200MHz
2T2R2FB_WB	射频中继器	2	2	2	TDD	~200MHz

### 3.2 示例用例的系统方框图

上一节介绍了从 2T2R 到 6T6R 系统的多个系统用例。尽管像 6T6RnFB 这样的系统可能需要多个 AFE76xx 器件，但所有用例都可以使用一些基线配置来构建，比如

- 2T2R 或 2T2FB
- 2T4R
- 2T2R2FB
- 4T4R

图 5 - 图 9 显示了如何使用一个或两个基线配置来实现每个用例。在以下系统方框图中，蓝色 SERDES IP 表示高速接口，而橙色 SERDES IP 表示低速接口。

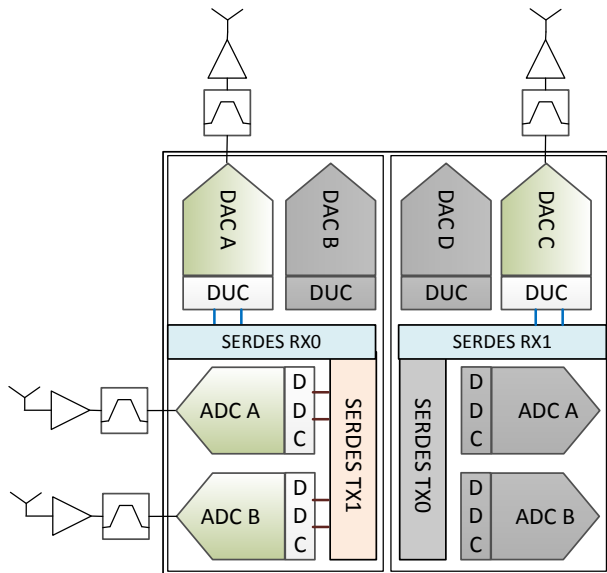


图 3-1. 2T2R 配置

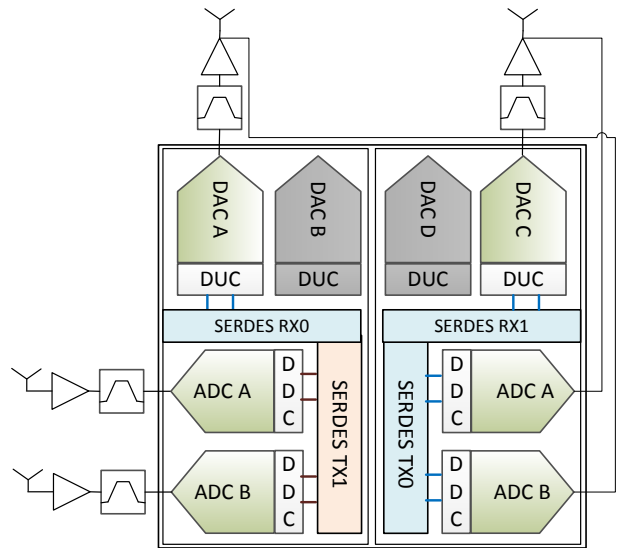


图 3-2. 2T2RnFB FDD 配置

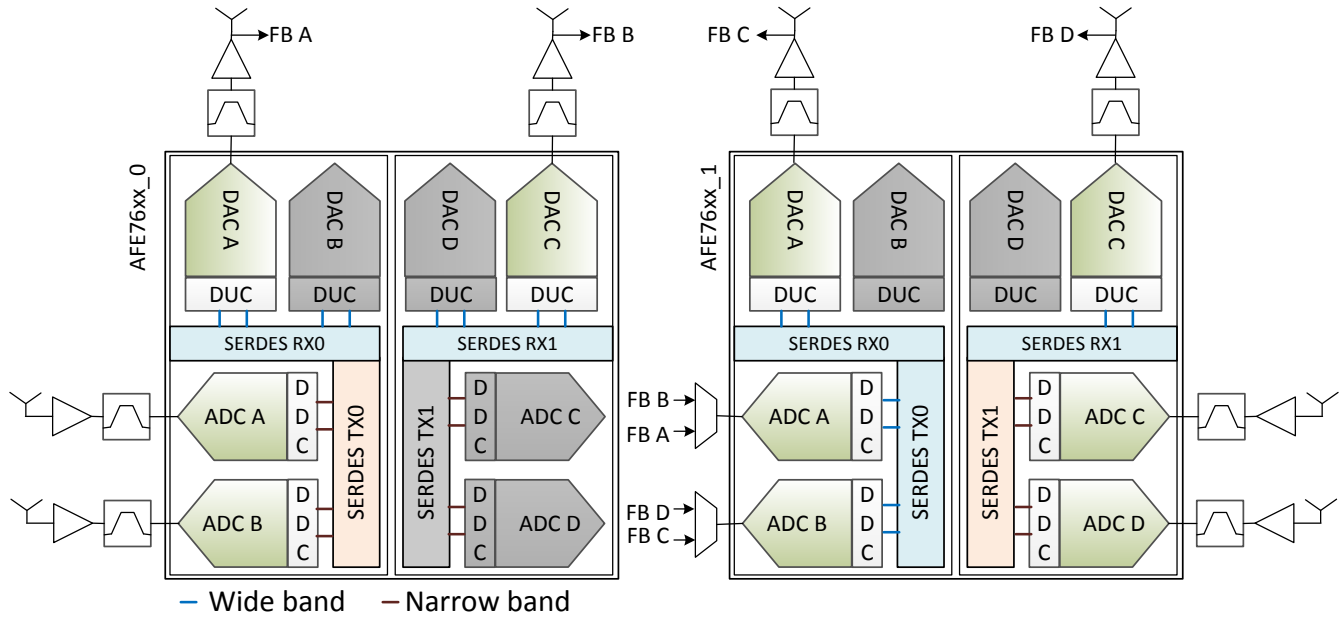


图 3-3. 4T4R2FB 系统案例 1

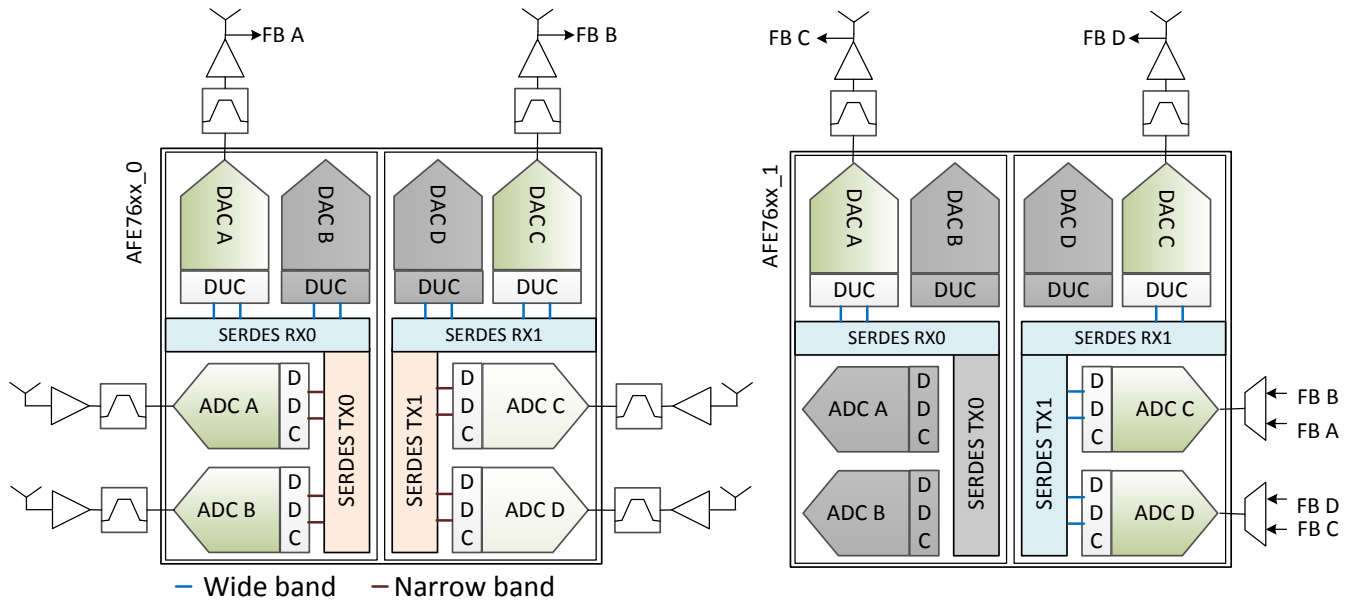


图 3-4. 4T4R2FB 系统案例 2

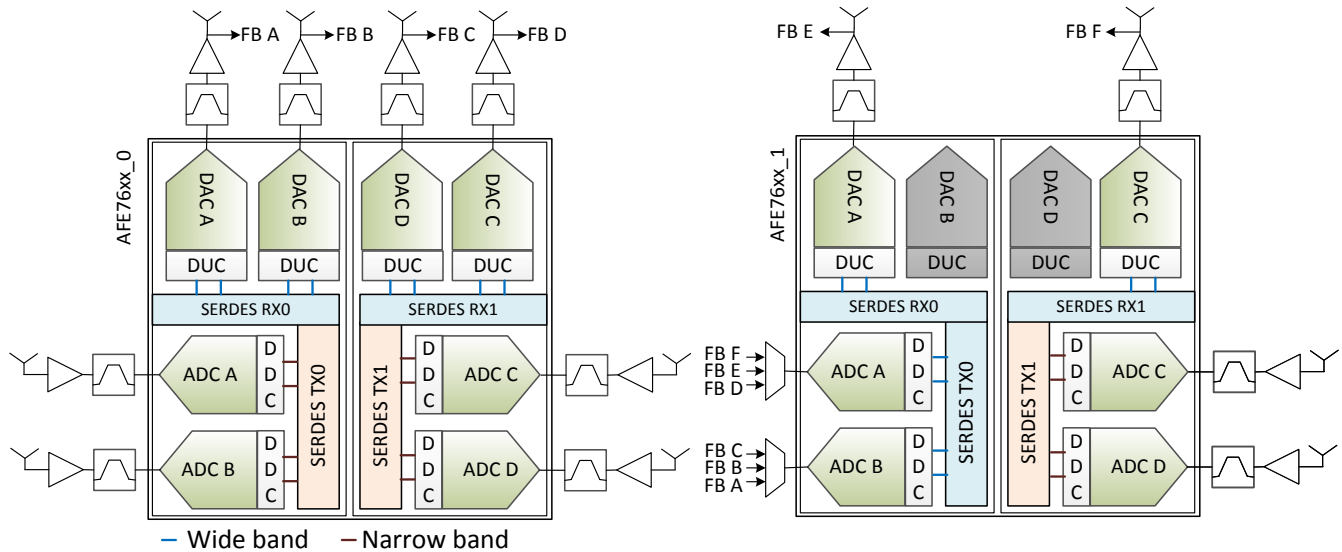


图 3-5. 6T6R2FB 方框图

在上述配置中，除 4T4R 外的所有 2TxRnFB 配置均可使用 TSW4086 TI 设计来实现。在下一节中，我们将介绍如何为每个目标应用实现具有两个发送器的基线配置。

- 2T2R
- 2T4R
- 2T2FB
- 2T2RnFB

## 4 AFE76xx 配置或用例

### 4.1 4G 用例的配置选项

#### 4.1.1 时钟和采样率

AFE76xx 中的射频采样 ADC 和 DAC 具有提供抽取和内插特性的数字数据路径块。这些数据路径只能确保通带的带宽约为复杂信号采样率的 82%。因此，为确保满足以下条件，

- 当将 3 倍带宽用于 DPD 操作时，上行链路的最大带宽 = 100MHz  
或者
- 当将 5 倍带宽用于 DPD 操作时，上行链路的最大带宽 = 60MHz

上行链路和下行链路的采样率可为

- 上行链路数据的采样率 = 122.88MHz
- 下行链路数据的采样率 = 491.52MHz
- 反馈数据路径的采样率 = 491.52MHz

确定 ADC 和 DAC 的数字基带采样率后，也应确定 DAC 和 ADC 的采样率。射频采样技术不同于奈奎斯特 DAC 和 ADC，因此用户需要了解射频采样 DAC 和 ADC 的局限性。确定射频采样数据转换器的采样时钟频率时，需要考虑以下各项。

- 要支持的上行链路和下行链路频带不应跨越 ADC 或 DAC 的两个奈奎斯特区域。
- 为避免出现图像信号问题，需要在信号频带边缘和奈奎斯特区域边界之间留有适当的保护频带。
- 高阶失真项的折叠及其与时钟和交错杂散的混合分量需要放在远离信号频带的位置。

第一个条件来自射频采样数据转换器的实际采样操作。例如，有一个系统需要在 2.51GHz 的射频通道上对 40MHz 带宽信号进行下变频。如果射频采样 ADC 由 2.5GHz 时钟进行计时，则根据采样理论，所有奈奎斯特区域都将折叠到第一个奈奎斯特区域，即直流到 1.5GHz。奈奎斯特区域中存在 40MHz 带宽信号，并且信号本身的某些部分将通过采样过程折叠到该信号的另一部分之上。因此，整个信号都需要位于一个奈奎斯特区域内。

执行采样操作还需要第二个条件。假设信号上变频到 3.5GHz，且 DAC 以 6GHz 运行。那么，除了上变频的 3.5GHz 信号外，DAC 还会生成 2.5GHz 的图像信号。为了抑制此图像，应使用一个射频带通滤波器。因此，信

号与图像之间的频差越宽，越容易滤除图像信号。同样，ADC 采样应以图像频率对不需要的信号进行采样，以达到信号频率。因此，在射频 ADC 采样之前，需要充分抑制图像频带。

第三个条件很关键，因为高阶失真也会通过 ADC 操作折叠回第一个奈奎斯特区域。如果高阶失真项不够低，它们会与 ADC 时钟杂散混合，并且在频带附近会出现不必要的杂散。通过将高阶失真抑制到足够低的水平，或通过仔细进行频率规划，使折叠杂散出现在远离信号频带的位置，就可以避免这个问题。

此处假设 DAC 按 8847.36MHz 时钟频率运行，而在不失一般性的情况下，ADC 应按照 DAC 时钟频率的三分之一运行。

#### 4.1.2 数字数据路径和 JESD 模式

ADC 以 2949.12MHz 的频率运行，而输入数据的采样率为 122.88MHz。由此计算出的抽取率为 24 (ADC 采样率/输入数据采样率)。类似地，根据 8847.36MHz/491.52MHz，可以得出所需的内插速率为 18。反馈接收器的基带数据速率与发送器的输入数据速率相同。因此，反馈接收器的抽取比必须为 6 (2949.12MHz/491.52MHz)。

对于下行链路，1 TX 的 JESD 模式为 22210 (2 TX 为 44210)，由此计算出的 SERDES 通道速率为 9830.4Mbps。AFE76xx 支持高达 15Gbps 的 SERDES 通道速率，因此 1 TX 可用的 JESD 模式不仅限于 22210 这一种。类似地，反馈接收路径应使用 44210/2RX 的 JESD 模式。

上行链路比其他路径的数据速率低四倍。因此，如果使用与其他数据路径相同数量的 SERDES 通道，2.5Gbps SERDES 通道速率可以提供每个上行链路数据的真实数据流。如果 SERDES 通道速率加倍，则两个 SERDES 通道足以处理来自两条上行链路数据路径的复杂数据流。可以使用 24410/2RX 的 JESD 模式，从而实现 5Gbps 的 SERDES 通道速率。如果只有一个 SERDES 通道可用于上行链路，则 SERDES 通道速率可再次加倍，达到 10Gbps。12410/2RX 的 JESD 模式与此配置相对应。

**表 4-1. 24410 用于 2 个上行链路**

八位位组	1	2	3	4
通道 STX0	上行链路 A_i0		上行链路 A_i1	
通道 STX1	上行链路 B_i0		上行链路 B_i0	

**表 4-2. 14810 用于 2 个上行链路**

八位位组	1	2	3	4
通道 STX0	上行链路 A_i0	上行链路 A_i1	上行链路 B_i0	上行链路 B_i0

上一节介绍了一些用于构建 4T4RnFB 或 6T6RnFB 系统的通用用例。

- 2T2R 或 2T2FB
- 2T4R
- 2T2R2FB
- 4T4R

可通过将下表所述配置组合在一起来实现这些用例。

设计选项	JESD 模式	SERDES 通道速率
上行链路	24410 (/2RX)	5 Gbps
	14810 (/2RX)	<b>10Gbps</b>
下行链路	44210 (/2TX)	10Gbps
反馈路径	44210 (/2RX)	10Gbps

## 4.2 5G 用例的配置选项

### 4.2.1 时钟和采样率

对于 5G 用例，差异来自于宽带宽支持。具有 DPD 的 200MHz 带宽需要至少 600MHz 的支持。采样率限制为 61.44MHz 的整数倍，因此上行链路和下行链路的采样率必须为：

- 上行链路数据的采样率 = 368.64MHz 或 491.52MHz
- 下行链路数据的采样率 = 737.28MHz 或 983.04MHz

反馈路径的采样率应与下行链路的采样率相同。

同样对于 5G 用例，DAC 的时钟频率应为 8847.36MHz，ADC 时钟频率是 DAC 时钟频率的三分之一。

#### 4.2.2 数字数据路径和 JESD 模式

对于前面所述的 ADC 采样时钟频率，当基带采样率为 368.64MHz 时，使用的抽取率为 8。DAC 路径的内插率为 12，由此计算出的基带采样率为 737.28MHz。

对于此宽带频谱，下行链路路径应使用 8 个 SERDES 通道。JESD 模式 84111 满足上行链路路径的 JESD 模式 44210 的要求。ADC 输出采样率是 DAC 路径的一半，因此使用四个 SERDES 通道应产生相同的 SERDES 通道速率，即 7.5Gbps。如果 SERDES 通道速率可加倍至 15Gbps，那么对于来自两条上行链路路径的复杂数据流，只用两个 SERDES 通道就足够了。

对于 TX 监控路径，有两种不同的情况。如果 2T2R 在 TDD 下运行，则用于上行链路路径的同一 ADC 路径可以分时用于 TX 反馈路径。如果上行链路的 JESD 模式为 44210，则 JESD 模式会自动切换到 42220 模式。SERDES 通道速率仍将是 7.5Gbps。如果上行链路路径使用 24410 的 JESD 模式，则 JESD 设置会自动切换到 22420，而 SERDES 通道速率保持不变，仍为 15Gbps。对于这两种情况，反馈 RX 的采样率都增加到 737.28MHz。此用例可用于光中继器。

而上行链路和下行链路路径可无缝用于射频中继器。因此，TX 反馈路径不能与上行链路 ADC 路径分时。对于此应用，需要将 22210 的 JESD 模式用于一条反馈路径。SERDES 通道速率将是 15Gbps。

**表 4-3. 44210 用于 2 个上行链路或 22210 用于 1 条反馈路径**

八位位组	1	2
通道 STX0	上行链路 A_i0 或 FBRX_A_i0	
通道 STX1	上行链路 A_q0 或 FBRX_A_q0	
通道 STX2	上行链路 B_i0	
通道 STX3	上行链路 B_q0	

**表 4-4. 24410 用于 2 个上行链路**

八位位组	1	2	3	4
通道 STX0	上行链路 A_i0		上行链路 A_q0	
通道 STX1	上行链路 B_i0		上行链路 B_q0	

**表 4-5. 42220 用于自动切换的反馈路径**

八位位组	1	2
通道 STX0	来自第一个样本 0 的 FBRX_i0	
通道 STX1	来自第一个样本 1 的 FBRX_i0	
通道 STX2	来自第一个样本 0 的 FBRX_q0	
通道 STX3	来自第一个样本 1 的 FBRX_q0	

**表 4-6. 22420 用于自动切换的反馈路径**

八位位组	1	2	3	4
通道 STX0	来自第一个样本 0 的 FBRX_i0		来自第一个样本 1 的 FBRX_i0	
通道 STX1	来自第一个样本 0 的 FBRX_q0		来自第一个样本 1 的 FBRX_q0	

5G 中继器应用需要具有一条或两条反馈路径的 2T2R。在任务模式中，它将在 TDD 下运行。但是，以下两个用例之间存在差异：光中继器和射频中继器。在 TDD 模式下运行的光中继器可以共享接收路径以进行 TX 监控。虽然射频中继器应同时对上行链路和下行链路使用一对接收器和发送器，但为了简化设计，最好对 TX 监控路径使用专用接收器。

可通过将下表所述配置组合在一起来实现这些用例。

设计选项	JESD 模式	SERDES 通道速率	注释
上行链路	44210 (/2RX)	7.5Gbps	
	24410 (/2RX)	15Gbps	
下行链路	84111 (/2TX)	7.5Gbps	
自动切换的反馈路径	42220 (/1FB)	7.5Gbps	与 44210 配对
	22420 (/1FB)	15Gbps	与 24410 配对
静态反馈路径	22210 (/1FB)	15Gbps	

## 5 用例的实现选择

AFE76xx 器件采用的 SERDES IP 支持以下用例：

- TX 和 RX 路径之间的不同 SERDES 通道速率
- 不同 ADC 内核中的 ADC 路径之间交替使用不同的 SERDES

无法为不同的数据路径匹配任意的 SERDES 通道速率。考虑到最高 SERDES 通道速率与另一个 SERDES 通道速率之间的比率，可选择的余地很小，只能在全速率、半速率和四分之一速率中进行选择。半速率模式意味着较慢 SERDES 通道速率是最快 SERDES 通道速率的一半。例如，在半速率模式下，10Gbps 的 TX SERDES 通道速率可以与 5Gbps 的 RX SERDES 通道速率配用。或者，ADC 路径 A 和 B 可以使用 10Gbps SERDES 通道速率，而 ADC 路径 C 和 D 可在半速率模式下以 5Gbps 运行。类似的逻辑可应用于全速率模式和四分之一速率模式。

如果任何 SERDES 通道速率使用全速率模式以外的速率模式，则这种情况被称为“异构 SERDES 用例”。“同构 SERDES 用例”则意味着所有 SERDES 通道速率都相同，说明只有全速率模式可同时用于上行链路和下行链路路径。平台设计人员在考虑电路板布局和 FPGA 特性时，需要从这两个用例中选择一个。

### 5.1 2T2R2FB 窄带用例

下行链路路径比上行链路路径通常需要更大的带宽，因此根据 TX 基带采样率，下行链路路径和反馈路径只有一个选择，而上行链路有两种方式可选。其中一种就是，两条上行链路路径使用两条 SERDES 通道。在此用例中，上行链路的 SERDES 通道速率采用半速率模式。另一方面，可以提高上行链路的 SERDES 通道速率，这同样可以实现达 10Gbps 的 SERDES 通道速率。与案例 1 相比，这种配置会使 SERDES 通道数量减少。

表 5-1. 2T2R2FB

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
上行链路	24410	5 Gbps	14810	10Gbps
下行链路	44210	10Gbps	44210	10Gbps
反馈路径	44210	10Gbps	44210	10Gbps
SERDES 通道数	10		9	

从功耗和电路板布局方面来看，系统设计人员可能更喜欢案例 2，因为该案例使用的 SERDES 通道较少。虽然 14810 的 JESD 模式将两个复杂数据流封装到一个 SERDES 通道中，但 FPGA 应支持正确解包，以避免 I 和 Q 之间或两条上行链路路径之间发生数据交换。根据 FPGA 端 JESD/SERDES 的可用特性，即使案例 1 是异构 SERDES 案例，需要更多 SERDES 通道，系统工程师也可能更喜欢实现该案例。

### 5.2 2T4R 窄带用例

设计 4T4R2FB 系统时可以使用 2T4R 用例。与 2T2R2FB 用例的情况相同，此用例有两个选项，如下表所示。

表 5-2. 2T4R

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
上行链路	24410	5 Gbps	14810	10Gbps
下行链路	44210	10Gbps	44210	10Gbps

表 5-2. 2T4R (continued)

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
SERDES 通道数	8		6	

### 5.3 2T2R 窄带用例

顺着之前的思路，2T2R 也有两种实现方式，如下所示。

表 5-3. 2T2R

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
上行链路	14810	10Gbps	24410	5 Gbps
下行链路	44210	10Gbps	44210	10Gbps
SERDES 通道数	5		6	

### 5.4 2T2FB 窄带用例

对于 2T2FB 用例，只存在一种选择，因为两条路径都需要以最高的 SERDES 通道速率运行。

表 5-4. 2T2FB

设计选项	JESD 模式	SERDES 通道速率
上行链路	44210	10Gbps
下行链路	44210	10Gbps
SERDES 通道数	8	

### 5.5 5G 光中继器用例 (采用 1/2 FB TDD 模式的 2T2R)

对于支持高达 600MHz 宽带频谱的光中继器用例，下行链路路径需要为每条 TX 路径使用四个 SERDES 通道。84111 的 JESD 模式将可满足此要求。上行链路路径可以使用 44210 或 24410 模式。如前所述，44210 与 TX 路径的 SERDES 通道速率相同，为 7.5Gbps。24410 将使 SERDES 通道速率加倍，此过程需要 FPGA 的 15Gbps 支持。

已经讨论过的 5G 用例主要是 TDD 操作。对于 TDD 操作，用户无需为反馈路径考虑额外的 SERDES 通道。AFE76xx 支持根据 GPIO 信号 (RXTDD 和 RXFBSW) 在 RX 和 FBRX 模式之间进行“动态转换”。在 RX 模式下，JESD TX 逻辑处理两个采样率较低的数据流。以光中继器案例 1 为例，基带采样率将为 368.64MHz，并且来自两条 ADC 路径的两个复杂数据流占用四个 SERDES 通道。如果触发 FBRX 模式，则一条 ADC 路径设置为非活动模式，并且只有一条路径以较低的抽取率激活。FBRX 需要为此应用支持达 737.28MHz 的采样率，因此抽取率从 8 降至 4。复杂数据流的采样率提高两倍时，将占用所有激活的 SERDES 通道。在此操作中，无需更改 SERDES 通道速率。

如下表所示，使用更高的 SERDES 通道速率可将板载 SERDES 通道的数量减少两个。当然，FPGA 应能支持兼容的 SERDES 通道速率模式。

表 5-5. 适用于宽频谱的 2T2R 1/2 分时 FB

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
上行链路	44210	7.5Gbps	24410	15Gbps
下行链路	84111	7.5Gbps	84111	7.5Gbps
SERDES 通道数	12		10	

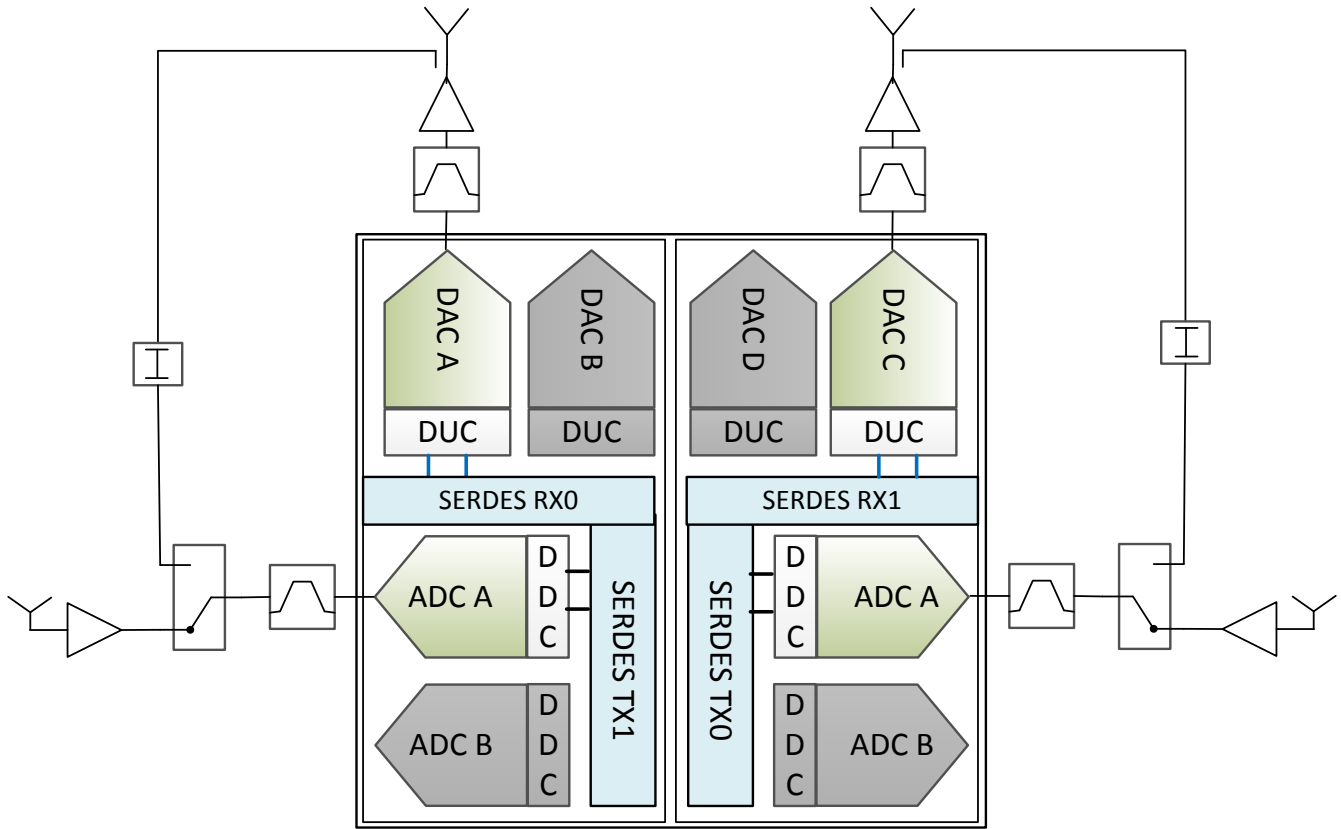


图 5-1. 2T2R2FB TDD 配置

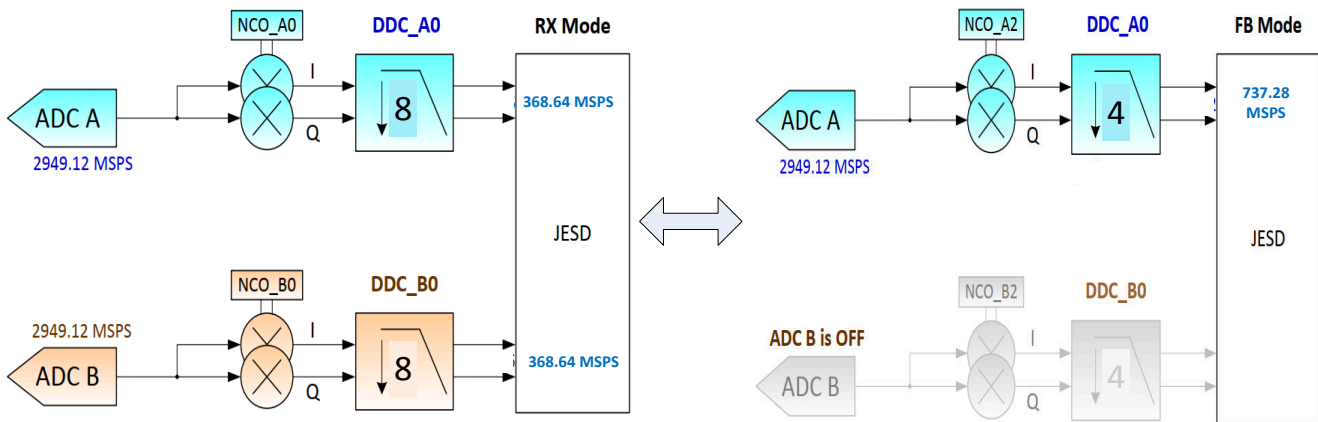


图 5-2. RX 至 FBRX 动态转换

## 5.6 5G 射频中继器用例 (2T2R 1/2 FB)

5G 射频中继器用例类似于 FDD 操作，因为一对 ADC 路径需要处理来自基站的信号。TX (DAC) 路径和额外的一条或两条 ADC 路径用于同时将接收到的信号重新传输出去。因此，需要分配额外的 ADC 路径作为专用反馈路径。由于反馈路径应支持 600MHz 带宽，因此复杂数据流的采样率是上行链路数据路径采样率的两倍。使用与上行链路路径相同的 JESD 模式可将 SERDES 通道速率提高两倍。

上行链路路径有两个选项，如下表所示。案例 1 显示了 JESD TX 内核中的异构 SERDES 用例。案例 2 显示了接收路径中的同构 SERDES 用例。

对于 2T2R2FB 用例，案例 1 需要 16 个 SERDES 通道，而案例 2 使用 14 个 SERDES 通道。



表 5-6. 适用于宽频谱的 2T2R 2FB

设计选项	案例 1		案例 2	
	JESD 模式	SERDES 通道速率	JESD 模式	SERDES 通道速率
上行链路	44210 (/2RX)	7.5Gbps	24410 (/2RX)	15Gbps
下行链路	84111	7.5Gbps	84111	7.5Gbps
反馈路径	22210 (/1FB)	15Gbps	22210 (/1FB)	15Gbps
SERDES 通道数	16		14	

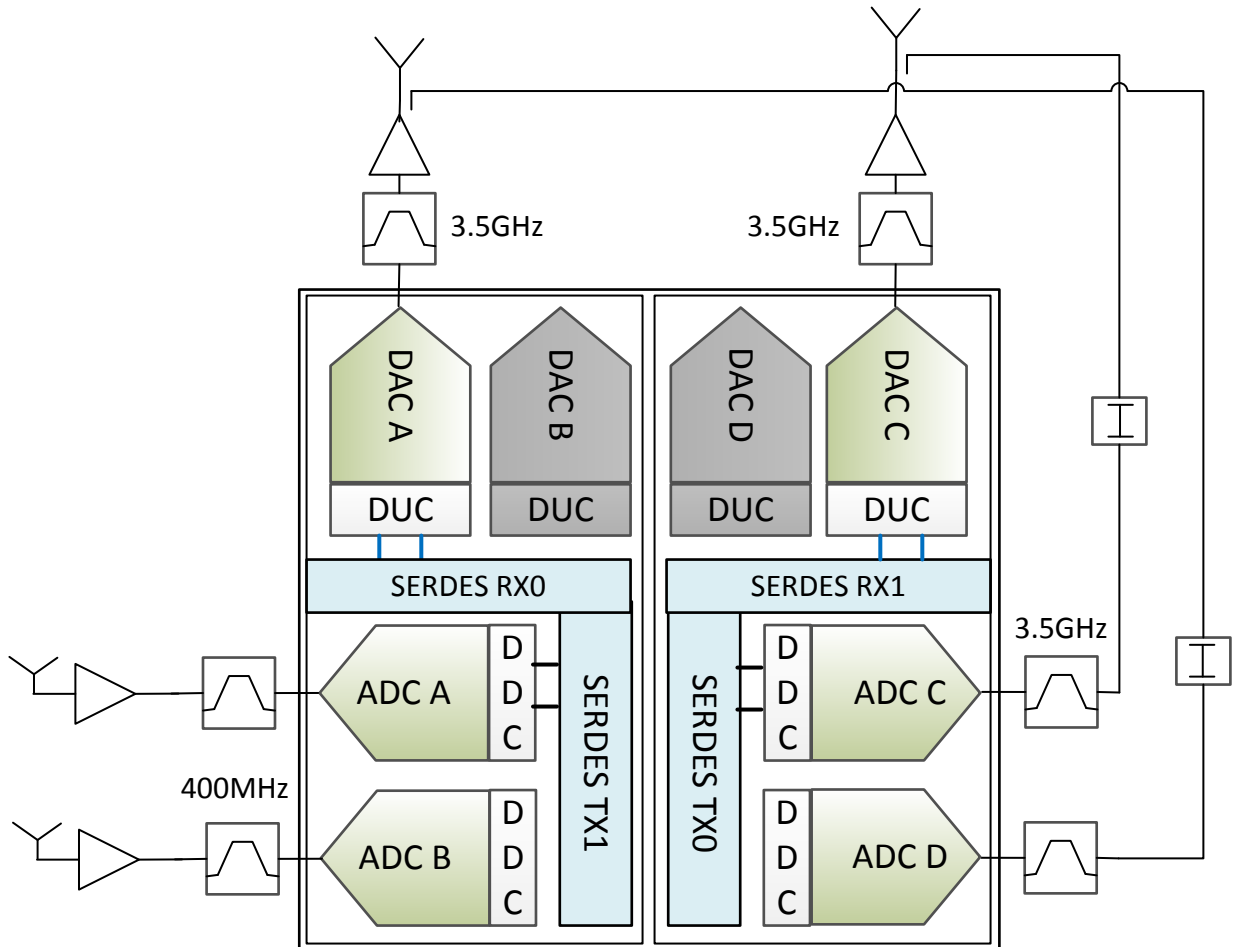


图 5-3. 射频中继器的 2T2R2FB 配置

## 6 测试结果

本节介绍了一些基线配置的测试结果。测量使用带 AFE7689 器件的 TSW4086。

### 6.1 窄带配置的测试结果

选择了 2T2R2FB 用例配置并在 FDD 模式下进行了测试。TX 和 FBRX 的基带采样率为 491.52MHz。RX 采样率为 122.88MHz。

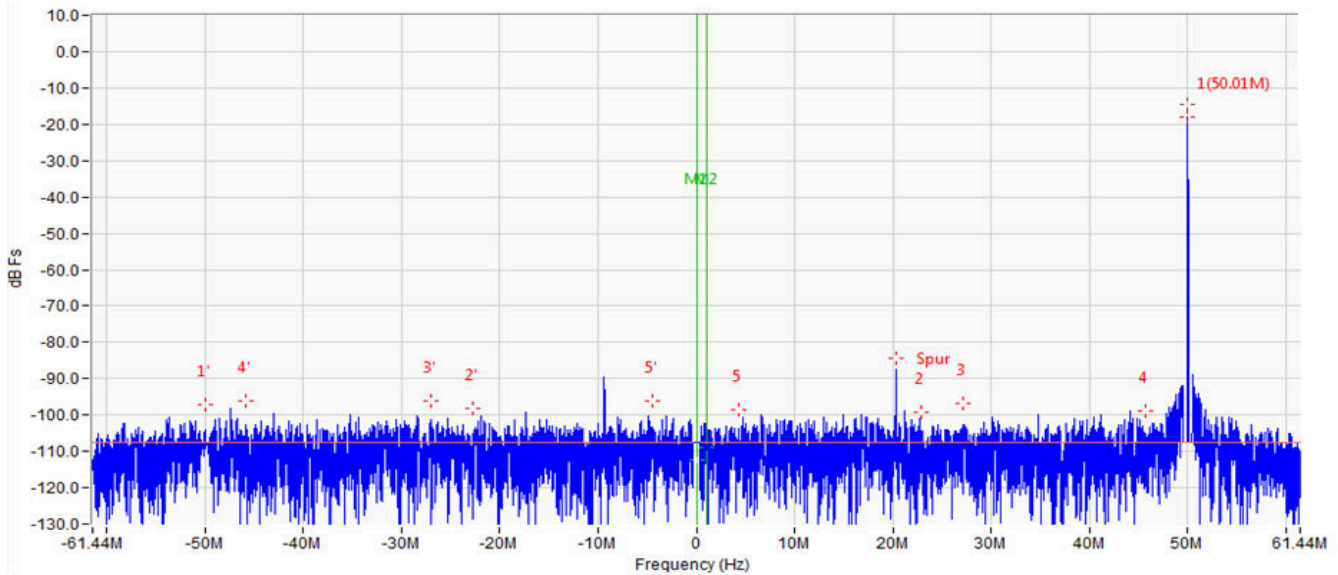


图 6-1. 1750MHz 和 -15dBFS 时的单音调 RX 路径输出

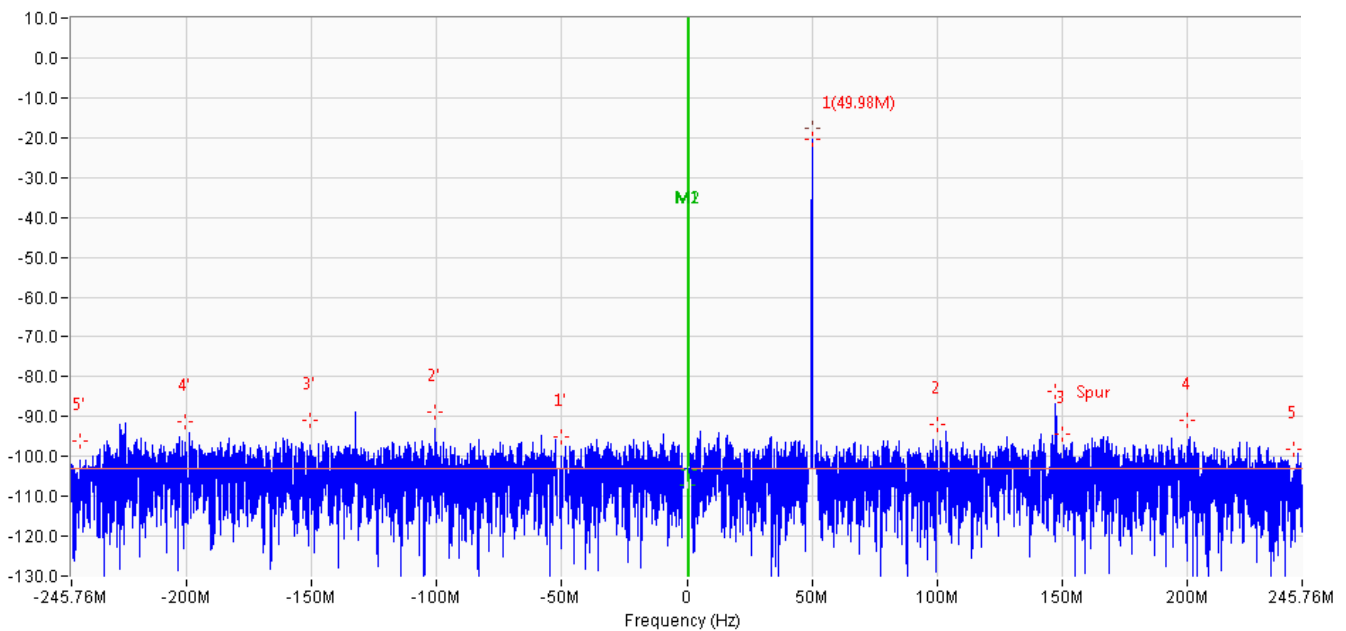


图 6-2. 1750MHz 和 -15dBFS 时的单音调 FBRX 路径输出

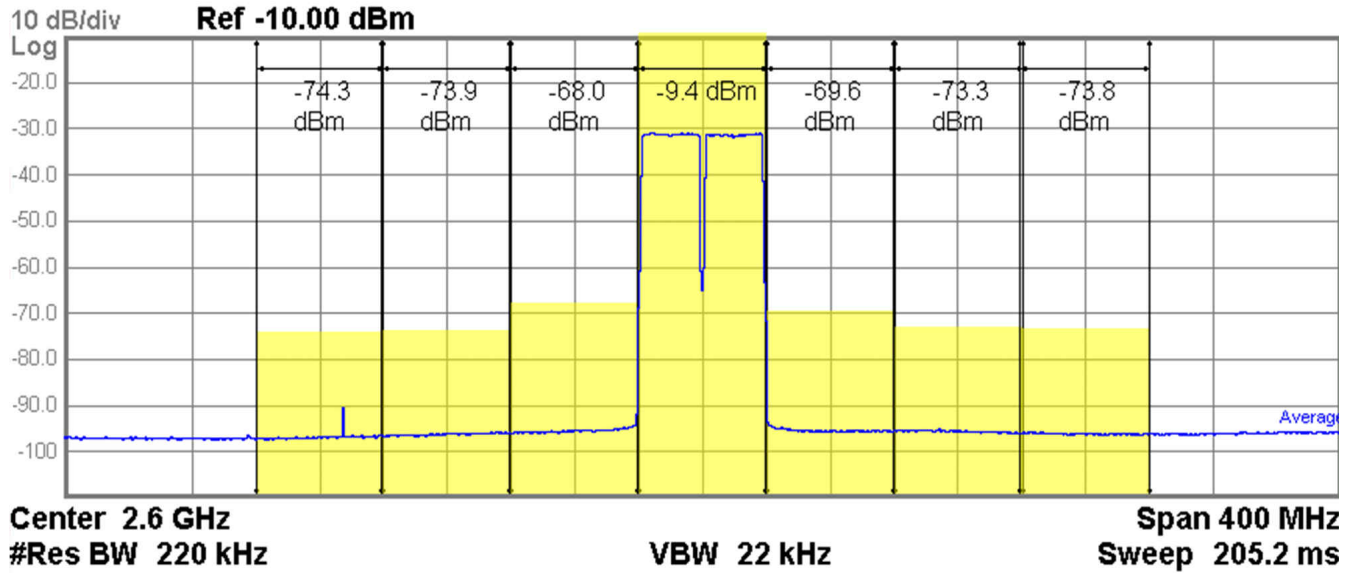


图 6-3. TX 输出：2.6GHz 时的 2x20MHz LTE 信号

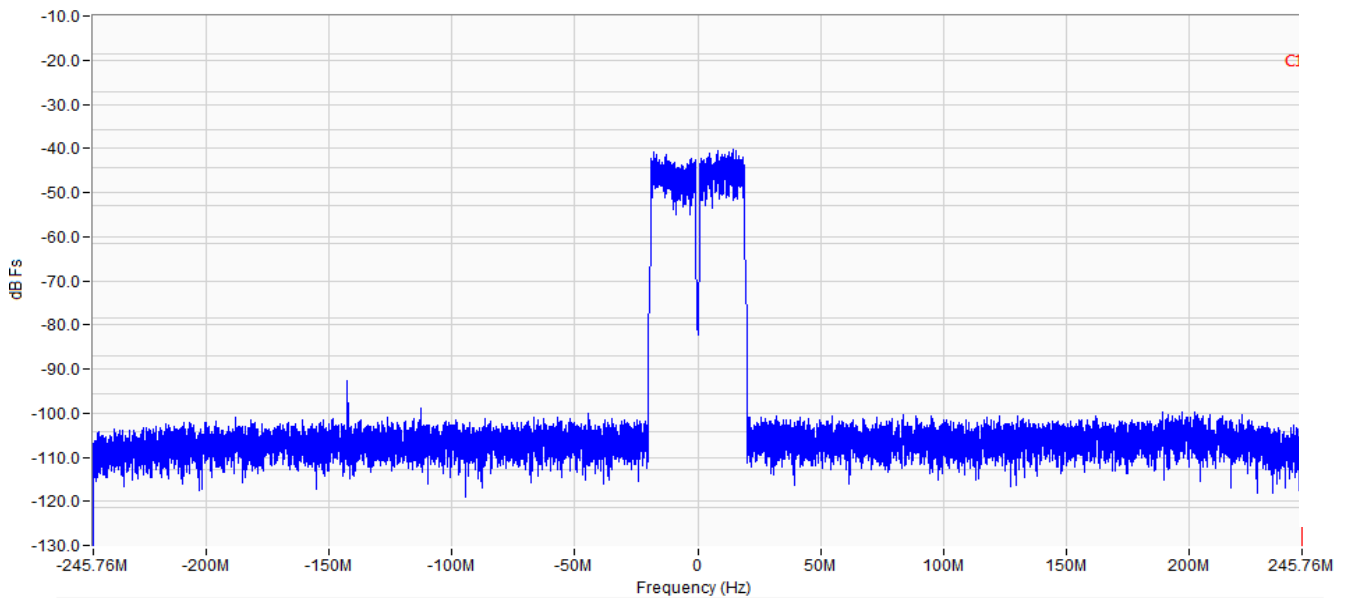


图 6-4. RX 输出：2.6GHz 时的 2x20MHz LTE 信号 (TX-RX 环回)

## 6.2 宽带配置的测试结果

另以配置 5G 射频中继器为例。在第一个奈奎斯特区域 (<1GHz) 中针对低频带对 RX 路径 C/D 进行了修整，并对匹配电路进行了修改，以适应低于 1GHz 的频率。RX 路径 A/B 则针对 3.5GHz 进行了修整，该频率位于第三个奈奎斯特区域。RX A 和 B 用于 TX 反馈路径。TX 路径 C/D 用于轻松实现 RX 到 TX 直接环回。TX 和 FBRX NCO 配置为 3.5GHz，RX NCO 设置为 430MHz。

对于高发射功率的射频中继器用例，一般不使用直接环回。为了演示 AFE76xx 的直接环回特性，将 RX 路径配置为在基带处具有与 TX 路径相同的采样率。对于直接环回测试，CW 音调放置在 450MHz 下，RX NCO 设置为 430MHz。TX NCO 则设置为 3500MHz。通过环回路径，会观察到轻微的 SNR 下降，如下图所示。

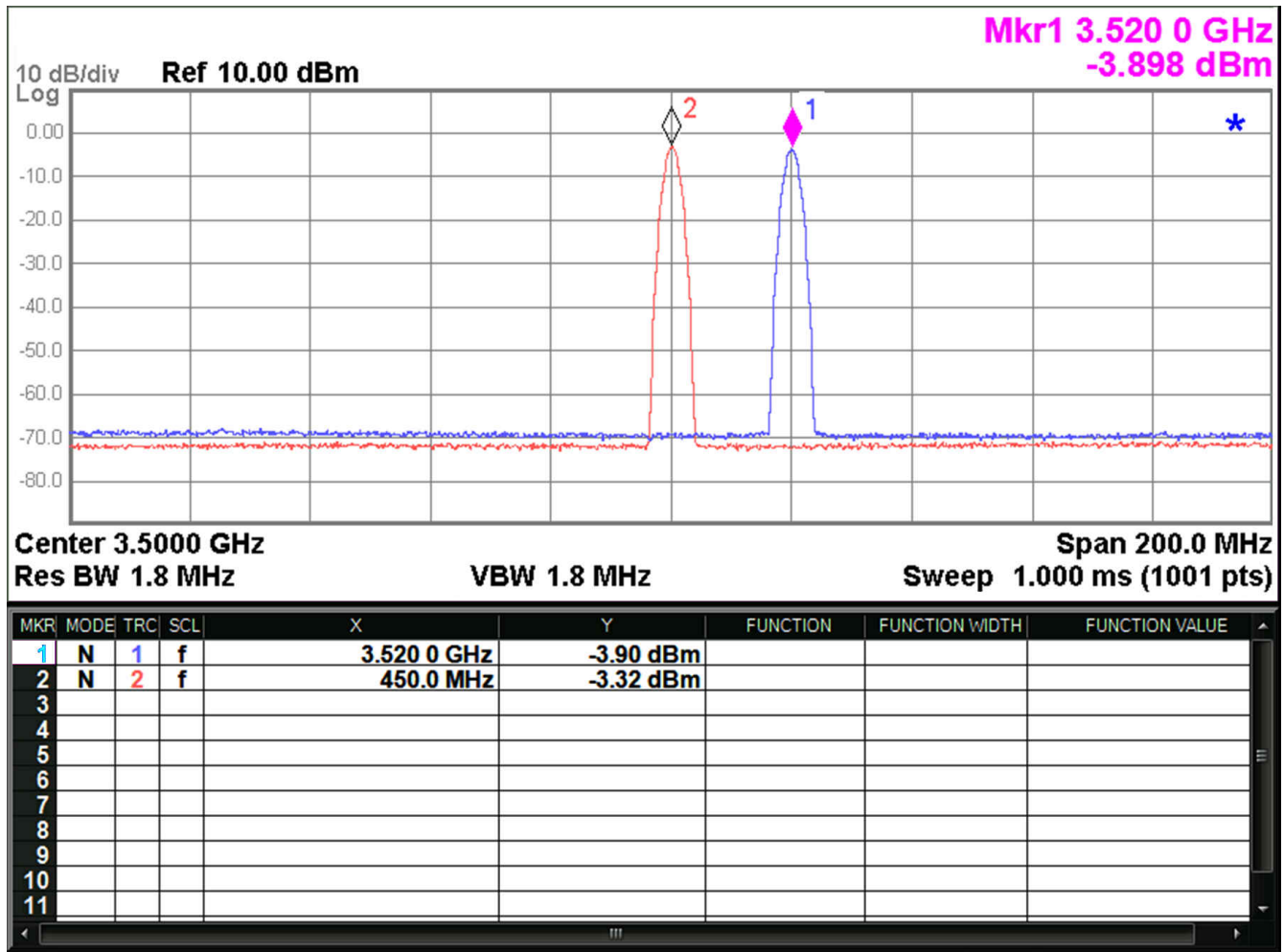


图 6-5. 数字 RX 到 TX 直接环回 : RX 输入 - CW 在 450MHz 下 , TX 输出在 3520MHz 下

该用例支持高达 600MHz 的带宽。下面的两个测量结果显示了 3.5GHz 宽带信号的 TX 路径和 FBRX 路径响应。

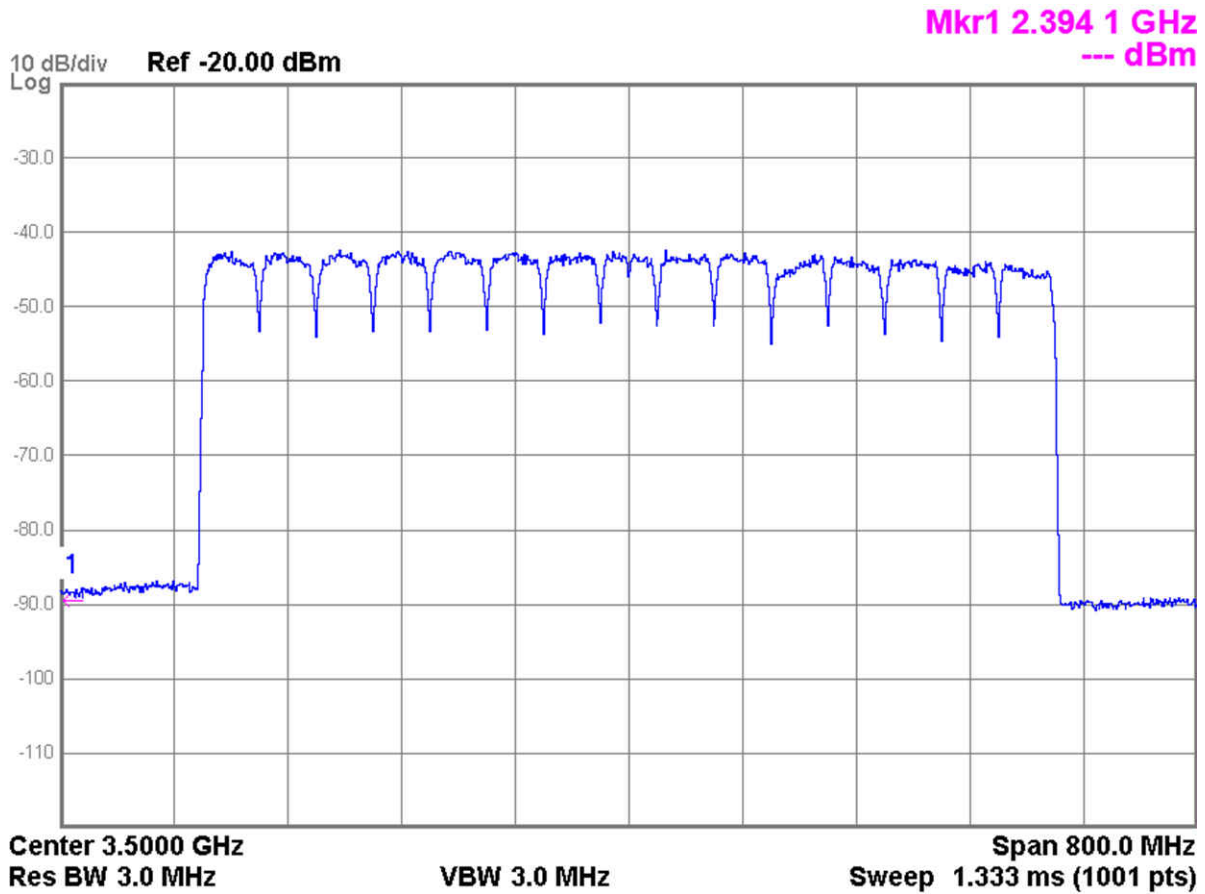


图 6-6. 具有宽带信号的 TX 路径输出 (600MHz)

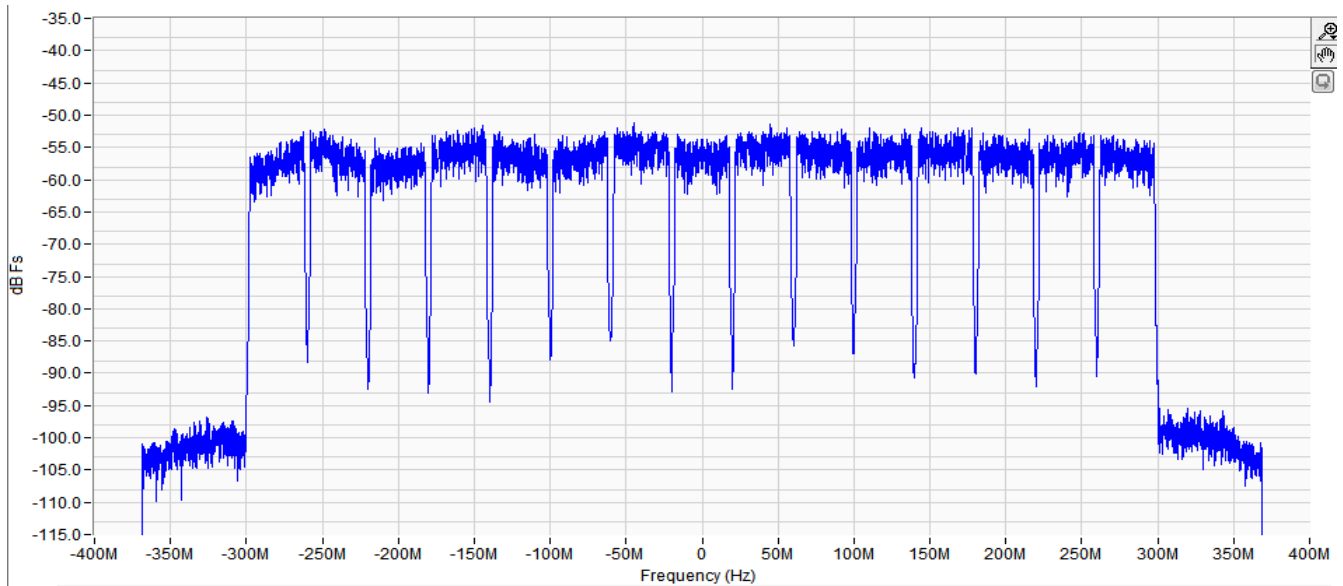


图 6-7. 具有宽带信号的 FBRX 路径输出 (600MHz)

用于光中继器应用的 2T2R2FB TDD 配置支持 RX 和 FBRX 模式之间的分时接收模式。在下面的测试中，CW 音调放置在 3525MHz 下。一个用于 RX 模式的 NCO 设置为 3500MHz，而另一个用于 FBRX 模式的 NCO 设置为 3550MHz。RXTDD 和 RXFBSW GPIO 用于触发两种模式之间的模式开关。默认情况下，FBRX 模式支持的带宽是 RX 模式的 2 倍。

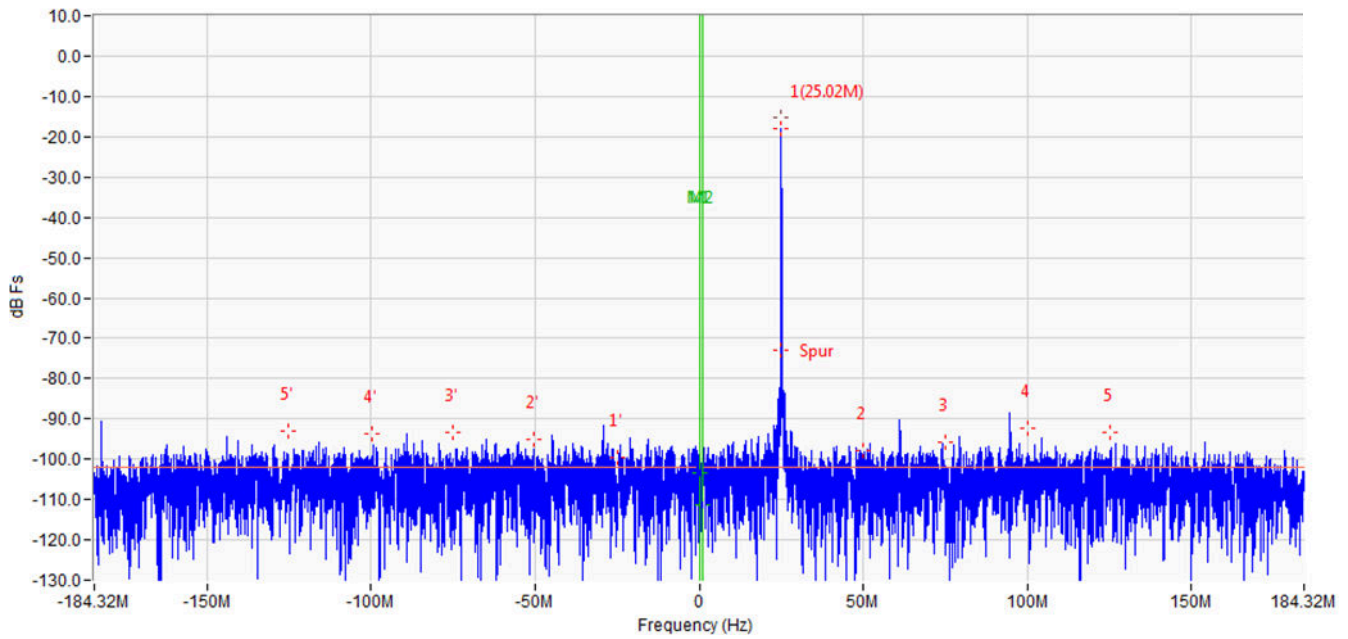


图 6-8. RX 模式输出

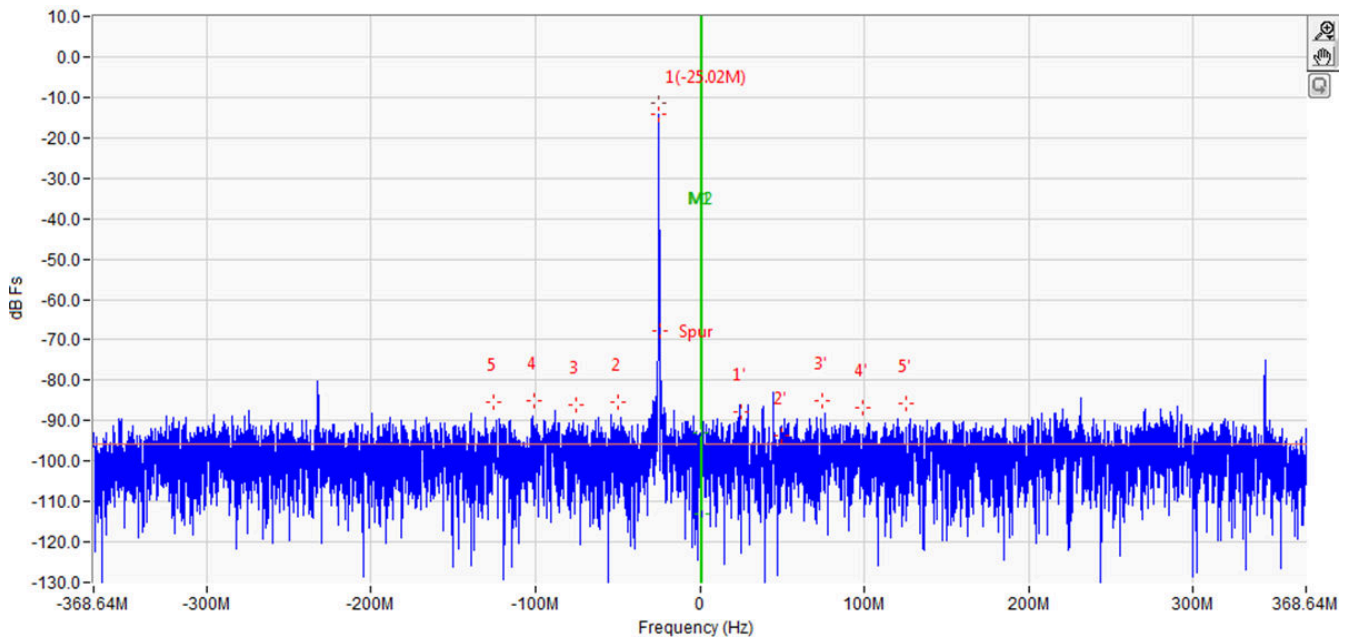


图 6-9. FBRX 模式输出

## 7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from Revision \* (November 2018) to Revision A (August 2021)

Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... 1

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司