

# PLL 抖动对 GSPS ADC SNR 及性能优化的影响



Neeraj Gill, Salvo Finocchiaro

## 摘要

时钟源 ( 频率合成器或锁相环 (PLL) ) 产生的抖动噪声对新一代高性能 Gps 模数转换器 (ADC) 的性能具有很大影响。

PLL 的带内和带外噪声性能都会影响 ADC 信噪比 (SNR)，由此影响 ADC 的有效分辨率 (ENOB)。通过在更高的频率下操作 PLL 相位频率检测器 (PFD)，降低输入-输出倍增因子  $N$ ，并使用带通滤波器降低远端噪声 ( 或本底噪声 )，可以降低 PLL 产生的噪声。本应用手册介绍如何估算抖动要求，如何将其转化为 PLL 相位噪声要求，以及如何确定 ( 建议 ) 因最小化时钟源导致的 SNR 性能下降所需的滤波器带宽。虽然这里进行了通用分析并且适用于任何 PLL 和 ADC，但还是使用 TI 的 LMX2594 高性能 PLL 和 ADC12DJ5200 12 位 5GSPS ADC 提供了具体示例。

## 内容

1 PLL 相位噪声和 RMS 抖动.....	2
2 ADC SNR 和抖动影响.....	4
2.1 示例.....	5
3 模拟和滤波器要求.....	7
4 测量设置.....	9
5 参考文献.....	11

## 插图清单

图 1-1. 正弦信号的理想输出频谱和实际输出频谱.....	2
图 1-2. 典型的 PLL 相位噪声图 ( 11GHz 下的 LMX2594 相位噪声 ).....	3
图 1-3. 时域抖动.....	4
图 2-1. 抖动与 $F_{in}$ 要求.....	5
图 2-2. SNR 和 ENOB 与时钟抖动.....	6
图 3-1. 仿真设置.....	7
图 3-2. 相位噪声与频率.....	7
图 3-3. 抖动与滤波器带宽.....	7
图 3-4. 不同来源的仿真 SNR 与频率.....	8
图 4-1. SMA100A 信号发生器，用于通过带通滤波器对 ADC12DJ5200RF 计时.....	9
图 4-2. LMX2594，用于通过带通滤波器对 ADC12DJ5200RF 计时.....	10
图 4-3. 使用和不使用滤波器测量的 SNR 与 $F_{in}$ .....	10

## 表格清单

表 4-1. 使用和不使用滤波器测量的带 SMA 和 LMX2594 的 SNR 与 $F_{in}$ .....	11
---	----

## 商标

所有商标均为其各自所有者的财产。

## 1 PLL 相位噪声和 RMS 抖动

在几乎所有的电子设备（从雷达到消费类电子产品）中，产生精确的波形起着至关重要的作用。频率合成器或锁相环 (PLL) 定义为从非常精确和稳定的参考频率生成一个或多个频率的系统，其输出频率与参考频率之比为整数（整数 N PLL）或分数（分数 N PLL）。

$$F_{\text{OUT}} = (N \times F) \quad (1)$$

其中

- $F_{\text{OUT}}$  是输出频率
- $F_{\text{REF}}$  是参考频率
- $N$  是整数或分数

更多有关 PLL 和频率合成的信息，请参阅 [1]、[2]、[3]。正弦波发生器的理想输出由 [方程式 2](#) 给出：

$$A \sin(\omega_0 t + \varphi) \quad (2)$$

相应的频谱是频率  $F_0 = \omega_0 / 2\pi$  时的  $\delta$ （狄拉克）函数。在实际应用中，生成的信号将是：

$$A [1 + n_a(t)] \sin[\omega_0 t + \varphi + n_\phi(t)] \quad (3)$$

其中

- $n_a(t)$  是振幅噪声，在大多数情况下可以忽略不计
- $n_\phi(t)$  是相位噪声

相应的频谱将在载波频率周围显示一个裙边，如 [图 1-1](#) 所示。

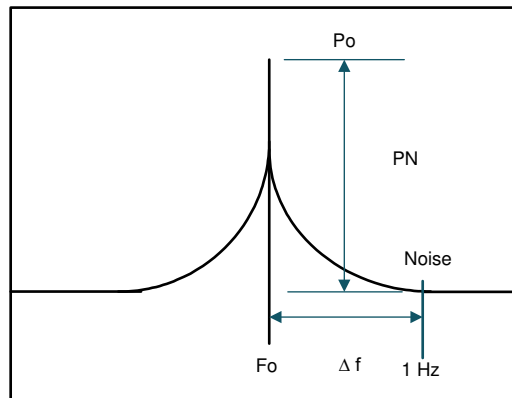


图 1-1. 正弦信号的理想输出频谱和实际输出频谱

为了量化相位噪声，请考虑相对于  $F_0$  的偏移  $\Delta f$  下的单位带宽 (1Hz)，计算该带宽中的噪声功率，并将结果除以载波功率：

$$PN(\Delta f) = \frac{N_{1\text{Hz}}(\Delta f)}{P_o} \left[ \frac{\text{rad}^2}{\text{Hz}} \right] \quad (4)$$

其中

- $PN(\Delta f)$  是偏移频率  $\Delta f$  下的单边带 (SSB) 相位噪声

以 dB 表示：

$$PN_{dB}(\Delta f) = 10 \log \left( \frac{N_{1Hz}(\Delta f)}{P_o} \right) \left[ \frac{dBc}{Hz} \right] \quad (5)$$

图 1-2 示出了典型的 PLL 相位噪声图。

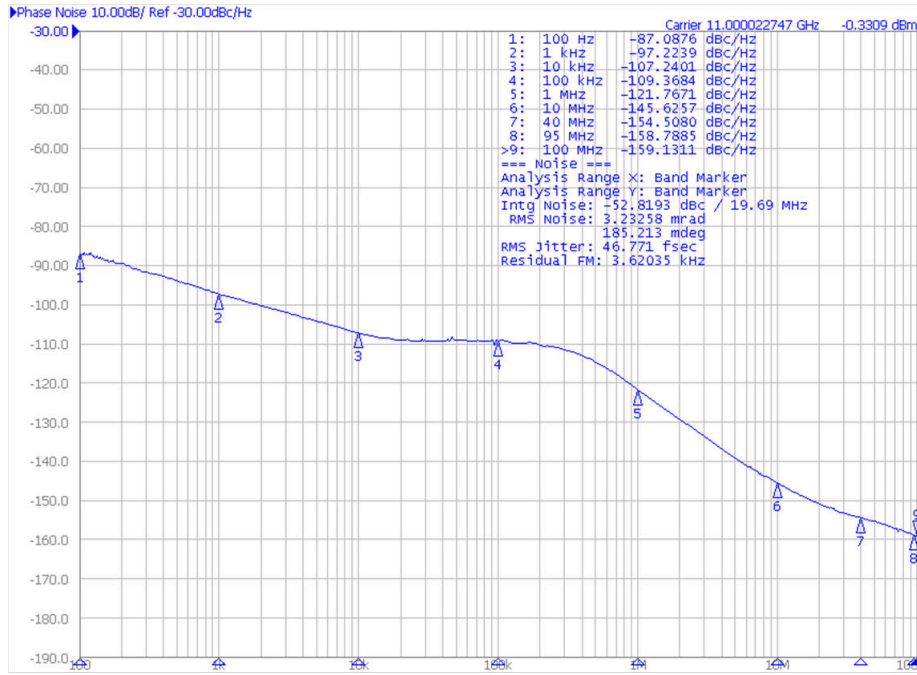


图 1-2. 典型的 PLL 相位噪声图 ( 11GHz 下的 LMX2594 相位噪声 )

根据具体应用，可以将相位噪声指定为掩模（在这种情况下，将提供给定偏移频率下的相位噪声目标值），或指定为给定积分带宽下的积分 RMS 噪声：

$$PN_{rms} = \int_{f_{min}}^{f_{max}} PN(f) df \left[ rad^2 \right] \quad (6)$$

其中

- $f_{min}$  和  $f_{max}$  分别是积分下限和积分上限

以 dB 表示：

$$PN_{db} = 10 \log(PN_{rms}) [dBc] \quad (7)$$

相位抖动可通过积分 RMS 噪声计算，如下所示：

$$\phi_{rms} = \sqrt{2PN_{rms}} [rad] \quad (8)$$

方程式 9 求出了以度为单位的相位抖动。

$$\varphi_{\text{deg}} = \frac{180}{\pi} \varphi_{\text{rms}} \quad (9)$$

其中

- 因数 2 考虑到相位噪声被定义为 SSB，并且噪声实际上存在于载波的两侧（为双边带 (DSB) 噪声）。

时间抖动可根据相位抖动计算，如下所示：

$$T_j = \frac{\varphi_{\text{rms}}}{2\pi F_0} [\text{s}] \quad (10)$$

时间抖动通常是专用于要求采样时间精确的时钟应用程序，并且可以理解为时钟信号零点附近的偏差，如图 1-3 所示。

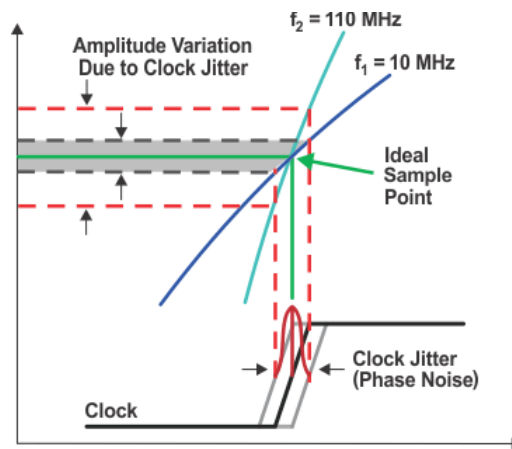


图 1-3. 时域抖动

## 2 ADC SNR 和抖动影响

本节讨论时钟发生器相位噪声和抖动对数据转换器性能的影响，重点讨论模数转换器 (ADC) 和作为 ADC 动态范围和线性指标的信噪比 (SNR)。采样时钟抖动 ( $T_j$ ) 是由时钟源 ( $T_{\text{jclk}}$ ) 和内部 ADC 孔径抖动 ( $T_{\text{japt}}$ ) 产生的抖动的组合：

$$T_j = \sqrt{(T_{\text{japt}})^2 + (T_{\text{jclk}})^2} [\text{s}] \quad (11)$$

由 (总) 抖动导致的 ADC SNR 下降可按以下公式进行计算：

$$\text{SNR}_{\text{jitter}}(f) = -20 \log(2\pi f T_j) [\text{dBc}] \quad (12)$$

如果  $\text{SNR}_{\text{ADC}}$  称为量化噪声和热噪声对 ADC SNR 的影响，（注意到 ADC 参数通常以满量程 (dBFS) 的 dB 表示以说明输入信号电平），那么总 SNR 可以按以下公式进行计算：

$$\text{SNR}(f) = -20 \log \left( \sqrt{\left( 10^{\frac{\text{BO} - \text{SNR}_{\text{jitter}}}{20}} \right)^2 + \left( 10^{\frac{-\text{SNR}_{\text{ADC}}}{20}} \right)^2} \right) [\text{dBFS}] \quad (13)$$

其中

- BO 是从 ADC 满量程返回的输入信号电平

如果包括谐波失真 (THD), 也以 dBFS 表示, 则将 ADC 信噪比和失真 (SINAD) 定义为:

$$\text{SINAD}(f) = -20 \log \left( \sqrt{\left(10^{\frac{-\text{SNR}(f)}{20}}\right)^2 + \left(10^{\frac{-\text{THD}}{20}}\right)^2} \right) [\text{dBFS}] \quad (14)$$

最后, 计算 ADC 的有效位数 (ENOB), 如下所示:

$$\text{ENOB}(f) = \frac{\text{SINAD}(f) - 1.76}{6.02} \quad (15)$$

## 2.1 示例

1. 对于在 -1dBFS 下的 4GHz 输入信号, 确定 12 位 5GSPS ADC 的 PLL 抖动要求, 其 SNR 为 53dBFS。假设 SNR 最大下降为 3dB, ADC 孔径抖动为 50fs。

- 解决方案: 使用抖动计算器工具中包含的 [方程式 11](#) 至 [方程式 15](#) 完成预算分析, 如图 2-1 所示。在 4GHz 输入频率下, 从满量程返回 1dB, 对于 3dB SNR 下降 (1/2 位 ENOB), 假设孔径抖动为 50fs, 最大时钟抖动为 86fs 或 -51dBc, 计算 100fs 下的最大允许总抖动。图中显示了时钟抖动要求和输入频率。

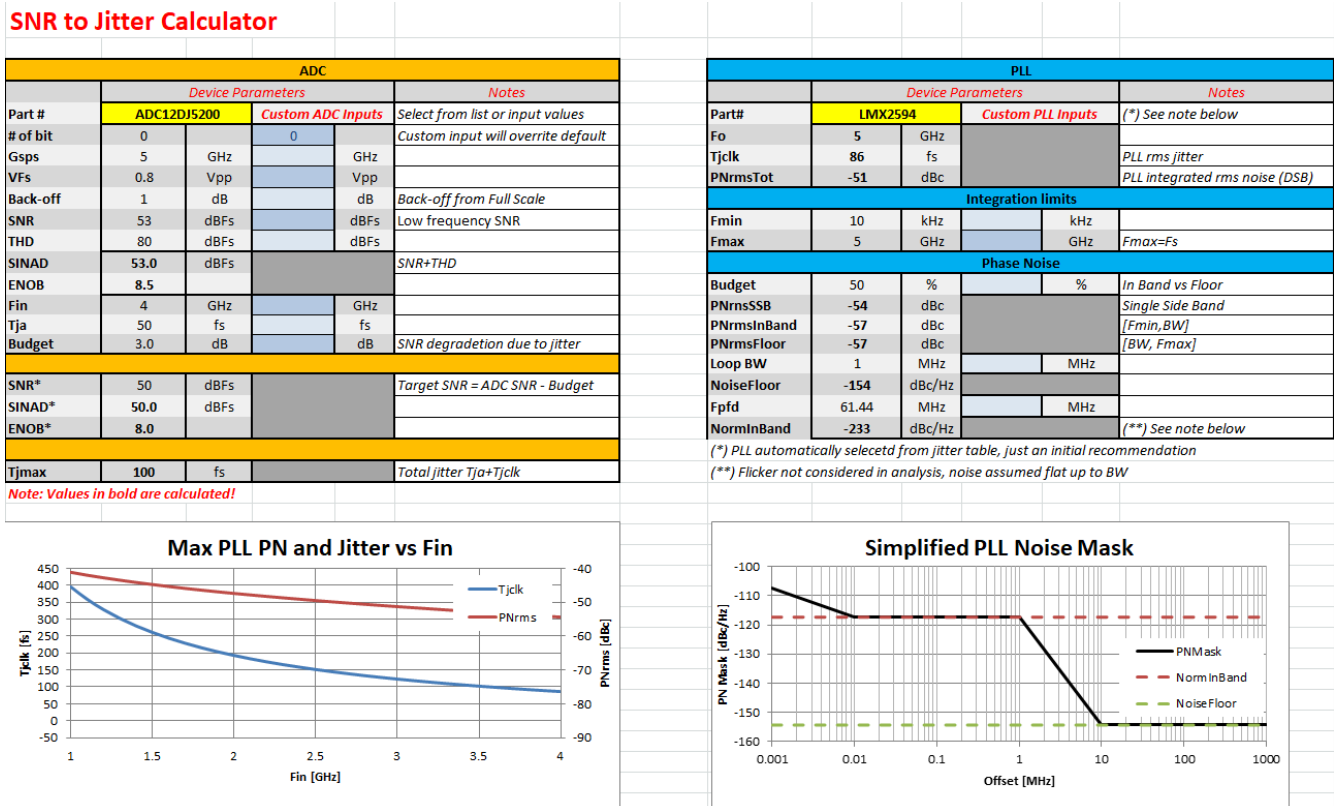


图 2-1. 抖动与 Fin 要求

2. 对于示例 2.1 中的 ADC，如果 PLL 抖动为 100fs，确定 SNR 和 ENOB。

- 解决方案：类似于上一个示例，用于计算 ADC 的 SNR。总抖动（包括 50fs 的孔径抖动）现在为 94fs，对应的 SNO 为 51.6dBFS，ENOB 为 8.3 位，请参阅图 2-2。该图示出了与时钟抖动函数相同的参数。

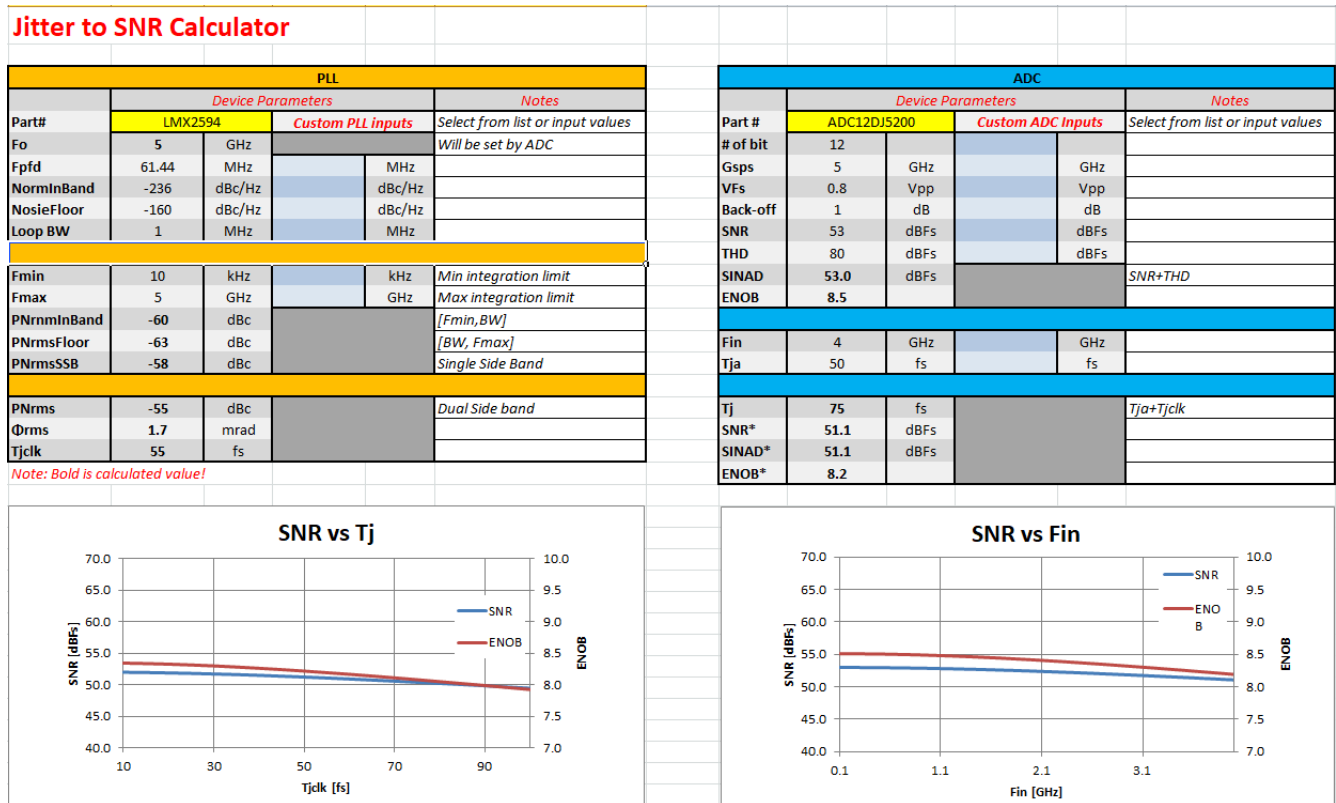


图 2-2. SNR 和 ENOB 与时钟抖动

### 3 模拟和滤波器要求

前面两节描述了如何计算相位噪声和抖动以及时钟抖动对 ADC 性能（特别是 SNR、SINAD 和 ENOB）的影响。对于低数据速率 ADC，一般来说，PLL 在噪声中占主导地位，但对于新一代 Gsps ADC，采样频率现在远高于 3GHz（DAC 情况下为 10GHz），PLL 本底噪声（带外噪声）开始变得越来越重要（由于集成带宽的高限制）。为了最小化时钟抖动对 ADC SNR 的影响，可以在 PLL 之后添加滤波器。如果由于滤波器损耗而导致信号电平下降，则可在滤波器后添加一个低相位噪声放大器，将信号电平恢复到 ADC 中。现在，首先建立一个仿真测试台来评估滤波器带宽需求，如图 3-1 所示。

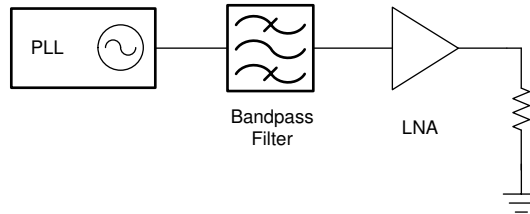


图 3-1. 仿真设置

（如图 1-2 所示），LMX2594 PLL 的相位噪声曲线被导入并用作时钟源。随后是可编程带通滤波器和低噪声放大器。图 7 示出了滤波器和 LNA 输出端的仿真集成噪声、抖动和 SNR。为便于比较，图中分别显示了由于无带通滤波器的 PLL 而导致的上限和下限与使用 R&S SMA100A 或 B 等超低噪声信号源时的上限和下限。

图 3-2 和图 3-3 显示了仿真结果。

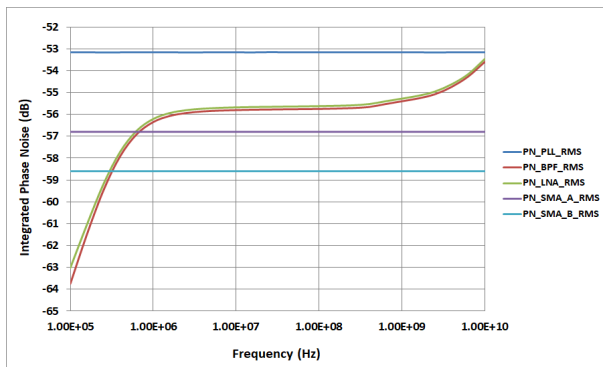


图 3-2. 相位噪声与频率

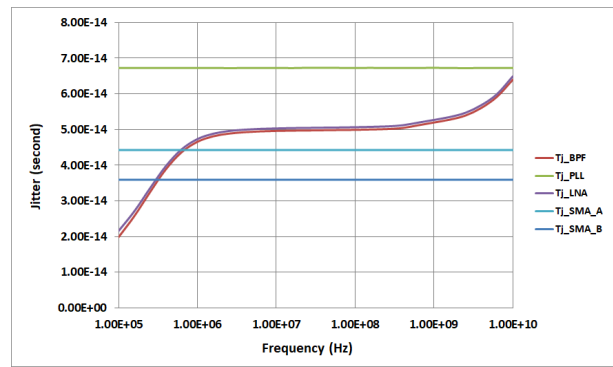


图 3-3. 抖动与滤波器带宽

在此分析中，如前所述，我们假设 ADC 的时钟频率为 5GHz，孔径抖动为 50fsec。由于时钟抖动对 ADC 的影响是频率的函数，因此我们报告了 ADC 在 1GHz 和 4GHz 输入频率下的 SNR。在更高的输入频率 (4GHz) 下，影响明显更大，与信号发生器相比，性能下降了约 2dB。还要注意带通滤波器是如何帮助提高 SNR，当 BW < 300kHz 时下降的 2dB 以完全恢复回来。然而，必须指出的是，这对应于一个高选择性滤波器，符合实验室中可用的腔体滤波器，不容易在系统板上实现离散的滤波器或 SMT。值得注意的是，在更高的输入频率下，即使是较宽松的滤波器仍然可以将 SNR 提高 1dB 以上。这在宽带或高中频系统中非常重要。

图 3-4 中的曲线图示出了信号发生器、不带滤波器的 PLL (LMX2594)、带 SMT 滤波器的 PLL 和带腔体滤波器的 PLL 的仿真 SNR。对于后两种情况，仿真中使用了供应商提供的  $s$  参数。

此仿真清楚地表明，高选择性滤波器降低了 PLL 抖动对通常用于 ADC 表征的信号发生器电平的影响。

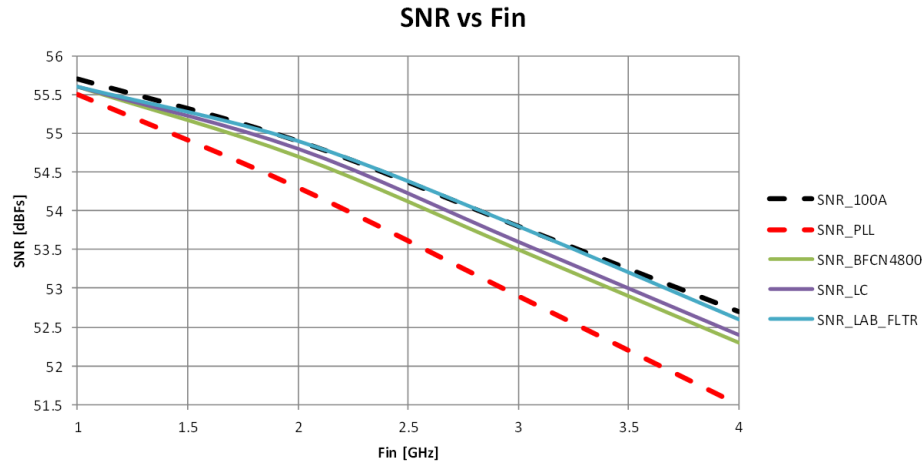


图 3-4. 不同来源的仿真 SNR 与频率

图 3-4 显示了当滤波器的选择性从 SMT (小型电路 BFCN-4800) 提高到腔体 (实验室滤波器) 时, SNR 仅从 PLL 提高到 SMA100 等效值。



## 4 测量设置

为了测试前一节中描述的理论 and 模拟结果，下一步是进行测量。

使用 ADC12DJ5200RFEVM 测量 SNR。图 4-1 求出了测量设置。R&S SMA100A 信号发生器用于对 ADC12DJ5200RF 计时。通过带通滤波器对时钟进行了滤波。下一组测量是在相同的设置下进行的，但时钟信号未使用带通滤波器进行滤波。

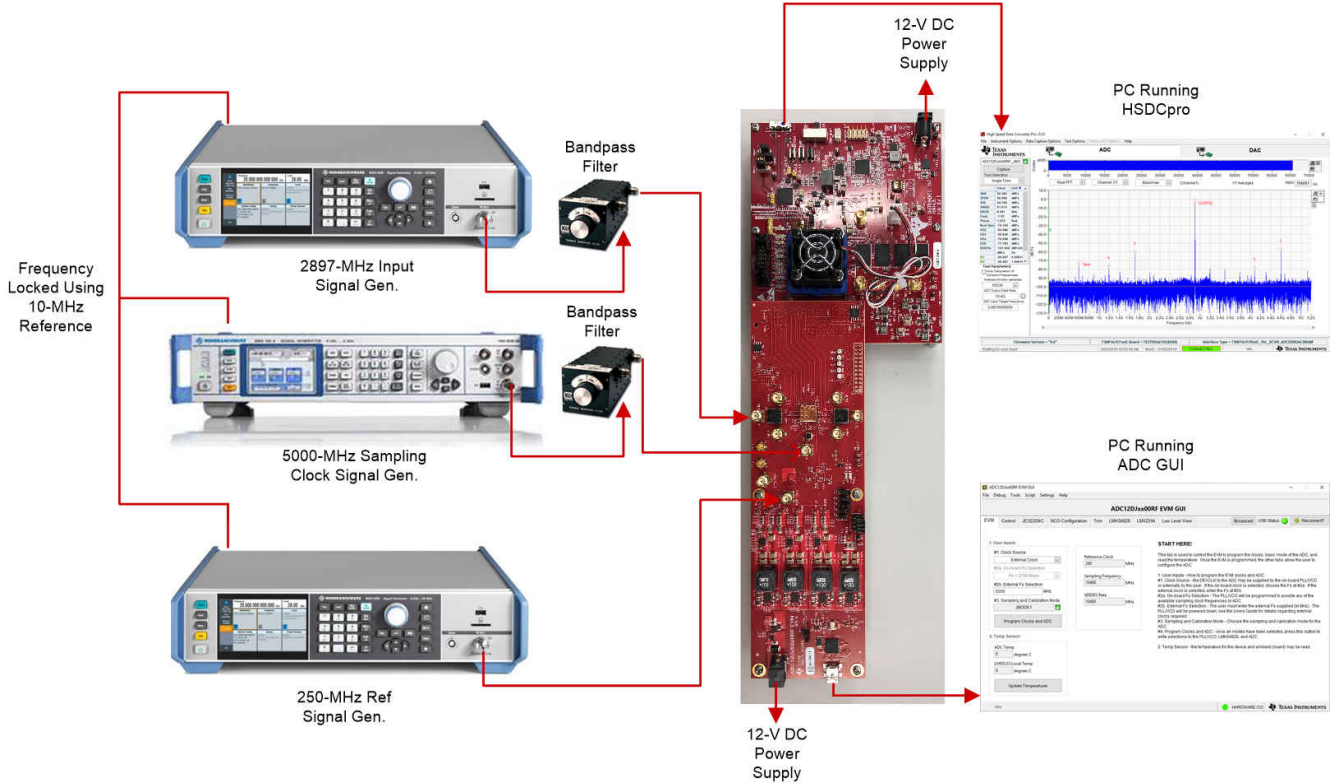


图 4-1. SMA100A 信号发生器，用于通过带通滤波器对 ADC12DJ5200RF 计时

图 4-2 示出了使用 LMX2594 合成器对 ADC12DJ5200RF 计时的设置。在 LMX2594 器件之后使用带通滤波器和不使用带通滤波器进行测量时，使用了上一节所述的类似测试程序。

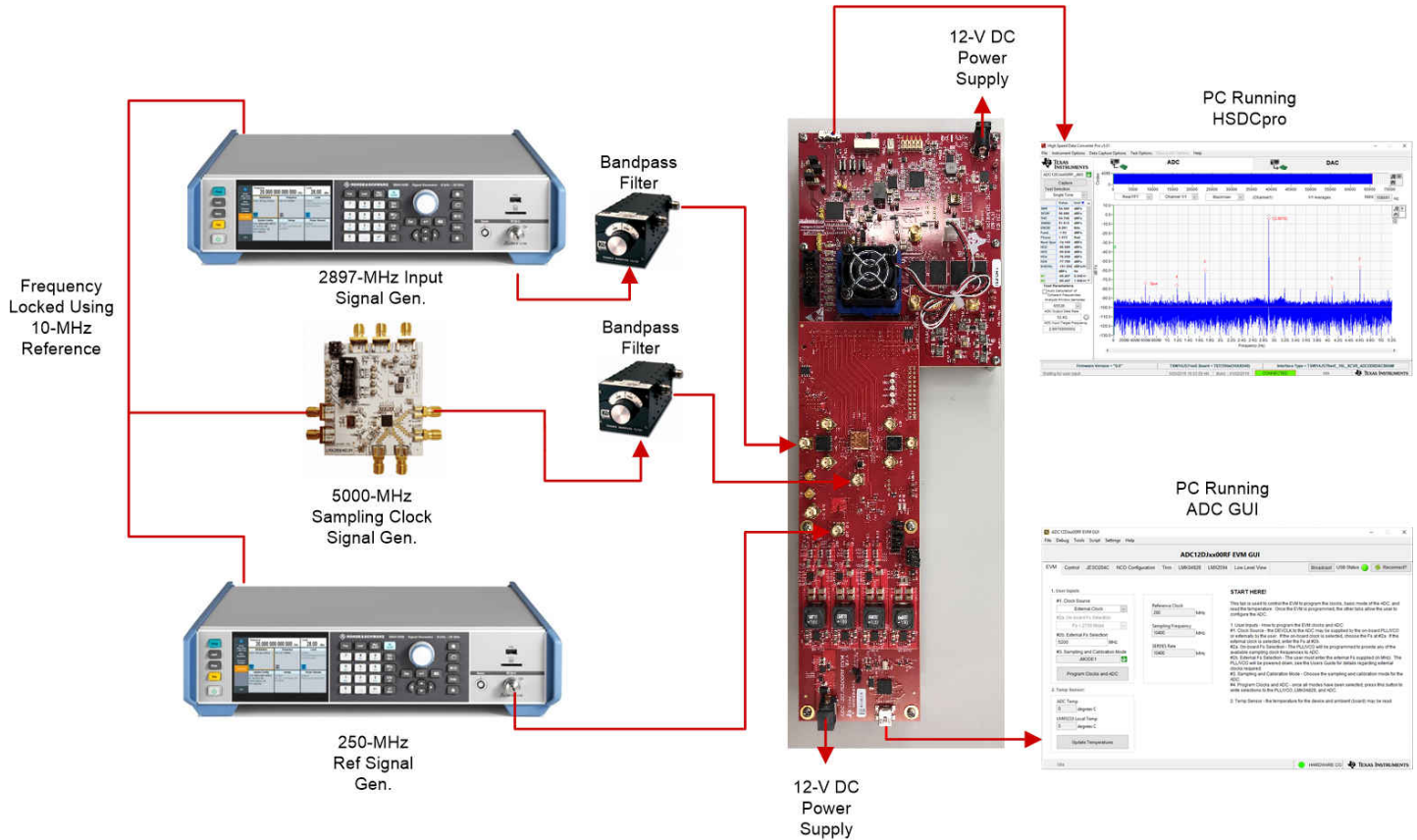


图 4-2. LMX2594，用于通过带通滤波器对 ADC12DJ5200RF 计时

所有的测量都使用了 5GHz 时钟信号。ADC 配置为单通道模式，此模式同时使用时钟的上升沿和下降沿，并且 ADC 以 10GSPS 的速率进行有效采样。测量使用了不同的输入频率 (1GHz、3GHz 和 4GHz)。由于执行这些测量是为了显示时钟信号的相位噪声的影响，因此从 SNR 计算中排除了所有交错杂散。

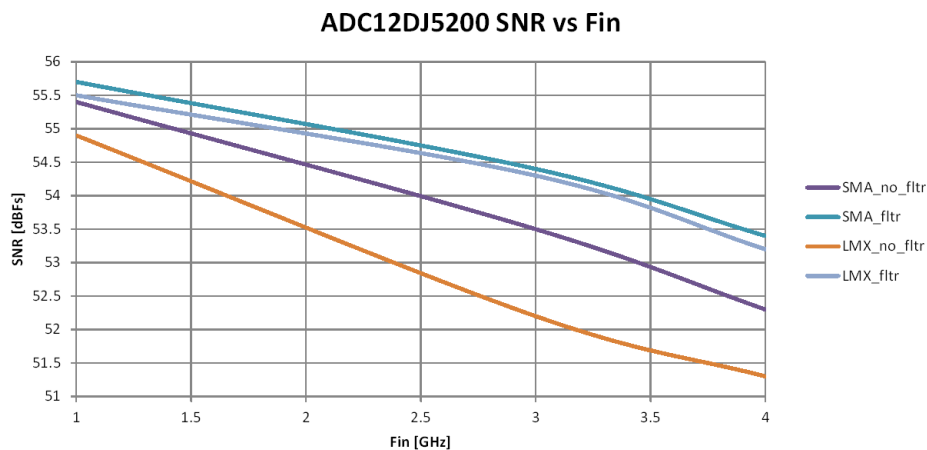


图 4-3. 使用和不使用滤波器测量的 SNR 与 Fin

表 4-1 显示了在高输入频率下，在不使用带通滤波器的情况下测量的 SNR 和 Fin，与 SMA100A 相比，LMX 的 SNR 要差约 1dB。但当同时对 SMA100A 和 LMX2594 进行滤波 (带通滤波器) 时，两个时钟源具有相同的性能。

表 4-1. 使用和不使用滤波器测量的带 SMA 和 LMX2594 的 SNR 与 Fin

输入频率 (GHz)	SNR(dBFS)			
	SMA 未滤波	SMA 滤波	LMX2594 未滤波	LMX2594 滤波
1	55.4	55.7	54.9	55.5
3	53.5	54.4	52.2	54.3
4	52.3	53.4	51.3	53.2

## 5 参考文献

- 德州仪器 (TI), [ADC12DJ5200RF 10.4GSPS 单通道或 5.2GSPS 双通道 12 位射频采样模数转换器 \(ADC\) 数据表](#)
- 德州仪器 (TI), [LMX2594 具有相位同步功能和 JESD204B 支持的 15GHz 宽带 PLLATINUM™ 射频合成器数据表](#)
- 德州仪器 (TI), [射频 ADC 计时：是否应该担心抖动或相位噪声？模拟应用期刊](#)
- 德州仪器 (TI), [射频采样模数转换器的时钟优化应用报告](#)
- 德州仪器 (TI), [模拟应用期刊第 1 部分中的在时域中分析时钟抖动](#)
- [时钟抖动对采样的影响：教程](#)
- 德州仪器 (TI), [适用于 DSO、雷达和 5G 无线测试器的多通道 JESD204B 15GHz 时钟参考设计](#)
- 德州仪器 (TI), [用于 ADC 的抖动和 SNR 计算器](#)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司