



摘要

BQ76952、BQ76942 和 BQ769142 电池监测器支持通过高侧 N 沟道 FET 开关 PACK+。在某些设计中，电池电子装置设计人员需要或想要通过控制电池低侧的 FET 来开关 PACK-。本文档讨论并展示了在 BQ769x2 器件中开关低侧 FET 的结果，并为设计人员提供了在 BQ769x2 系列器件中实施低侧 FET 的示例。

内容

1 引言.....	3
2 电路方案.....	6
3 配置.....	9
4 逻辑电平 FET.....	10
5 FET 驱动器设计.....	15
6 晶体管驱动器设计.....	19
7 控制 LD.....	25
8 低侧 FET 的预充电和预放电.....	27
9 总结.....	29
10 参考文献.....	30
11 修订历史记录.....	30

插图清单

图 1-1. 高侧 FET.....	3
图 1-2. 低侧 FET.....	3
图 1-3. 放电 FET 关断，连接负载.....	4
图 1-4. 放电 FET 导通，连接负载.....	4
图 1-5. 充电 FET 关断，连接充电器.....	4
图 1-6. 充电 FET 导通，连接充电器.....	4
图 1-7. 反向充电器，FET 关断.....	5
图 1-8. 低侧 FET 栅极的电压范围.....	5
图 2-1. 简单的驱动器电路，电阻充电关断.....	6
图 2-2. 关断电流受限的驱动器.....	7
图 2-3. 具有充电 FET 驱动钳位的驱动器.....	7
图 2-4. PNP 关断的充电 FET 驱动器.....	8
图 2-5. 隔离式驱动器.....	8
图 3-1. BQ76952 监测器低侧开关原理图.....	9
图 4-1. DDSG 和 DCHG 作为逻辑电平 FET 驱动器的原理图.....	10
图 4-2. 在一个 FET、1k Ω 栅极电阻条件下的放电 FET 导通.....	11
图 4-3. 在四个 FET、1k Ω 、REG1 降压条件下的放电 FET 导通.....	11
图 4-4. 在 3k Ω 栅极电阻下，DDSG 驱动一个 FET 导通.....	11
图 4-5. 在 3k Ω 栅极电阻下，DDSG 驱动一个 FET 关断.....	11
图 4-6. DCHG 驱动一个 FET 导通.....	12
图 4-7. DCHG 驱动一个 FET 关断.....	12
图 4-8. DDSG 和 DCHG 作为四个逻辑电平 FET 驱动器的原理图.....	12
图 4-9. 在 1k Ω 肖特基二极管下，DDSG 驱动四个 FET 导通.....	13
图 4-10. 在 1k Ω 肖特基二极管下，DDSG 驱动四个 FET 关断.....	13
图 4-11. DCHG 驱动四个 FET 导通，1k Ω ，1 M Ω R _{GS}	13
图 4-12. DCHG 驱动四个 FET 关断，1k Ω ，1 M Ω R _{GS}	13
图 4-13. 在 91k Ω R _{GS} 下，DCHG 驱动四个 FET 导通.....	14

图 4-14. 在 $91k\Omega R_{GS}$ 下, DCHG 驱动四个 FET 关断.....	14
图 5-1. 稳压器中的 IC FET 驱动器原理图.....	15
图 5-2. 驱动器驱动四个放电和充电 FET 原理图.....	15
图 5-3. IC FET 驱动器驱动四个放电 FET 导通.....	16
图 5-4. IC FET 驱动器驱动四个放电 FET 关断.....	16
图 5-5. IC FET 驱动器驱动四个放电 FET 导通 (添加肖特基二极管).....	16
图 5-6. IC FET 驱动器驱动四个放电 FET 关断 (添加肖特基二极管).....	16
图 5-7. IC FET 驱动器驱动四个充电 FET 导通.....	16
图 5-8. IC FET 驱动器驱动四个充电 FET 关断, $91k\Omega$	16
图 5-9. IC FET 驱动器驱动 12 个放电和充电 FET 的原理图.....	17
图 5-10. IC FET 驱动器驱动 12 个放电 FET 导通.....	17
图 5-11. IC FET 驱动器驱动 12 个放电 FET 关断.....	17
图 5-12. IC FET 驱动器驱动 12 个充电 FET 导通.....	18
图 5-13. IC FET 驱动器驱动 12 个充电 FET 关断.....	18
图 5-14. 24 个 FET 导通时的 12V 电源.....	18
图 6-1. 晶体管驱动器示例原理图.....	19
图 6-2. 使用晶体管驱动器的单个放电和充电 FET 的原理图.....	20
图 6-3. 晶体管 FET 驱动器驱动一个放电 FET 导通.....	20
图 6-4. 晶体管 FET 驱动器驱动一个放电 FET 关断.....	20
图 6-5. 晶体管 FET 驱动器驱动一个充电 FET 导通.....	20
图 6-6. 晶体管 FET 驱动器驱动一个充电 FET 关断.....	20
图 6-7. 使用晶体管驱动器的 12 个放电和充电 FET 的原理图.....	21
图 6-8. 晶体管 FET 驱动器驱动 12 个放电 FET 导通.....	21
图 6-9. 晶体管 FET 驱动器驱动 12 个放电 FET 关断.....	21
图 6-10. 晶体管 FET 驱动器驱动 12 个充电 FET 导通的细节.....	22
图 6-11. 晶体管 FET 驱动器驱动 12 个充电 FET 导通.....	22
图 6-12. 晶体管 FET 驱动器驱动 12 个充电 FET 关断, PNP, $1 M\Omega$	22
图 6-13. 晶体管 FET 驱动器驱动 12 个充电 FET 关断, PNP, $91 M\Omega$	22
图 6-14. 12V 发射极跟随器, 24 个 FET 导通.....	23
图 6-15. 备用 DSG 晶体管 FET 驱动器示例原理图.....	23
图 6-16. 晶体管 FET 驱动器驱动两个放电 FET 导通.....	24
图 6-17. 晶体管 FET 驱动器驱动两个放电 FET 关断.....	24
图 6-18. 12V, 推挽驱动器导通.....	24
图 6-19. 12V, 推挽驱动器关断.....	24
图 7-1. LD 负载检测电路原理图.....	25
图 7-2. OCD 和受控 LD.....	25
图 7-3. OCD 和从充电器连接恢复.....	25
图 7-4. 睡眠期间的 OCD 和恢复.....	26
图 7-5. 睡眠期间的 OCD 和重试后恢复.....	26
图 7-6. 唤醒电路示例原理图.....	26
图 8-1. 预充电和预放电测试电路原理图.....	27
图 8-2. 预充电导通.....	28
图 8-3. 预充电关断.....	28
图 8-4. 预放电导通.....	28

商标

所有商标均为其各自所有者的财产。

1 引言

BQ769x2 系列电池监测器件设计有集成式高侧 N 沟道 MOSFET 驱动器 CHG 和 DSG。高侧开关可实现通过简单的通信接口轻松连接电池（以 PACK- 基准），这样在电池受到保护时仍然可以运行。数据表和评估模块原理图及图 1-1 展示了高侧电流路径上的 FET。BQ769x2 使用以共漏极配置连接的串联 FET。充电 FET 导通时将充电器下拉到电池电压，放电 FET 导通时将负载上拉到 PACK+。当系统规格包括隔离式接口或要求低侧开关时，或者设计中采用的 FET 不易在高侧驱动时，可能需要使用低侧开关。图 1-2 展示了低侧的 FET 和共漏极配置。放电 FET 导通时将 PACK- 下拉到电池负极，充电 FET 导通时将充电器负极上拉到电池负电压。

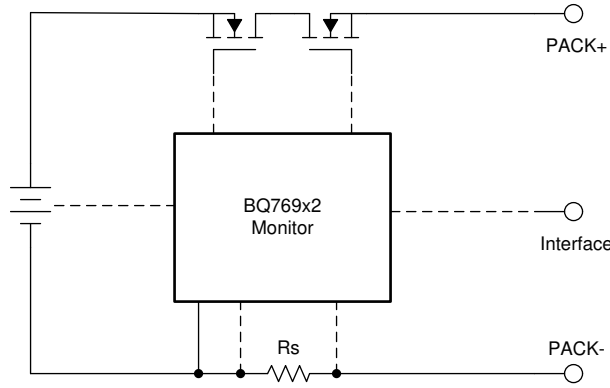


图 1-1. 高侧 FET

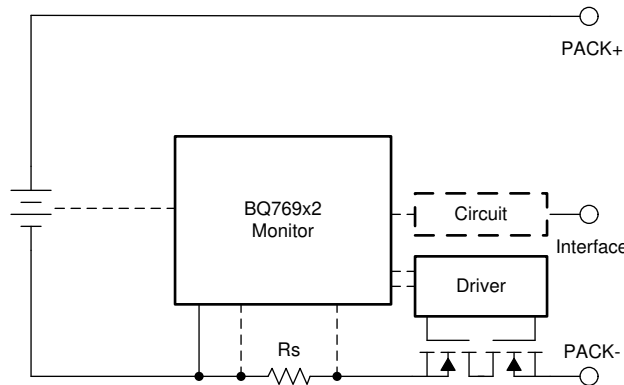


图 1-2. 低侧 FET

BQ769x2 不包括集成的低侧驱动器，但具有数字输出 DDSG 和 DCHG，它们综合了 FET 输出状态与预充电和预放电状态，并发出 FET 的理想状态信号。若要实施驱动器，宜查看 FET 栅极所需的电压范围。电路“GND”基准位于电池负极的情况下，当放电 FET 关断时，放电 FET 栅极位于 GND 电平，PACK- 可由负载电阻拉至 PACK+，如图 1-3 中所示。系统在此状态下无法充电，充电 FET 也可以通过 VBAT 的栅极电压关断。当放电 FET 导通时，其栅极电压升高到电压 V_{FETON} ，该电压将使放电 FET 导通。PACK- 下拉至 GND 电压，如图 1-4 中所示。充电 FET 栅极也可以由 V_{FETON} 电压导通，以消除体二极管上的压降并避免 FET 发热。忽略检测电阻和 FET 电阻的压降，PACK- 电压处于 GND。

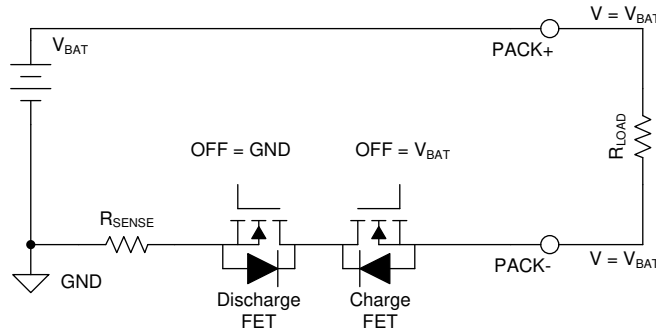


图 1-3. 放电 FET 关断，连接负载

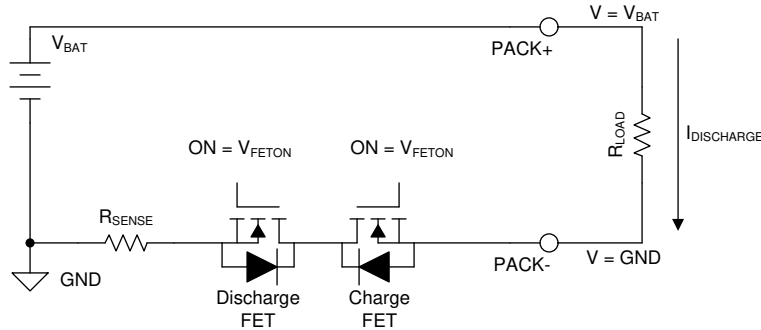


图 1-4. 放电 FET 导通，连接负载

当充电 FET 在连接充电器的情况下关断时，PACK- 电压将低于 GND 电平。若要使充电 FET 保持关断，栅极电压必须接近 PACK- 电压，如图 1-5 中所示。当充电 FET 在连接充电器的情况下导通时，栅极上升到 V_{FETON} 电压，PACK- 上拉至 GND 电平，参见图 1-6。

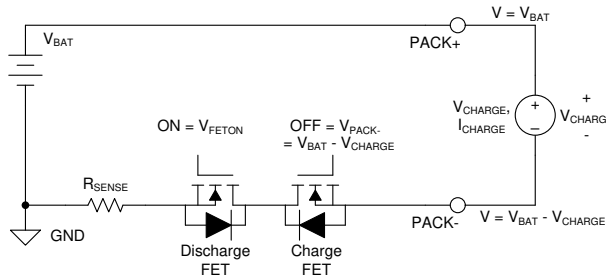


图 1-5. 充电 FET 关断，连接充电器

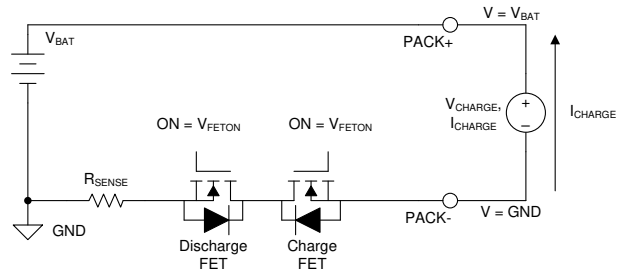


图 1-6. 充电 FET 导通，连接充电器

如果反向充电器可以连接到电池，则电池和充电器的电流同向。检测到故障且 FET 为开路时，反向充电器将使 PACK- 电压高于 PACK+ 电压。放电 FET 必须承受高电压，充电 FET 栅极电压必须上升，以防止损坏 FET。图 1-7 中显示了这种情况。

图 1-8 汇总了 FET 栅极的电压范围。放电栅极必须从导通时的 V_{FETON} 变为关断时的 GND 电平。充电 FET 栅极电压必须从 V_{FETON} 变为 PACK- 电压以关断 FET，但根据 FET 和系统条件，该电压的范围可能很大（高于或低于电池电压）。驱动器电路设计将需要提供并适应这些电压范围。

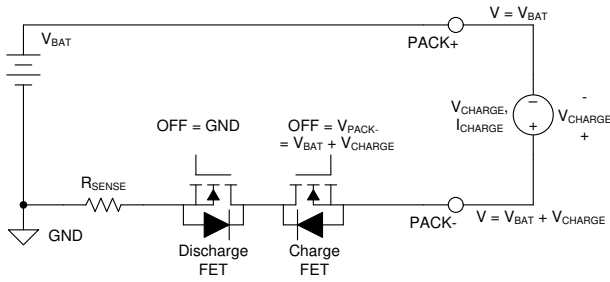


图 1-7. 反向充电器，FET 关断

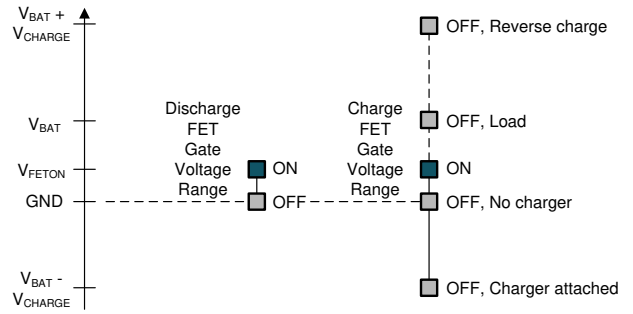


图 1-8. 低侧 FET 栅极的电压范围

2 电路方案

FET 驱动器电路将需要接收来自 BQ769x2 的数字控制信号，为 V_{FETON} 高电平提供电源电压，并以适合系统设计的速度开关栅极，从而符合图 1-8 中的电压范围。

图 2-1 展示了基本的电路方案，其中稳压器为驱动器提供 V_{FETON} 电压，该驱动器将 BQ76952 的数字信号电平转换为 V_{FETON} 电压电平。电阻 R4 为放电 FET 栅极提供驱动电压。由于充电 FET 栅极的范围格外大，Q3 允许在 Cdrive 关断时栅极电压变为负数。当 PACK- 为高电平时，D1 阻止电流进入驱动器。D2 限制 Q1 充电 FET 的栅源电压。如果 Q1 缓慢导通，R1 会在 Cdrive 导通时提供来自驱动器的电流限制。R2 在 Cdrive 变为低电平时关断 FET，因为 D1 会阻止驱动器从栅极拉取电流。

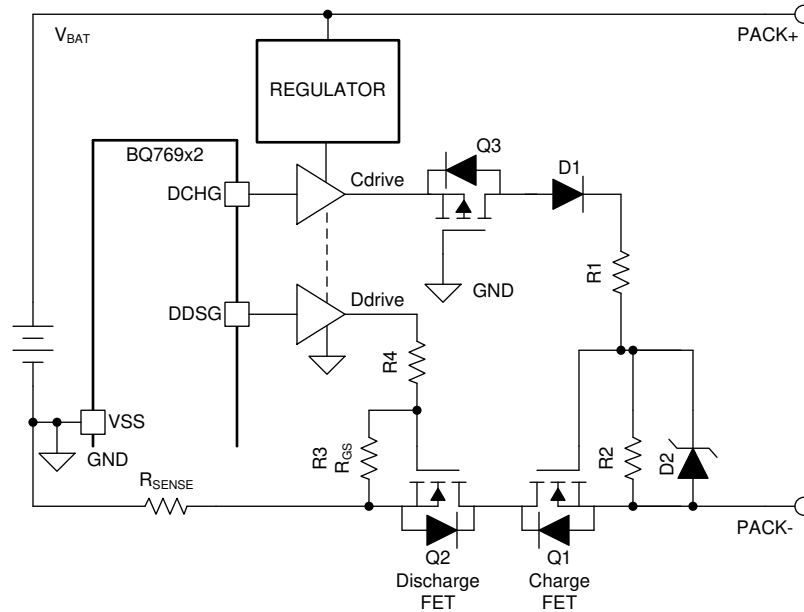


图 2-1. 简单的驱动器电路，电阻充电关断

当驱动器可以接受其输出被拉至高于电源电平时，可以使用类似图 2-2 中的电路。D3 限制驱动器的接入电压（在其安全范围内）和 Q3 的栅源电压。R1 在 D1 后提供有限电流旁路，使驱动器可以帮助下拉栅极；当 PACK- 处于最大电压时，则必须限制回到 D3 的电流。关断仍然会很缓慢，一旦 Q1 开始关断且 PACK- 降低时，R2 将完成充电 FET Q1 的关断。大多数 IC 驱动器都具有驱动器电压的 ABS MAX 输出，因此这类设计需要用到特殊的驱动器。

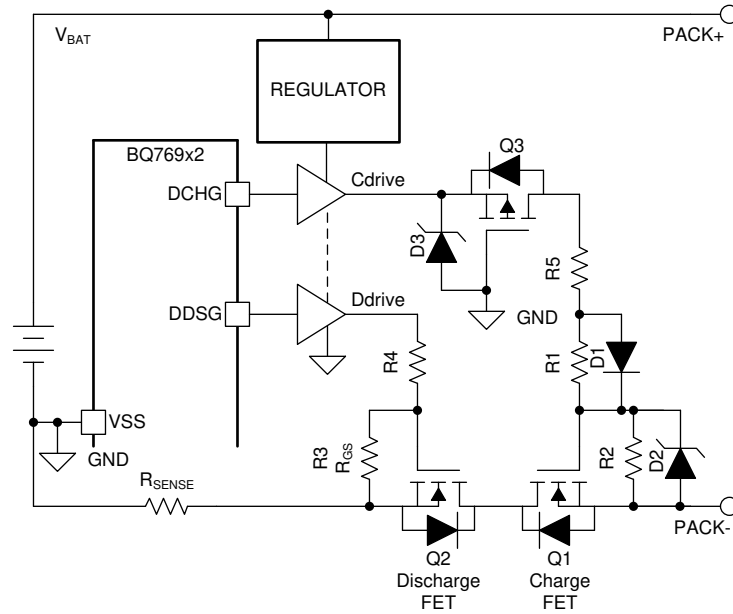


图 2-2. 关断电流受限的驱动器

图 2-3 展示了这样一种方法：充电 FET Q1 由驱动器驱动导通或由 Q4 钳制关断。这种方法能够非常有效地关断 Q1，但无论充电 FET 是导通还是关断，都需要连续电流。

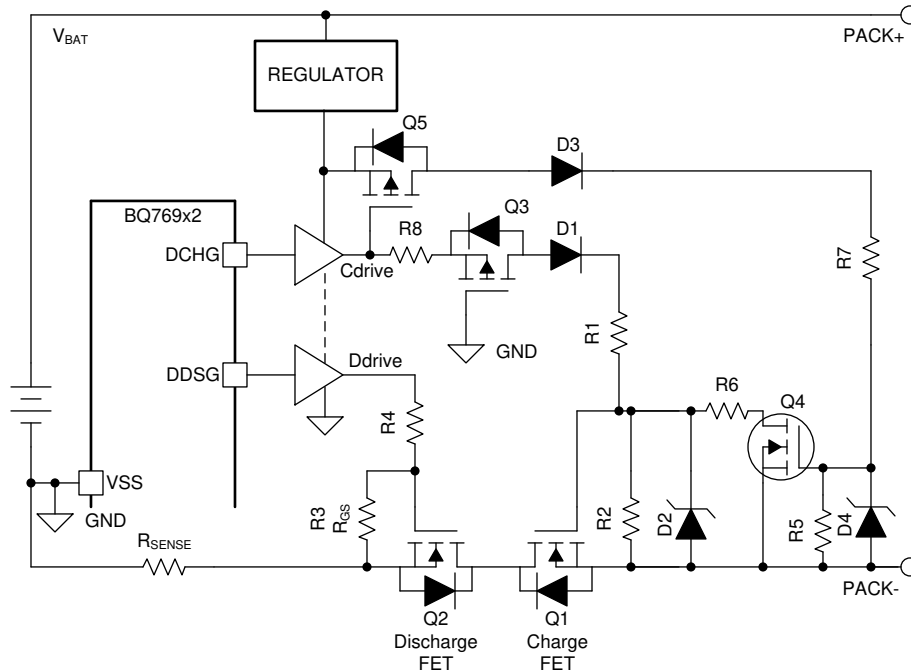


图 2-3. 具有充电 FET 驱动钳位的驱动器

图 2-4 与简单的驱动器电路非常类似，但与仅使用 R2 相比，其增益电路有助于更快地关断充电 FET。此电路由 Q1 栅极电压供电，即使 PACK- 电压降至 GND 电平之下，Q4 也会在电压存在时保持导通。PNP 或 P 沟道 FET 都可以用于 Q4，FET 电压会受控制，需要较少的电流，但 V_{GSth} 可能大于 PNP 晶体管的 V_{BE} 。额外的二极管 D3 在驱动器导通时，将使 Q4 的基极电平高于发射极电平。驱动器必须为 R_{GS} 电阻 R2 和基极电阻 R5 提供电流，因此在 FET 导通时，需要比简单驱动器电路更高的电流。

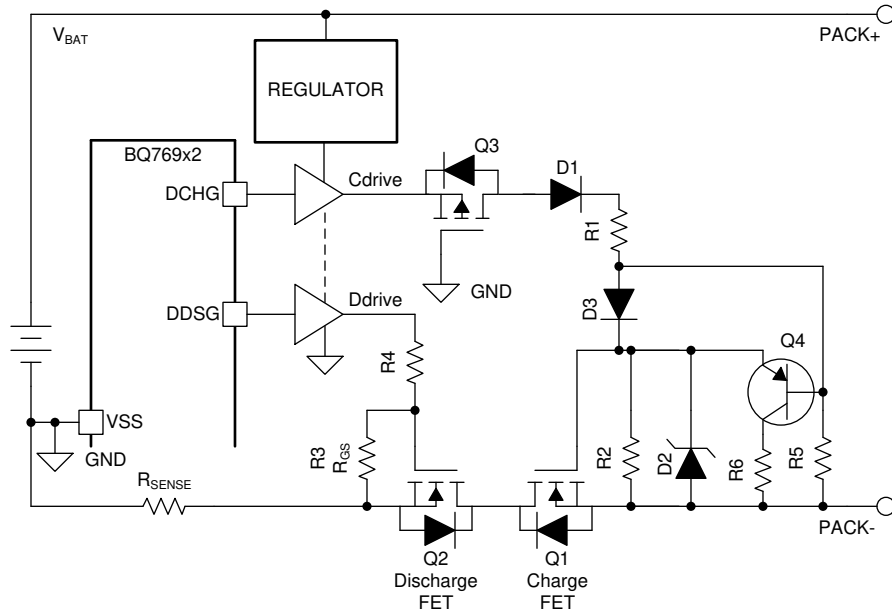


图 2-4. PNP 关断的充电 FET 驱动器

一种高性能方法是将隔离式栅极驱动器用于充电路径，如图 2-5 中所示。不管 PACK- 电压如何，隔离式驱动器可以在需要时非常有效地驱动充电 FET 栅极变为高电平或低电平，但它需要隔离式电源。

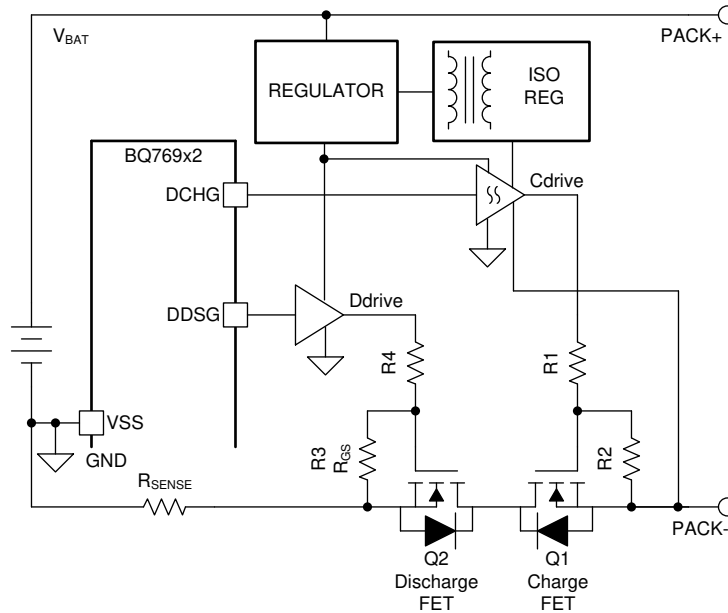


图 2-5. 隔离式驱动器

本应用报告中的测试电路使用图 2-1 的简单驱动器电路和图 2-4 的 PNP 电路。

3 配置

数据存储配置必须设置为在 BQ769x2 器件中使用低侧 FET。默认情况下，数据存储中的 FET 驱动器是关闭的，但电荷泵处于启用状态。DDSG 和 DCHG 也被禁用。Settings:FET:FET Options[FET_CTRL_EN] 位采用默认设置，而且必须保留设置，BQ769x2 才能控制 DCHG 和 DDSG。更改将包括：

- 关闭电荷泵。
- 启用 REG1，使之达到合适的电压。
- 启用前置稳压器（如使用）。
- 为输出设置 DCHG 和 DDSG 引脚，极性与使用的驱动器相适。
- 通过设置数据存储或使用 FET_ENABLE 命令（在需要时）启用 FET。

以下设置展示了基础低电平测试的更改示例，REG1 为 3.3V，DCHG 和 DDSG 导通时为高电平。

```
Settings:Configuration:REG12 Config    0x0D
Settings:Configuration:REG0 Config    0x01
Settings:Configuration:DCHG Pin Config 0xA2
Settings:Configuration:DDSG Pin Config 0xA2
Settings:FET:Chg Pump Control         0x00
```

需要额外配置使用的电芯和所需的器件运行模式。在本应用报告的测试中，为了提供保护进行了额外的更改。根据需要启用 FET，SLEEP 一般被禁用，因此 CHG 不会通过 SLEEP 关闭。

BQ76952 的电路配置示例如图 3-1 所示，此电路通常使用本应用报告中说明的驱动器方案。不使用电荷泵并且 CP1 连接到 BAT，因此 BQ769x2 会消耗数据表中注明的额外电流，直至配置中禁用电荷泵。不使用 DSG 和 CHG 并使其保持开路。PACK 通过 10kΩ 电阻上拉。尽管测试中仅使用 REG1，但两个稳压器都显示为已连接。DDSG 和 DCHG 用于输出，不可用于其他功能。原理图显示支持 16 个电芯，但应根据所需的电芯数量进行配置。本应用报告中的测试是在 40V 下进行的。

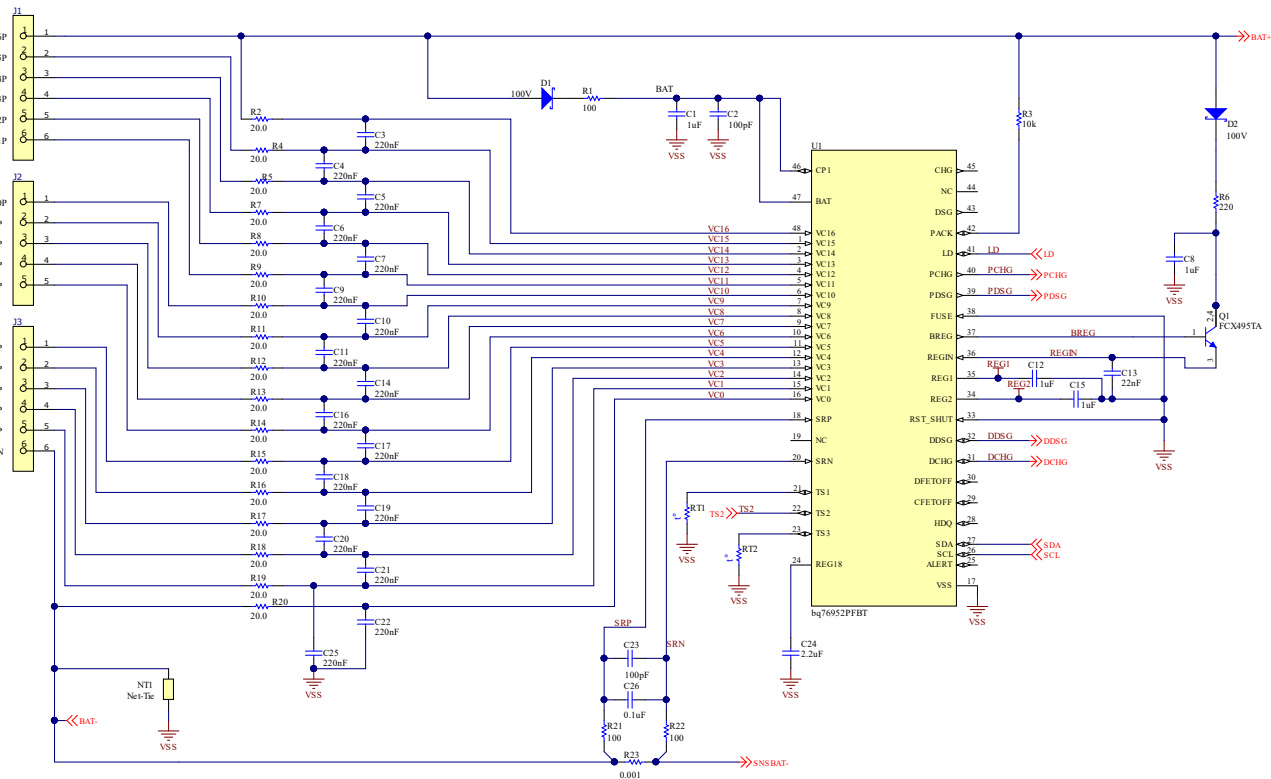


图 3-1. BQ76952 监测器低侧开关原理图

4 逻辑电平 FET

某些设计人员将认识到 REG1 可设置为 5V，而且可能要考虑使用由 DDSG 和 DCHG 输出直接控制的逻辑电平 FET。DDSG 和 DDCHG 提供开关功能，并提供 5V 作为 V_{FETON} 电平。数字输出的测试条件为 I_{OH} 和 I_{OL} 具有 5mA 拉电流或灌电流，但负载测试条件为 10pF 而且没有指定上升或下降时间。

REG1 为 5V 时，要更改数据存储器配置。

Settings:Configuration:REG12 Config 0x0F

设计人员可能用更强大的 5V 驱动器来缓冲信号，而本应用报告提供的是使用数字输出直接驱动 FET 的示例。实际使用的是具有 4.5V 下 R_{DSON} 规格的 CSD18535KCS FET。图 4-1 中展示了使用 DDSG 和 DCHG 信号驱动 FET 的示例原理图。使用并联 FET 时，使用 51Ω 电阻使栅极彼此隔离，以避免高频振荡。使用单个 FET 时，此测试电路保留了 51Ω 电阻，因此驱动电阻有所增加。

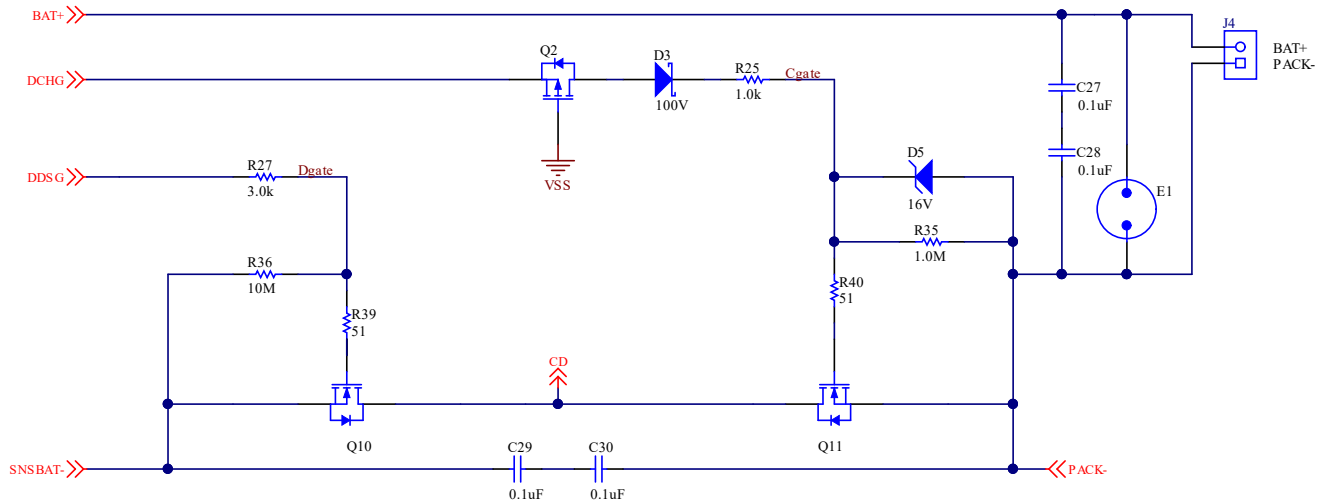


图 4-1. DDSG 和 DCHG 作为逻辑电平 FET 驱动器的原理图

使用 1kΩ 栅极电阻 R27 驱动单个放电 FET 时，在图 4-2 中发现了驱动器振铃。这是使用的 FET 产生的迹线寄生效应，驱动器无法为 FET 维持合适的驱动电流。使用四个 FET 时，来自额外 C_{iss} 的驱动器上的额外负载会减缓导通速度并避免振铃。不过，图 4-3 展示了负载会暂时下拉稳压器电压。如果不希望这样，可以增大 REG1 上的电容。此部分的测试波形不包括增大的 REG1 电容。

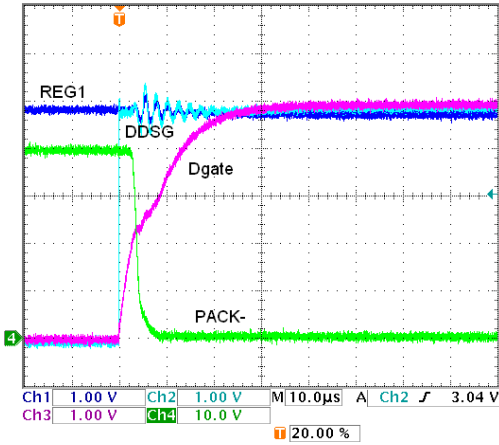


图 4-2. 在一个 FET、1kΩ 栅极电阻条件下的放电 FET 导通

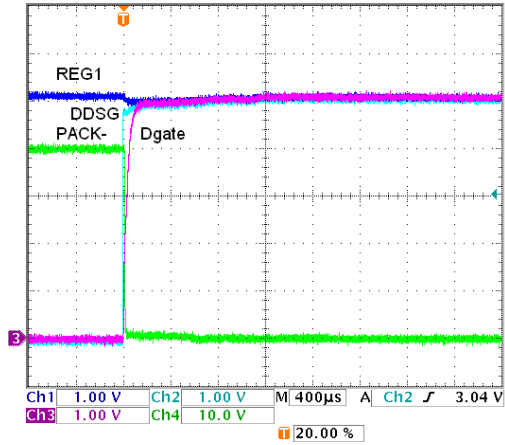


图 4-3. 在四个 FET、1kΩ、REG1 降压条件下的放电 FET 导通

建立电路板拓扑后，设计人员可使用栅极电阻 R27 进行调节，以避免栅极振铃。增大电阻有助于减缓 FET 导通速度并避免振铃。实际选择了 3kΩ 阻值，单个 FET 的导通和关断如图 4-4 和图 4-5 中所示。

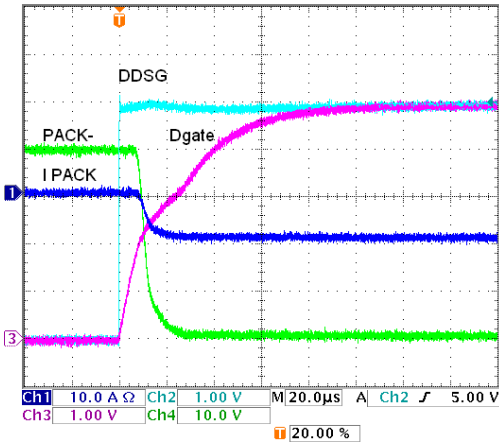


图 4-4. 在 3kΩ 栅极电阻下，DDSG 驱动一个 FET 导通

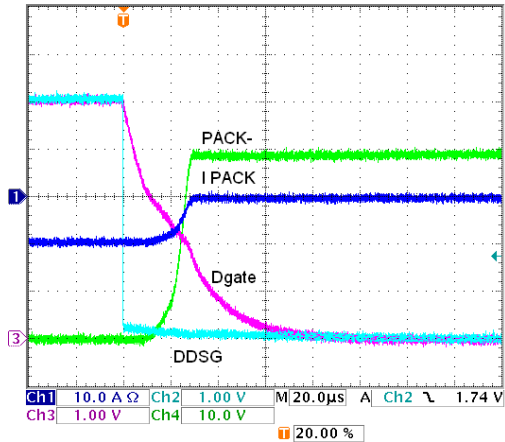


图 4-5. 在 3kΩ 栅极电阻下，DDSG 驱动一个 FET 关断

当充电 FET 关断时，充电器可以自由地将 PACK- 端子拉至电池负极（即 GND）电平以下。当 DCHG 变为高电平时，充电 FET 将导通。此情况下的电压摆幅很小，在此测试中未观察到驱动器振铃。图 4-6 展示了使用 1kΩ 栅极电阻时单个充电 FET 导通的示例。关断如图 4-7 中所示。请注意，DCHG 很快会变为低电平，因为它不驱动栅极，D3 会阻止电流进入驱动器。栅源电阻 R35 会关断 FET，在此测试中它是 1 MΩ，所以关断速度慢。另请注意，10M 示波器探头上拉 Cgate 信号，形成分压器并保持栅极略高于 PACK- 信号。

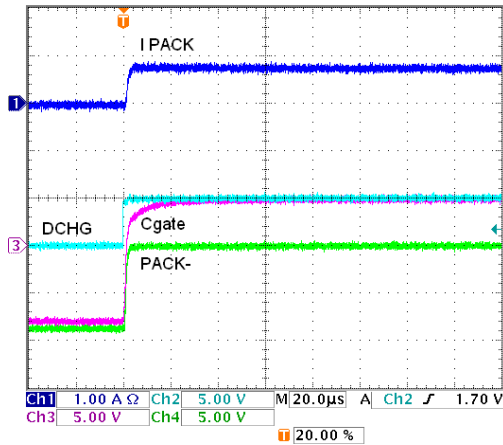


图 4-6. DCHG 驱动一个 FET 导通

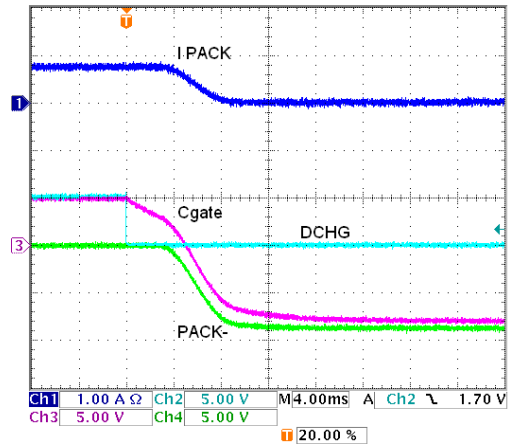


图 4-7. DCHG 驱动一个 FET 关断

图 4-8 展示了具有四个 FET 的原理图。总栅极电阻较大，因而对 R27 使用 1k Ω 电阻。由于预期放电电流较高，放电时不希望缓慢关断，所以使用肖特基二极管提供与 R28 并联的电阻路径进行关断。二极管 D6 在导通期间阻止电流进入栅极，但允许 DDSG 在关断期间通过 R27 和 R28 从栅极拉取电流。

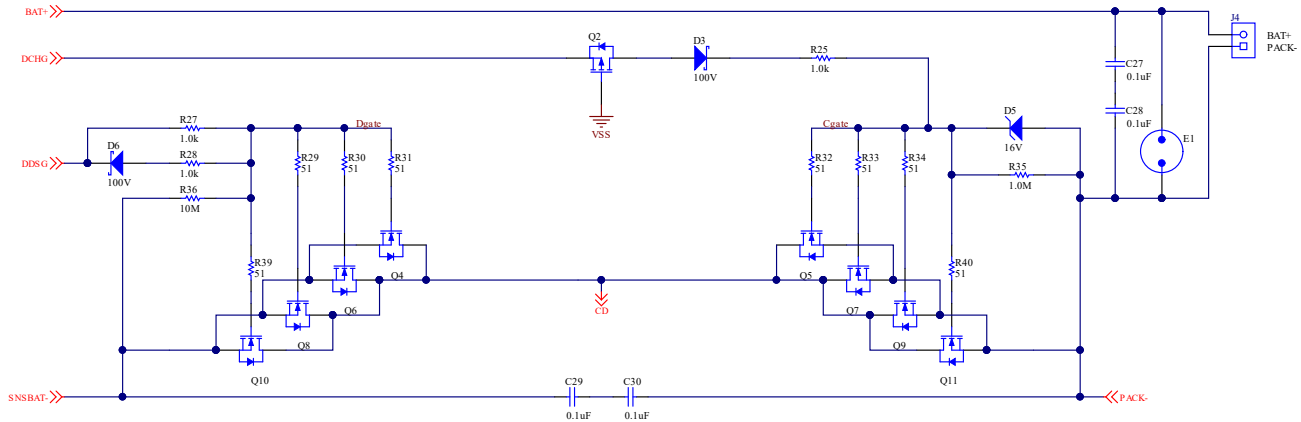


图 4-8. DDSG 和 DCHG 作为四个逻辑电平 FET 驱动器的原理图

由于具有四个 FET 和 1k Ω 驱动电阻，此测试中的 DDSG 没有振铃。在图 4-9 中可看到，当 FET 导通时 DDSG 中有压降。图 4-10 展示了添加图 4-8 中的 D6 肖特基二极管和 R28 1k Ω 路径后的关断情况。R28 可以减小以加快关断速度，或者 PNP 晶体管电路仅需要来自 DDSG 的控制电流。

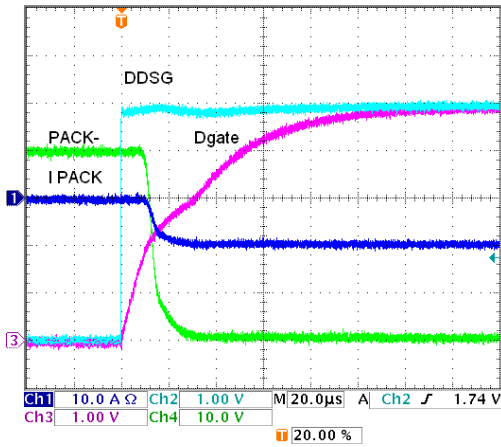


图 4-9. 在 $1k\Omega$ 肖特基二极管下, DDSG 驱动四个 FET 导通

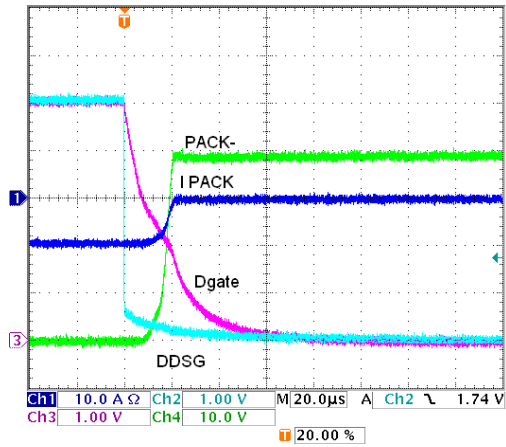


图 4-10. 在 $1k\Omega$ 肖特基二极管下, DDSG 驱动四个 FET 关断

使用四个 FET 导通 CHG 如图 4-11 中所示。通过 $1M\Omega$ R_{GS} 关断四个 FET 如图 4-12 中所示。FET 导通时使用该大电阻限制电流, 因而关断缓慢。

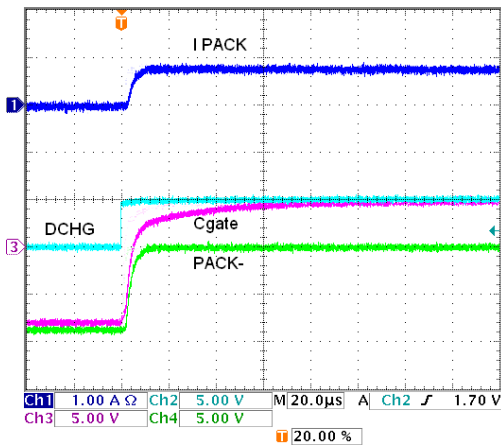


图 4-11. DCHG 驱动四个 FET 导通, $1k\Omega$, $1M\Omega$ R_{GS}

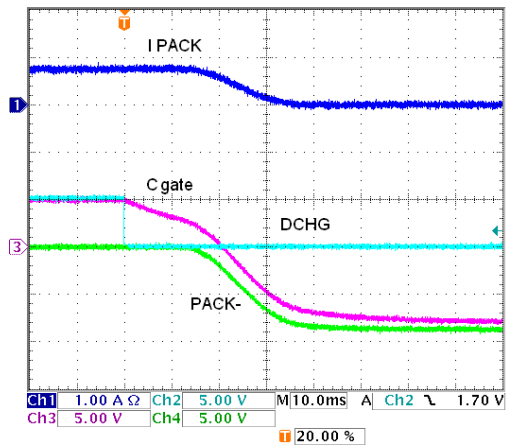
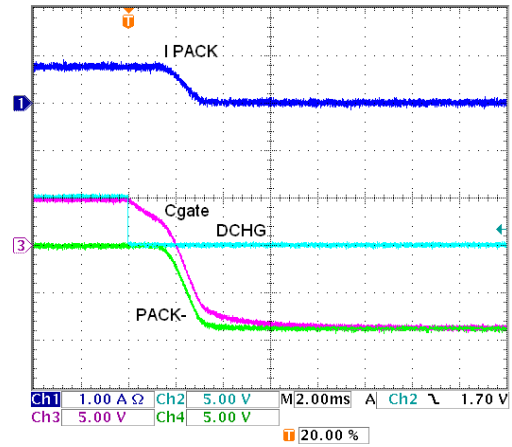
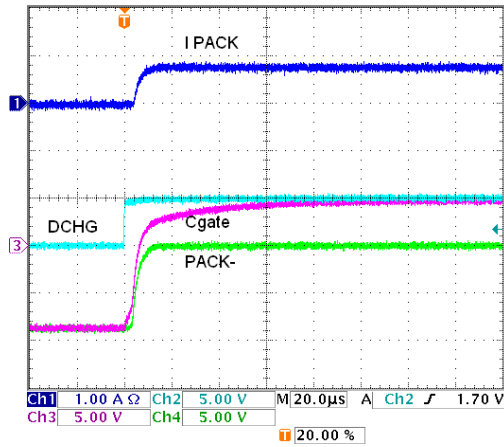


图 4-12. DCHG 驱动四个 FET 关断, $1k\Omega$, $1M\Omega$ R_{GS}

需要加快关断速度时, 包含 REG1 电压和逻辑电平 FET 的电路几乎没有电压裕量。一个解决方案是使用较小的 R_{GS} 电阻 R35。 $91k\Omega$ R_{GS} 的使用如图 4-13 和图 4-14 中所示。导通波形与较大的 R_{GS} 波形相似, 但关断速度快得多。此解决方案具有 5V 电源, 当充电 FET 导通时需要大概 $50\mu A$ 的额外电流。

图 4-13. 在 $91\text{k}\Omega$ R_{GS} 下, DCHG 驱动四个 FET 导通图 4-14. 在 $91\text{k}\Omega$ R_{GS} 下, DCHG 驱动四个 FET 关断

考虑使用逻辑电平 FET 解决方案时, 设计人员应执行容差分析。鉴于 REG1 和 D3 肖特基二极管的容差, 应使用足够低的 R_{GSON} FET。

5 FET 驱动器设计

IC FET 驱动器将通过合适的输出级，将逻辑电平信号转换为适当的栅极驱动电平。图 5-1 中的设计使用 UCC27524 双路同相 FET 驱动器。一个驱动器用于导通和关断放电 FET，另一个则用于导通充电 FET。充电 FET 的关断由 R_{GS} 或栅极电路实现。UCC27524 是功能强大的驱动器，能够在开关稳压器或其他应用中非常快速地开关栅极。作为这里的负载开关，它需要串联电阻来减慢栅极开关速度，以避免在过流或短路保护等高电流事件关断过程中产生较大电感响应。U2 是此测试中使用的线性稳压器，在电池短路期间由 D12 阻止它放电，而输入通过 R68 及其输入电容器进行滤波。在应用中可使用另一个合适的源（如果可用）。图 5-2 中显示了一个包含四个放电和充电 FET 的电路。电路配置与逻辑电平 FET 电路非常相似，但二极管 D3 是传统的二极管，因为从驱动器可得到更多电压。本应用报告中采用高压驱动方案的测试电路使用 CSD19536KCS FET。

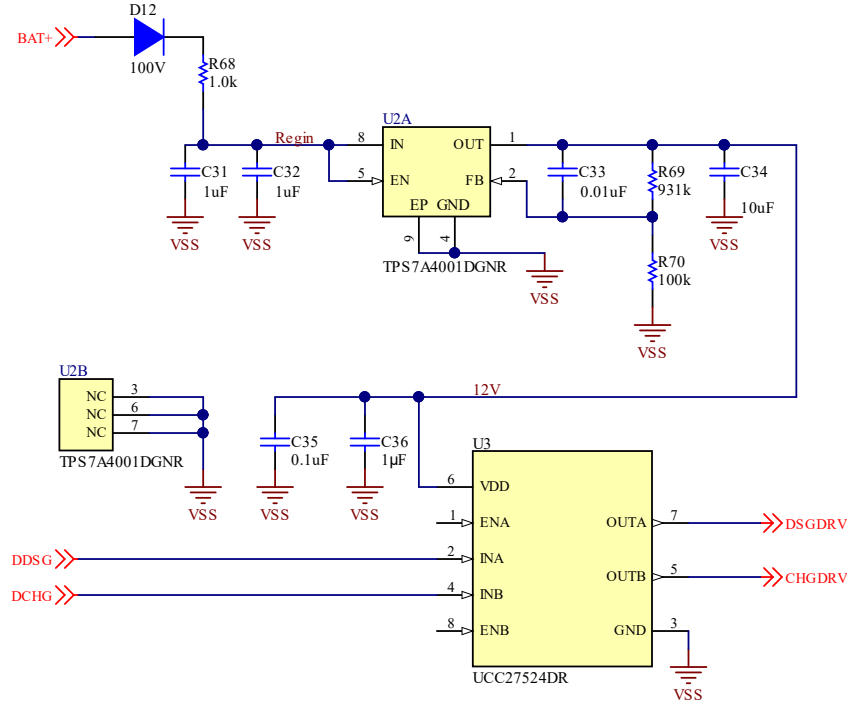


图 5-1. 稳压器中的 IC FET 驱动器原理图

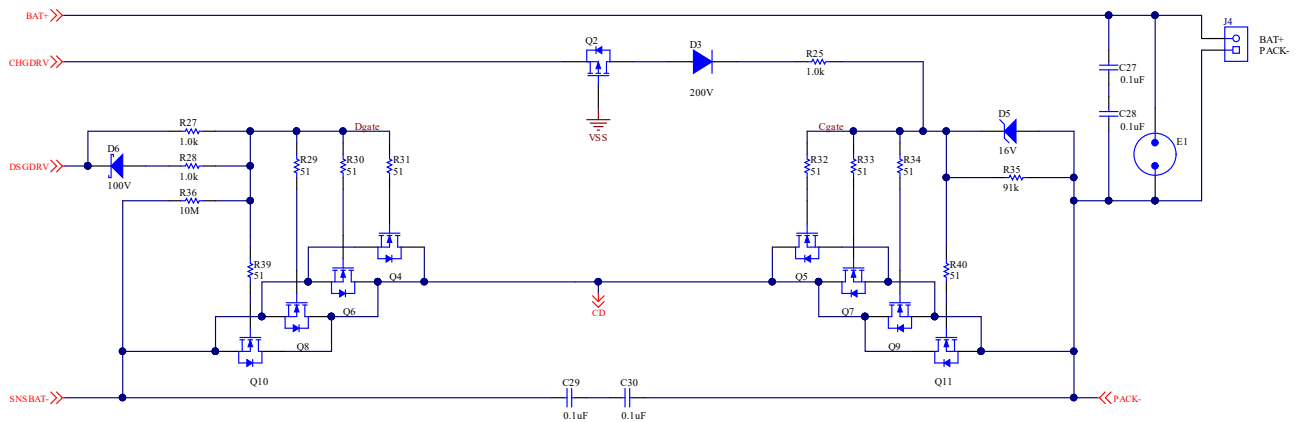


图 5-2. 驱动器驱动四个放电和充电 FET 原理图

图 5-3 和图 5-4 展示了驱动器的强大响应，以及在缺少图 5-2 中的 D6 和 R28 的情况下放电 FET 的开关。串联电阻对栅极和栅极电容的 R-C 响应会减缓栅极电压。FET 的阈值电压更接近 GND 而非驱动电平，因此请注意 DSGDRV 信号下降与电流转换之间的延迟。添加 D6 和 R28 不会改变导通状态（详情如图 5-5 中所示），但会加速关断（如图 5-6 中所示）。可调整 R28 值以加快关断速度。充电 FET 的开关如图 5-7 和图 5-8 中所示。

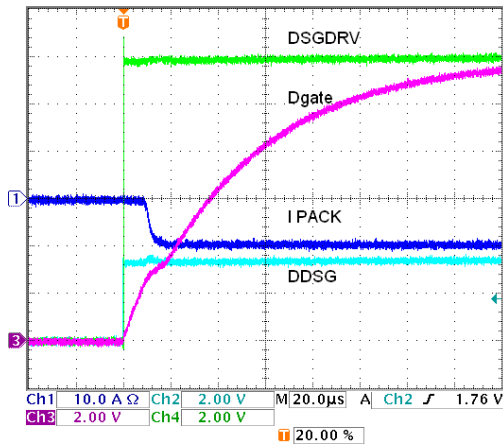


图 5-3. IC FET 驱动器驱动四个放电 FET 导通

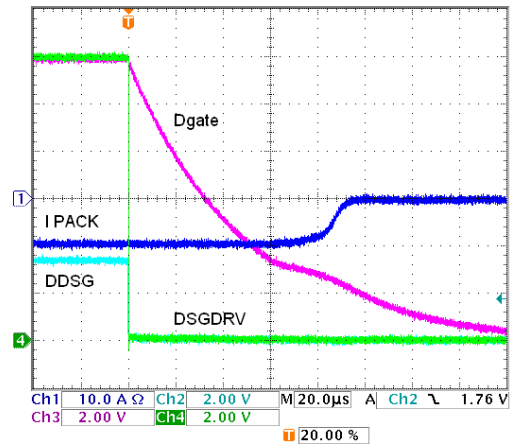


图 5-4. IC FET 驱动器驱动四个放电 FET 关断

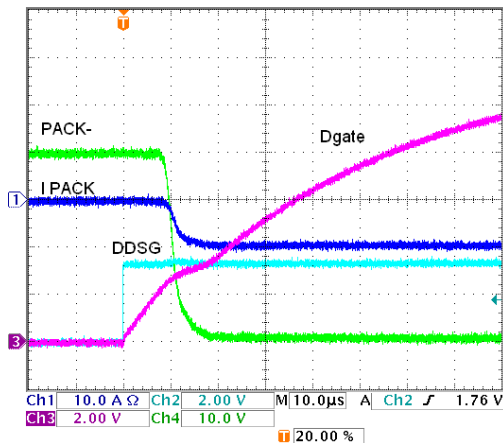


图 5-5. IC FET 驱动器驱动四个放电 FET 导通（添加肖特基二极管）

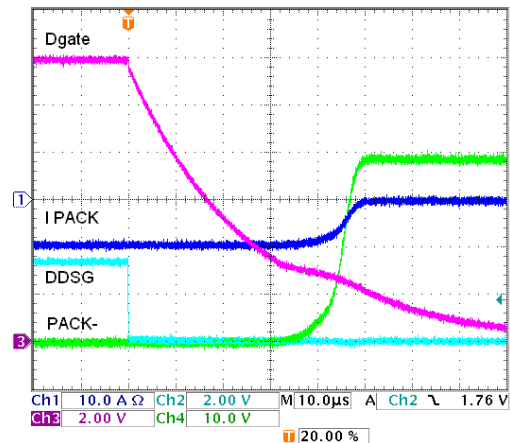


图 5-6. IC FET 驱动器驱动四个放电 FET 关断（添加肖特基二极管）

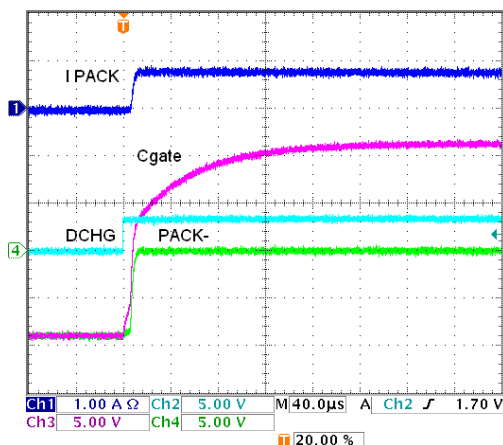


图 5-7. IC FET 驱动器驱动四个充电 FET 导通

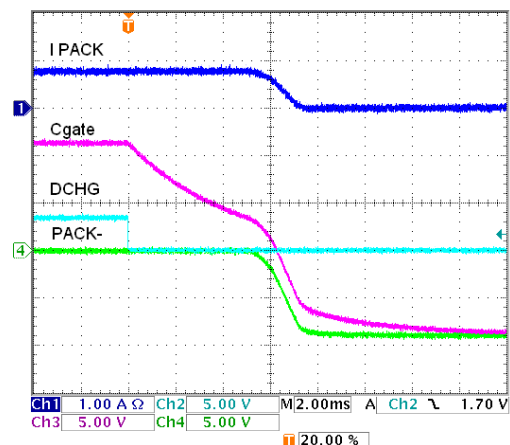


图 5-8. IC FET 驱动器驱动四个充电 FET 关断，91kΩ

图 5-9 中显示了一个包含 12 个放电和充电 FET 的电路设计。12 个 FET 使得栅极的总电容更大。对于 DSG，使用了较小的电阻。R29 等单独的栅极电阻不再只占栅极总电阻的一小部分，所以用铁氧体磁珠替代它们可能较为合适，但测试使用了 51 Ω 电阻。在充电路径中，添加了 PNP 晶体管来辅助关断，以避免小电阻在 CHG 导通期间发生偏置。结果如图 5-10 和后续图中所示。请注意，在 PNP 关断电路中，即使 FET 较多，图 5-13 中充电 FET 的关断时间也早于图 5-8 中仅使用下拉电阻时的关断时间。可使用 R24 基极电阻值调整关断速度。

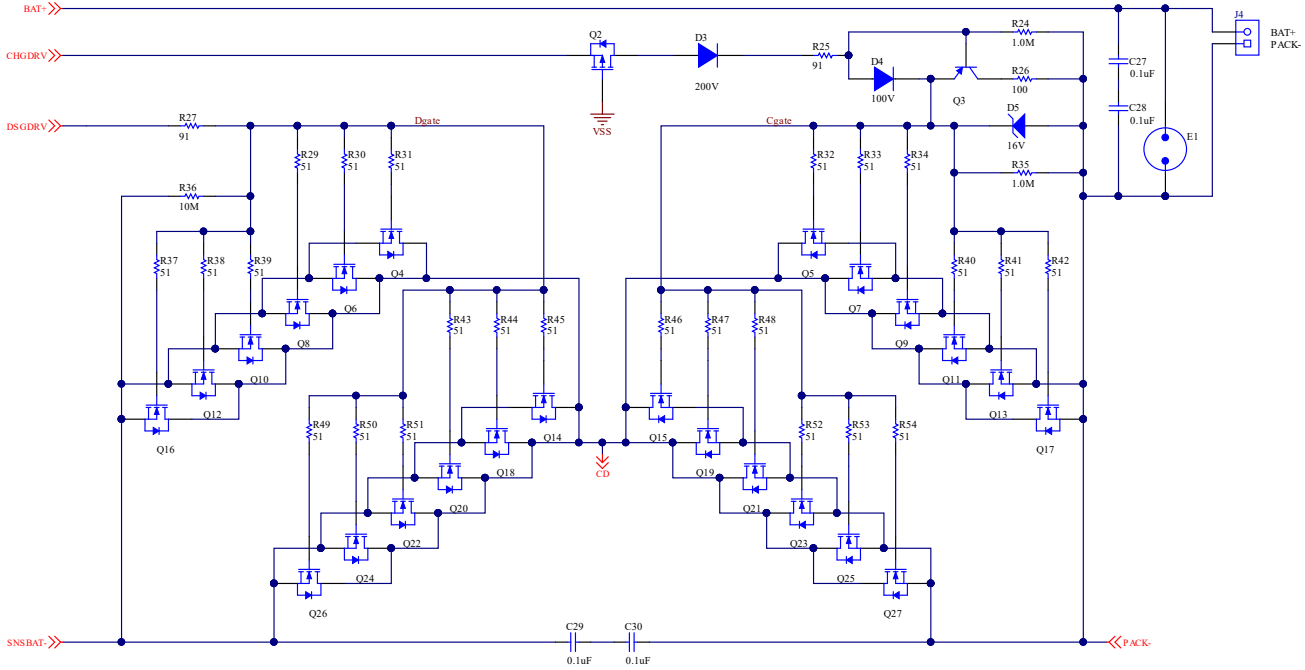


图 5-9. IC FET 驱动器驱动 12 个放电和充电 FET 的原理图

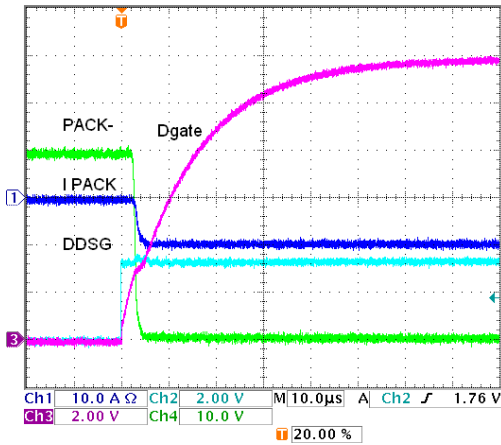


图 5-10. IC FET 驱动器驱动 12 个放电 FET 导通

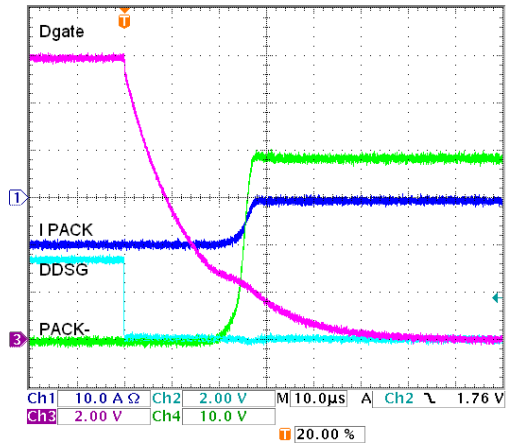


图 5-11. IC FET 驱动器驱动 12 个放电 FET 关断

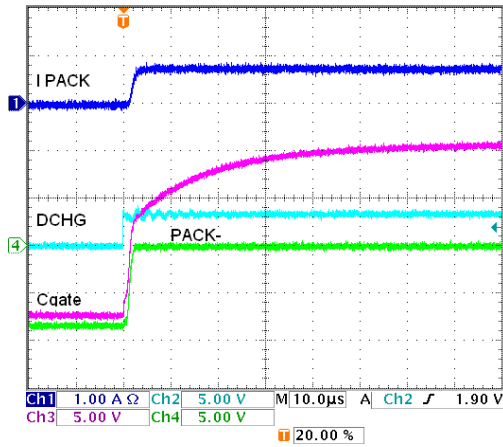


图 5-12. IC FET 驱动器驱动 12 个充电 FET 导通

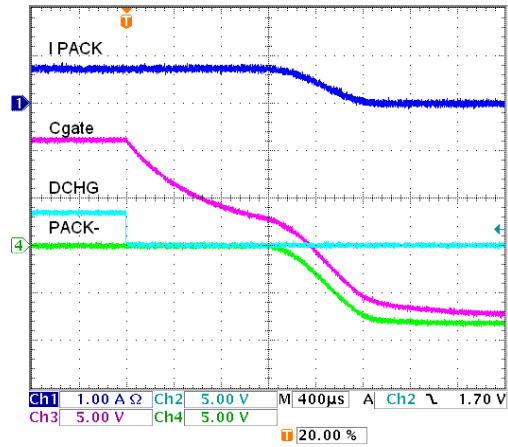


图 5-13. IC FET 驱动器驱动 12 个充电 FET 关断

当开关多个 FET 时，务必在开关期间检查电源。图 5-14 展示了 24 个 FET 导通时 12V 稳压器的输出。电流下拉稳压器输入，而稳压器输入会随着时间恢复。稳压器具有足够的余量，因此下降不显著，调节电压保持恒定。

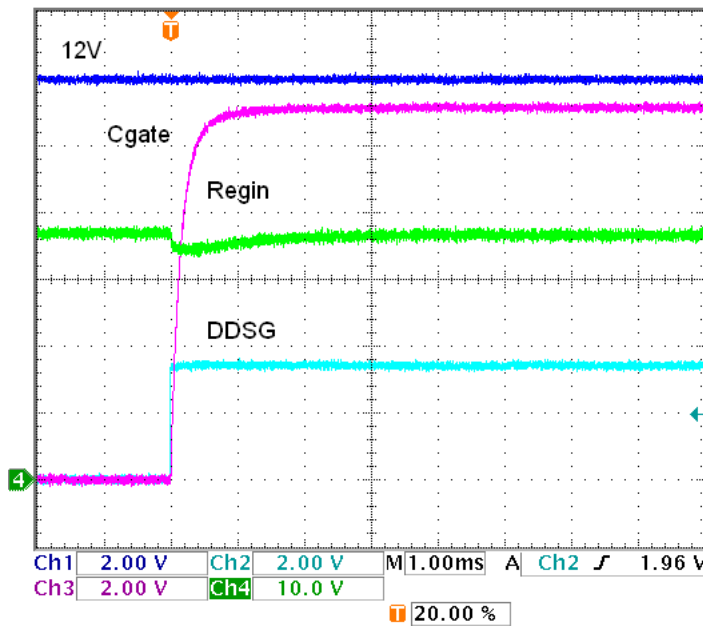


图 5-14. 24 个 FET 导通时的 12V 电源

6 晶体管驱动器设计

虽然 IC FET 驱动器功能强大，但有时候用户不需要集成驱动器的高性能，而可能选择使用晶体管设计驱动器。电路必须支持功率 FET 栅极的相同电压范围。DDSG 和 DCHG 信号的逻辑电平必须转换为功率 FET 的较高栅极电压。许多晶体管设计是可行的。如果晶体管驱动器的输入极性不同，则根据需要调整 BQ769x2 配置中 DDSG 和 DCHG 的极性。图 6-1 展示了一个测试电路示例。此电路也使用简单的稳压器，齐纳二极管通向 NPN 发射极跟随器以实现“12V”驱动器电压 VFET。R71 和 C68 对 BAT+ 上的瞬态进行滤波，以避免可能耦合 VFET 输出的情况。VFET 负载通常很小，但选择 R71 值和额定功率以实现为设计选择的连续和浪涌电流。虽然电路设计简单，但在 40V、280uA 下偏置齐纳二极管可能导致设计人员的设计更加复杂。放电驱动器使用单一 FET Q36 将电平转换为 VFET 电压电平。由于 Q36 反转信号，它的输入偏置为高电平，因此当存在 VFET 电压但未配置 DDSG 信号时，驱动器关断。DDSG 不得高于绝对最大电压 6V，因此使用了电压分压器。驱动器关断时，需要 R74 中的偏置电流。Q36 漏极处已转换电平的信号通过发射极跟随器 Q34 和 Q37 来驱动 FET 栅极。发射极跟随器配置将驱动电流通过 FET 开关区，但会限制电压，避免达到 VFET 和 GND 电平。

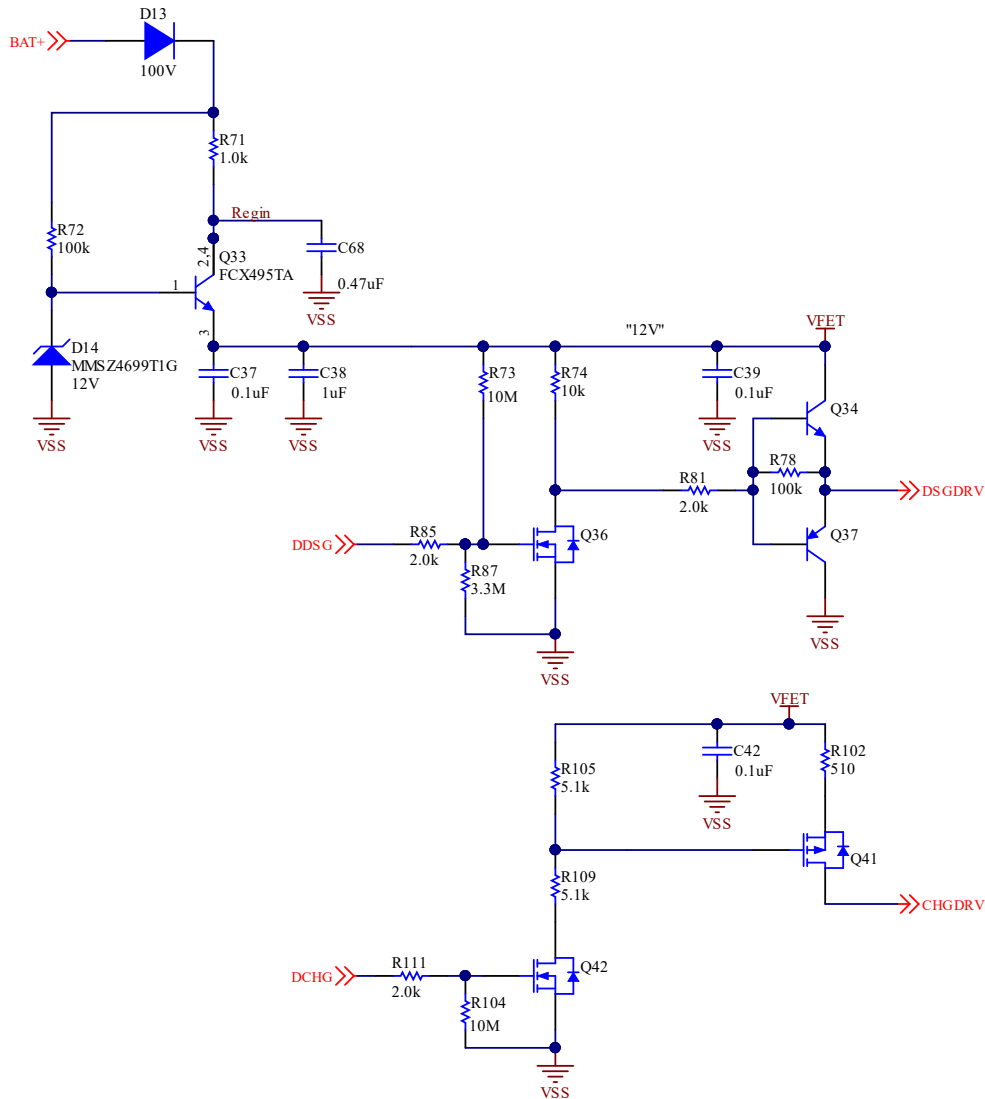


图 6-1. 晶体管驱动器示例原理图

对于反向放电驱动器，必须反转此驱动器的 DDSG 极性。

Settings:Configuration:DCHG Pin Config 0x22

充电驱动器是同相的，也不驱动低电平，因为使用了阻塞二极管。当 DCHG 处于高电平时，Q42 导通 Q41，为充电功率 FET 栅极提供 VFET 电压。输出电流受 R102 限制。当 DCHG 处于低电平时，Q42 关断，R105 关断 Q41，功率 FET R_{GS} 电阻或额外的栅极电路将功率 FET 栅极拉至低电平。

图 6-2 展示了由晶体管 FET 驱动器控制的单一放电和充电 FET 电路结构。P 沟道器件 Q2 不附带 FET，因为它的功能由晶体管驱动器电路 Q41 提供。

CSD19536KCS FET 用于测试晶体管驱动器电路。图 6-3 到图 6-6 展示了开关单一 FET 的结果。放电导通纹波表明，布局可能对于此导通速度敏感，并可能需要较大的 R27 或改进电路。

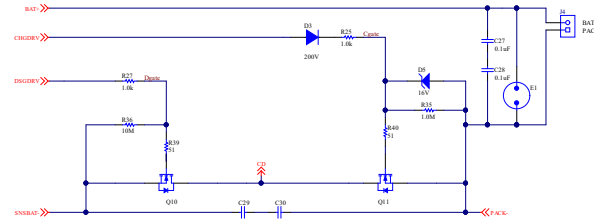


图 6-2. 使用晶体管驱动器的单个放电和充电 FET 的原理图

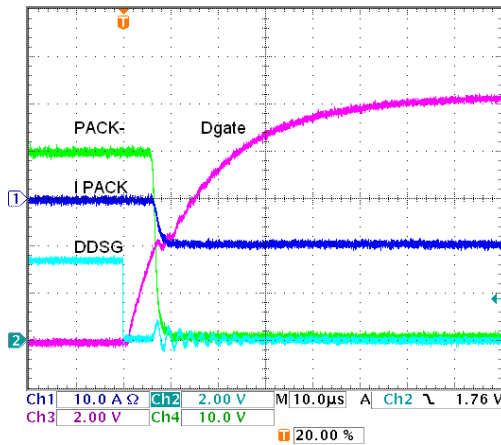


图 6-3. 晶体管 FET 驱动器驱动一个放电 FET 导通

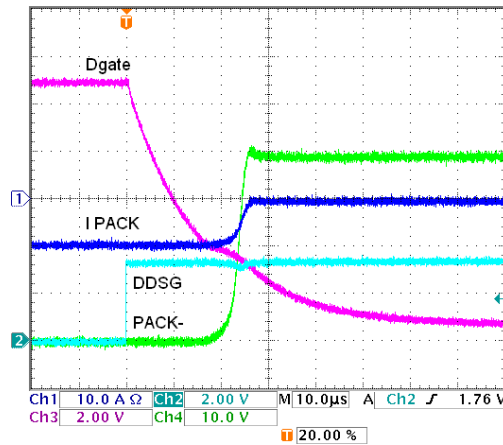


图 6-4. 晶体管 FET 驱动器驱动一个放电 FET 关断

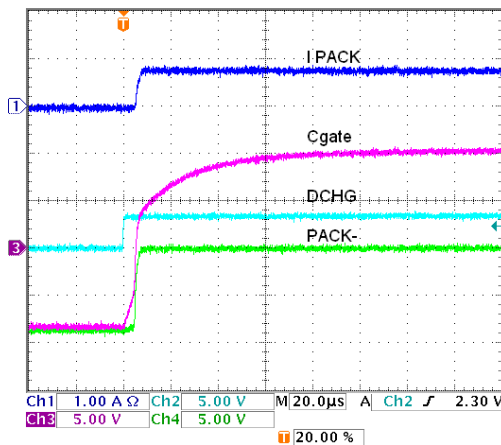


图 6-5. 晶体管 FET 驱动器驱动一个充电 FET 导通

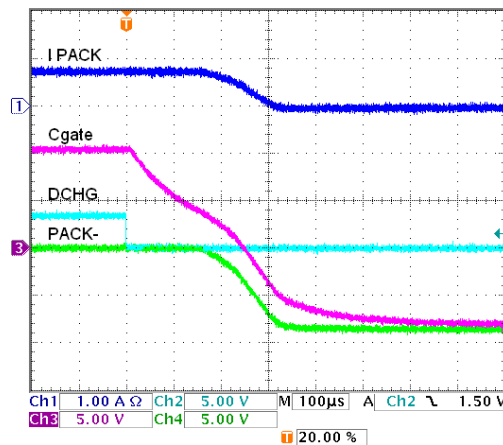


图 6-6. 晶体管 FET 驱动器驱动一个充电 FET 关断

许多 FET 就像 IC FET 一样，需要减小栅极驱动器电阻，以提供合适的开关。图 6-7 展示了一个具有 12 个放电和充电 FET 的测试电路，各 FET 由晶体管驱动器驱动。该电路与 IC FET 驱动器电路非常相似，但晶体管充电驱动

器包含一个 P 沟道输出器件，因此去掉了 Q2。图 6-8 到图 6-12 展示了测试结果。图 6-13 展示了为加快充电关断，将 R24 降至 91k Ω 后开关速度提高。

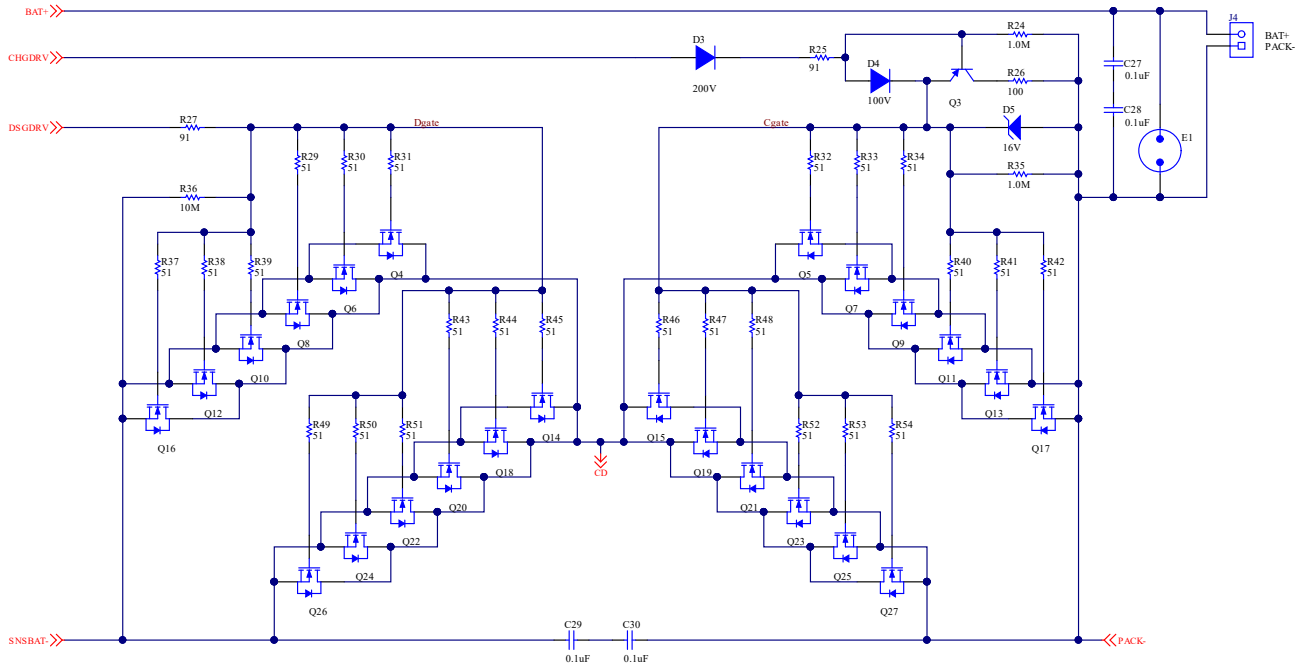


图 6-7. 使用晶体管驱动器的 12 个放电和充电 FET 的原理图

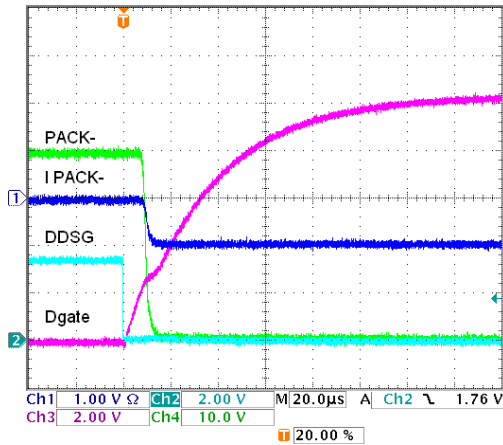


图 6-8. 晶体管 FET 驱动器驱动 12 个放电 FET 导通

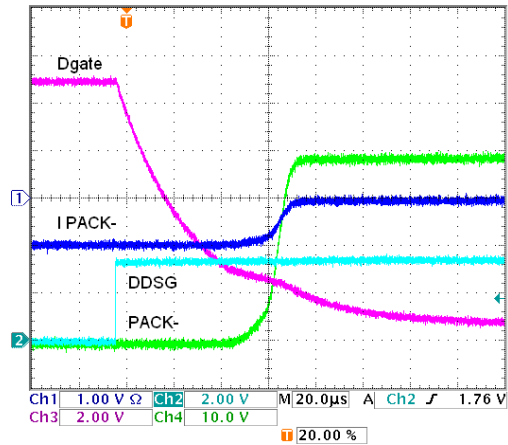


图 6-9. 晶体管 FET 驱动器驱动 12 个放电 FET 关断

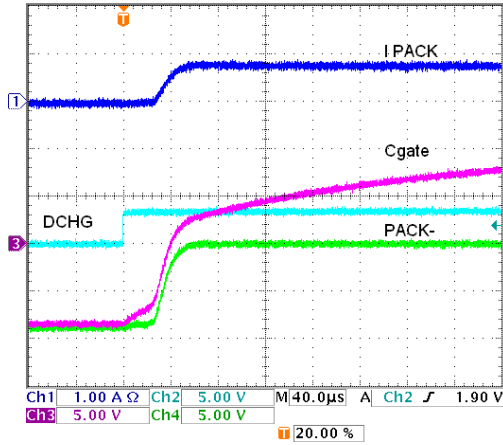


图 6-10. 晶体管 FET 驱动器驱动 12 个充电 FET 导通的细节

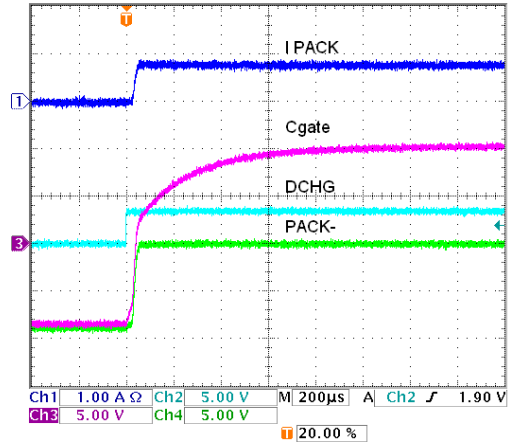


图 6-11. 晶体管 FET 驱动器驱动 12 个充电 FET 导通的

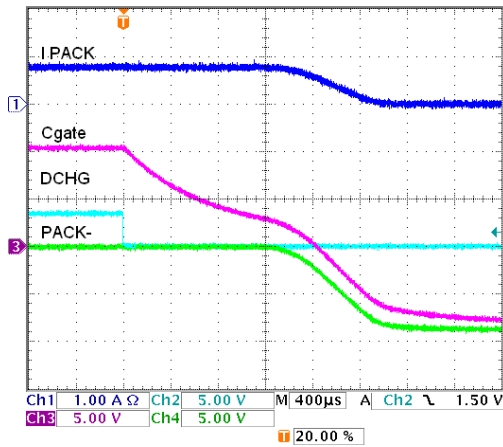


图 6-12. 晶体管 FET 驱动器驱动 12 个充电 FET 关断, PNP, 1 MΩ

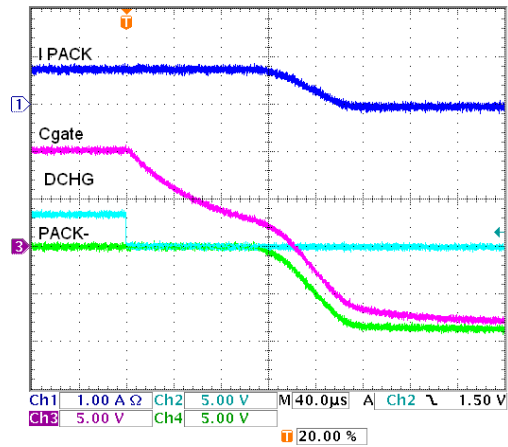


图 6-13. 晶体管 FET 驱动器驱动 12 个充电 FET 关断, PNP, 91 MΩ

在导通 24 个 FET 期间检查“12V”VFET 电源，发现导通期间有压降，如图 6-14 所示。由于齐纳二极管的容差和晶体管 Q33 的基极-发射极压降，“12V”VFET 电压的直流电平低于 12V。

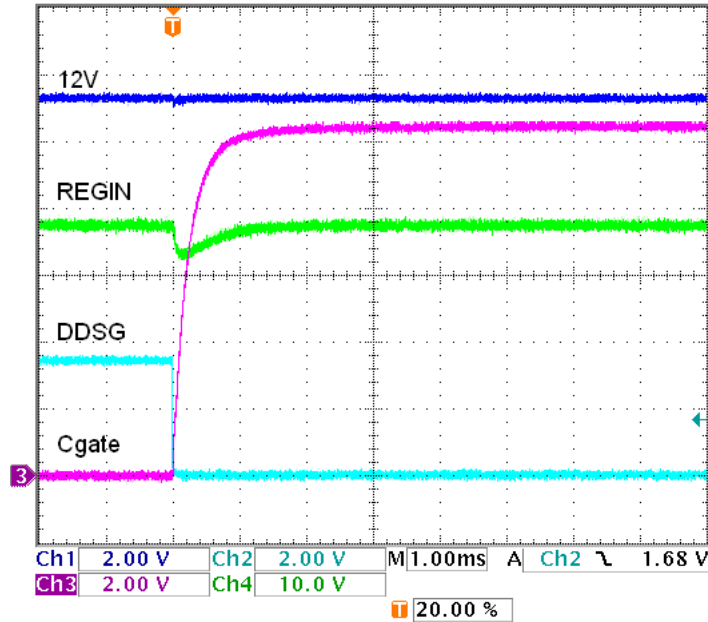


图 6-14. 12V 发射极跟随器，24 个 FET 导通

上述电路有一个 DSG 反向驱动器，始终偏置输入。发射极跟随器结构无法驱动到全电压或 GND。其他拓扑是可行的。图 6-15 展示了一个使用推挽驱动器的备用放电驱动器。此电路利用 DDSG 极性（导通时为高电平），当驱动器导通时需要偏置电流导通。开关期间没有击穿电流。在这种情况下，开关不频繁，击穿电流受 R101 限制。开关两个放电 FET 的示例如图 6-16 和图 6-17 所示。

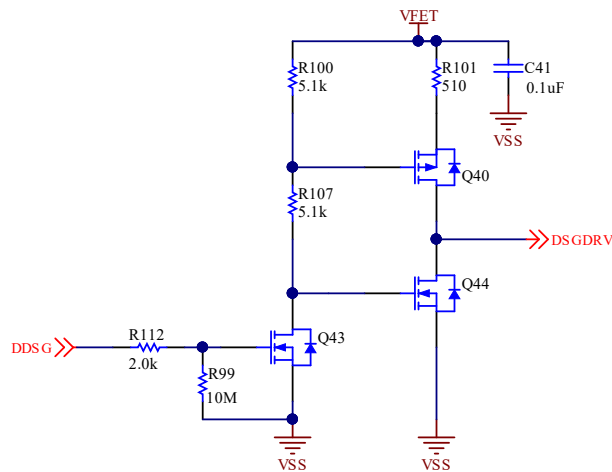


图 6-15. 备用 DSG 晶体管 FET 驱动器示例原理图

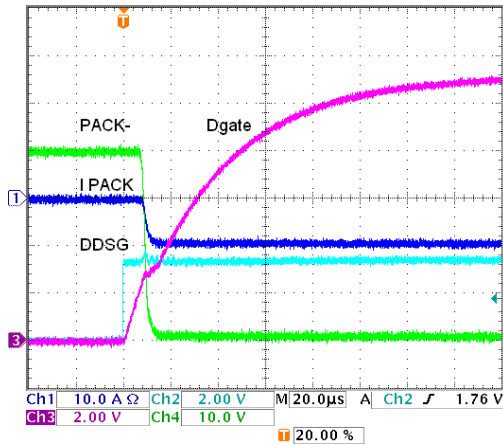


图 6-16. 晶体管 FET 驱动器驱动两个放电 FET 导通

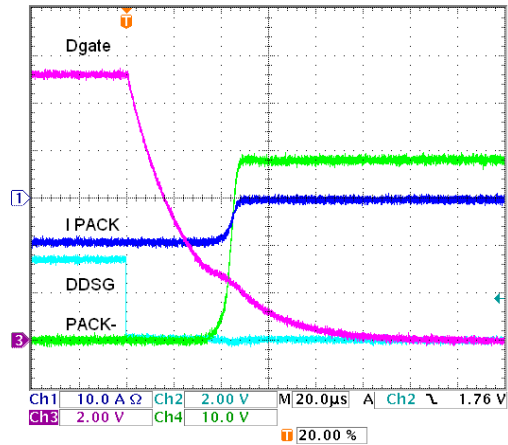


图 6-17. 晶体管 FET 驱动器驱动两个放电 FET 关断

在滤波输入 Regin 处可观察到“12V”VFET 上的驱动器负载。备用驱动器的击穿电流由电容器提供，在图 6-18 和图 6-19 的波形中不明显。

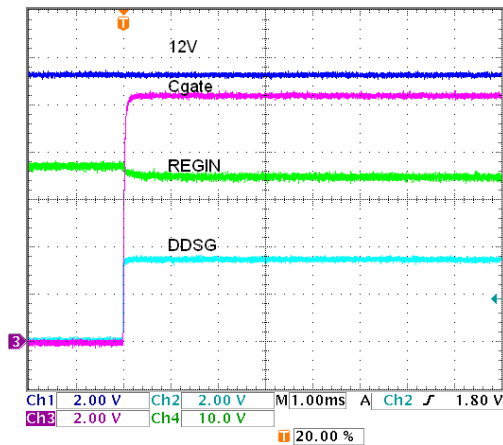


图 6-18. 12V，推挽驱动器导通

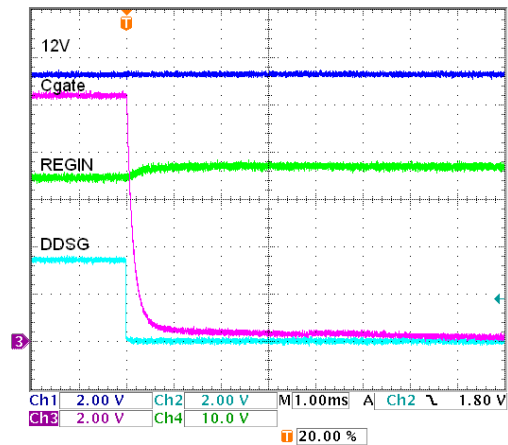


图 6-19. 12V，推挽驱动器关断

7 控制 LD

在高侧 FET 设计中，LD 引脚通常连接到 PACK+ 并用于 DSG 驱动基准、唤醒信号和电流恢复（如果已选）。数据表指出，当不使用驱动器时，LD 可能通过电阻连接到 PACK+ 或者拉至 VSS。如果拉到高电平，它会阻止器件进入关断模式。如果连接到 VSS，则不能用于控制电流恢复。MCU 可使用主机命令恢复 OCD 事件。该器件提供上拉电阻来测试负载是否移除，因此需要时可设计一个电路来控制 LD。如果不通过命令提供电流恢复，MCU 可以控制电路，或者如果没有可用的 MCU，可通过 PACK- 引脚电平来控制它，如图 7-1 中所示。在发生使 PACK- 接近 PACK+ 的故障后，PACK 端子上存在负载时，LD 保持低电平。如果配置适当，将阻止从电流故障中恢复。电路在 PACK- 上提供下拉电阻，如果移除负载，以使此下拉电阻可以关断信号 FET Q32，LD 将释放，BQ769x2 将 LD 拉到高电平，允许电流恢复。请注意，电路将在 PACK- 上提供下拉电阻，后者通常将 PACK 电压保持在正常电平附近，当 PACK 端子上存在负载时，它会成为电池上的泄漏点。当 CHG 保持导通时，栅极驱动电压将上拉 PACK- 电压，而根据 R66 和 R67 电阻的值，可能阻止关断 Q32。

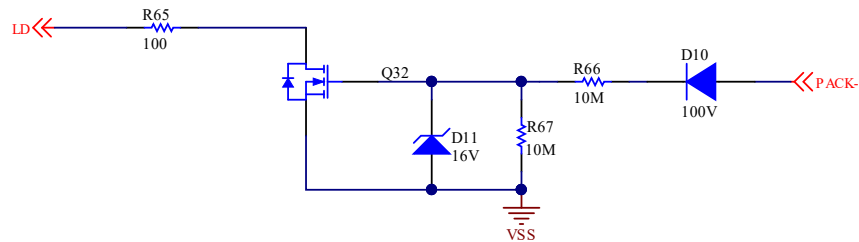


图 7-1. LD 负载检测电路原理图

图 7-2 展示了测试电路的 OCD 事件。DDSG 关闭，负载上拉 PACK-，电路下拉 LD。充电 FET 栅极 Cgate 也会由 PACK- 上拉，随着时间的流逝放电至 PACK- 电平。在 DCHG 导通的情况下，当负载释放但器件保持唤醒状态时，驱动器将 PACK- 向上偏置到驱动器电平附近。根据为 R66 和 R67 选择的分压电阻，电路可能使 LD 保持在低电平，恢复将不会发生，直至连接充电器，如图 7-3 中所示。BQ769x2 处于睡眠状态时，如果 CHG 在睡眠期间关断，PACK- 可在负载移除后下降，恢复可能快速发生，如图 7-4 中所示。如果在 Protections:Load Detect:Active Time 之后并在电流停止后移除负载，器件将在 Protections:Load Detect:Retry Delay 之后重试，如图 7-5 中所示。如有必要，器件将一直重试，直至 Protections:Load Detect:Timeout。

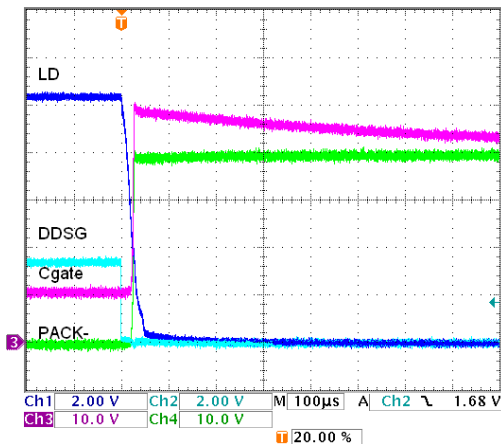


图 7-2. OCD 和受控 LD

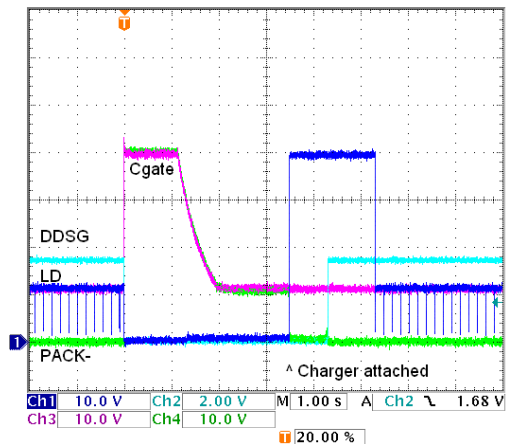


图 7-3. OCD 和从充电器连接恢复

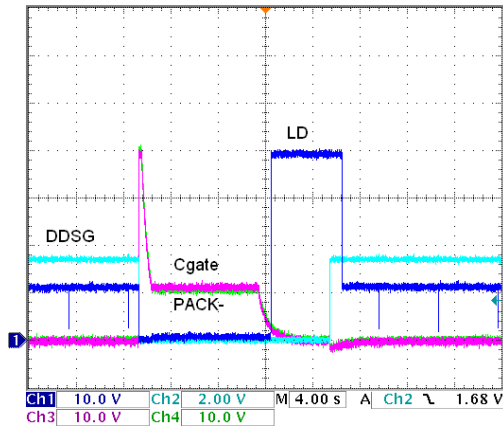


图 7-4. 睡眠期间的 OCD 和恢复

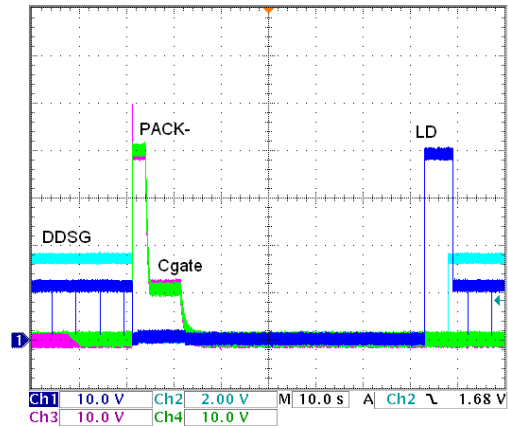


图 7-5. 睡眠期间的 OCD 和重试后恢复

由于低侧开关和 LD 连接到由上述电路控制的 VSS 或 LD，唤醒信号需要来自 TS2。执行此操作的简单电路如图 7-6 中所示。当朝向 PACK+ 上拉“唤醒”信号时，TS2 下拉导致 BQ769x2 唤醒。如果唤醒信号直接连接到 PACK+，电路将在电池上提供持续漏极。根据需要调整 R80 的值并提供瞬态保护或使用适合该应用的替代电路。

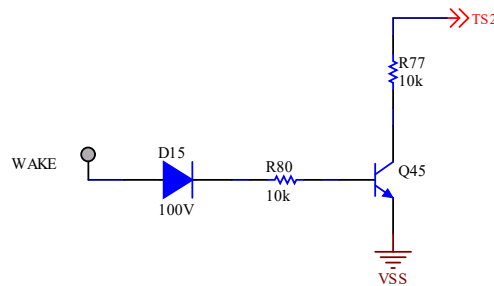


图 7-6. 唤醒电路示例原理图

8 低侧 FET 的预充电和预放电

BQ769x2 的 DDSG 和 DCHG 输出结合了前置和主 FET 驱动信号。如果设计人员想要添加预充电和/或预放电功能，可以选择从主机控制预充电或预放电路径，或者使用逻辑在应用前置信号时抑制主 FET 驱动器。使用主机时，预充电和预放电 FET 驱动器可能看起来像前面部分中说明的主 FET 驱动器。

BQ769x2 的预充电和预放电输出仅以 BAT 电压为基准，以 VSS 为基准的数字版本不可用。若要在低侧设计中添加预充电和预放电功能，需要通过一个电路进行从高侧到低侧 FET 的电压转换，示例参见图 8-1。P 沟道信号 FET (Q28、Q29) 用于生成电流，电流将流向低侧的电阻 (R51、R52) 以导通 FET。齐纳二极管 (D8、D9) 限制了 FET 栅极的接入电压。漏极路径中的电阻 (R58、R60) 降低了 Zener 二极管的接入电压，限制了漏极电流。如有需要，可使用拉电流路径中的电阻来限制电流。电流将因电池电压而异。电阻的比率将决定低侧 FET 栅极的电压。也必须调整较低电阻的大小以执行关断。PACK- 可以摆动到 GND 之下和 PACK+ 之上，因此可加入二极管 (D7) 以避免电流经过这些器件。

图 8-1 中的电路显示信号转换电路以及预充电和预放电 FET，通过 4.7k Ω 电阻限制预充电和预放电的电流路径。此系统解决方案并不完整，因为它不含在主 FET 未同时导通时让这些电路工作的逻辑。例如，仅当 DDSG 激活并且 PDSGgate 信号处于低电平时，才会启用主放电 FET。4.7k Ω 电阻也需要调整，以实现设计中所需的电流和允许的功率。

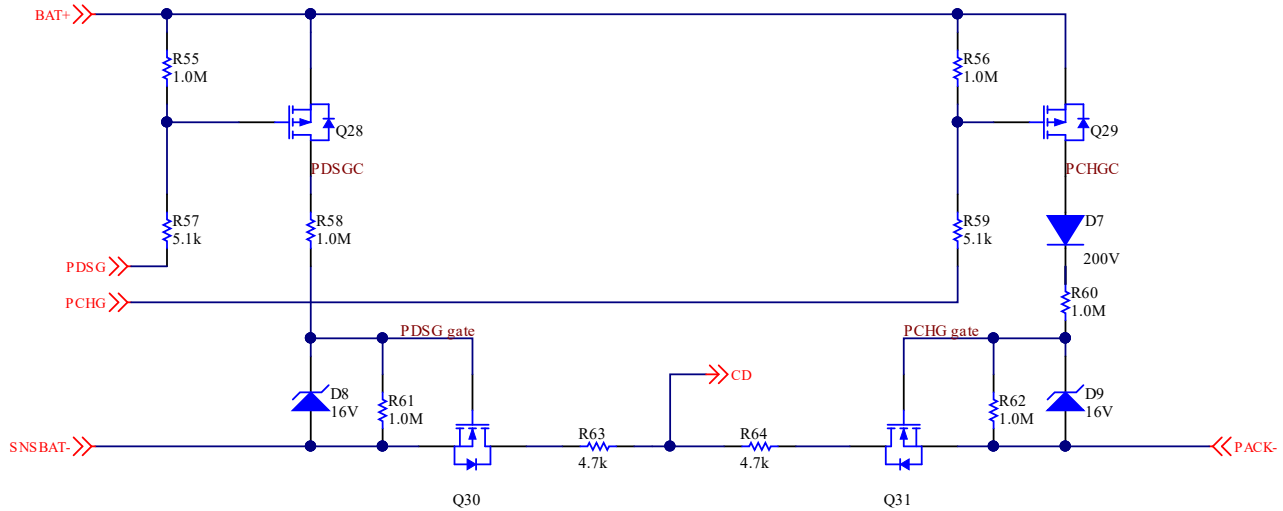


图 8-1. 预充电和预放电测试电路原理图

PDSG 和 PCHG 在关断时具有高阻抗，PDSG 由 R55 和 R57 上拉，PCHG 由 R56 和 R59 上拉。当 PDSG 和 PCHG 激活时，电压拉至 BAT 电平以下，适当时导通 Q28 和 Q29。连接示波器探头以观察 PDSG 和 PCHG，这一般会下拉信号并导通 FET，因此图中没有显示这些信号。

有关预充电电路的图 8-2 和图 8-3 展示了电平转换电路的基本操作。在此电路中，电平转换直接控制 FET。在这些波形中，DCHG 断开连接，所以主充电 FET 保持关断，PACK- 保持在 GND 之下。示波器探头的加载将下拉高阻抗输出，导通外部 FET，因此波形中没有显示 PCHG 信号。当 CHG 信号变为低电平时，P 沟道 FET 将 PCHGC 信号上拉至电池电压，将 PCHG 栅极信号提升至齐纳二极管的限值。由于路径的电流受限，充电器电压保持在电池电压（图中的探头基准）之下。用大电阻保持小电流，所以开关缓慢，关断时最为明显。由于路径中的电流减小，缓慢开关可能适合 FET，但经常因低电流而使用小型 FET。使用合适的方法进行设计。生成逻辑电平信号来控制主充电驱动器时，请注意开关速度以及 PACK- 的大幅电压波动。使用以 VSS 为基准的路径进行逻辑控制。另外，当考虑使用此电路时，注意 PCHG 和 PDSG 以 BQ769x2 的滤波 BAT 引脚为基准。如果 BAT+ 上存在瞬态，请考虑对 Q28 和 Q29 的 V_{GS} 电压进行滤波或限制，并考虑干扰对逻辑电路的影响。

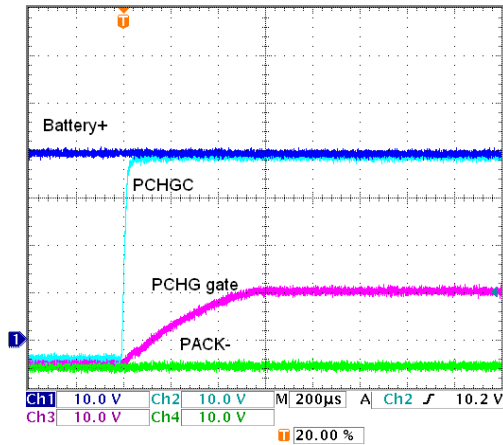


图 8-2. 预充电导通

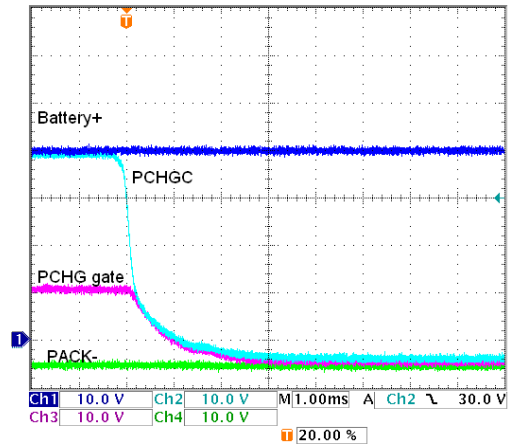


图 8-3. 预充电关断

图 8-1 中所示的预放电路径以检测电阻为基准，后者不会远离 VSS 并通过 FET 栅极阈值进行调节。图 8-4 展示了在没有主放电 FET 的逻辑控制的情况下测试电路的局限性。PDSG 导通 PDSG 信号，后者导通 PDSGgate 和预放电路径，但 DDSG 也会变为高电平，从而导通主放电 FET，立即下拉 PACK-，而非使用电流受限的预放电路径。低电平下 PACK- 的电平变化源于预放电周期中 DCHG 信号的临时关断。在预放电期间，需要通过逻辑禁用主放电 FET，以使预放电生效。

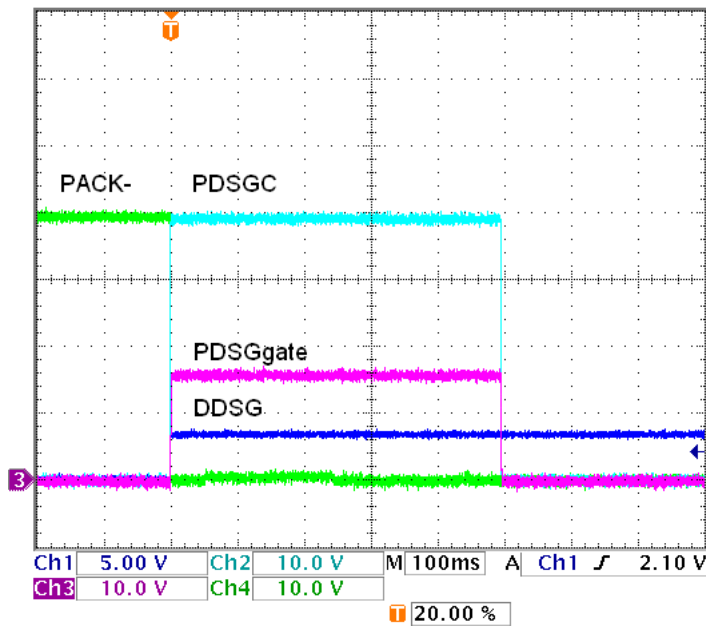


图 8-4. 预放电导通

9 总结

使用低侧 FET 和 BQ769x2 监测器件设计电路时，可使用 DDSG 和 DCHG 进行控制。设计人员可根据需求从各种驱动器中进行选择。DDSG 和 DCHG 是逻辑信号，并不用于驱动 FET，但在某些情况下，设计人员可以成功使用 DDSG 和 DCHG 来驱动 FET。IC FET 驱动器功能强大，但设计人员也能选择使用晶体管驱动器来驱动 FET。PDSG 和 PCHG 包含在 DDSG 和 DCHG 时序中，如果用户想要通过 BQ76952 控制预充电和预放电，则必须采取隔离措施进行 FET 控制。本应用报告中的示例将帮助设计人员选择一种方法来实现电池低侧开关。

10 参考文献

- 德州仪器 (TI), [BQ76952 3-16 节串联电池监测器和保护器数据表](#)
- 德州仪器 (TI), [BQ769142 3-14 节串联电池监测器和保护器数据表](#)
- 德州仪器 (TI), [BQ76942 3-10 节串联电池监测器和保护器数据表](#)
- 德州仪器 (TI), [《BQ76952 技术参考手册》](#)
- 德州仪器 (TI), [BQ769142 技术参考手册](#)
- 德州仪器 (TI), [《BQ76942 技术参考手册》](#)
- 德州仪器 (TI), [《BQ76952EVM 用户指南》](#)
- 德州仪器 (TI), [《BQ76942EVM 用户指南》](#)
- 德州仪器 (TI), [CSD18535KCS 60V N 沟道 NexFET™ 功率 MOSFET](#)
- 德州仪器 (TI), [《CSD19536KCS 100V N 沟道 NexFET™ 功率 MOSFET》](#)
- 德州仪器 (TI), [UCC2752x 双路 5A 高速低侧栅极驱动器](#)
- 德州仪器 (TI), [MOSFET 和 IGBT 栅极驱动器电路的基本原理](#)

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2021) to Revision A (February 2022)

	Page
• 修订了标题，向“摘要”添加了 BQ769142.....	1
• 向节 2 添加了电路说明.....	6
• 向节 3 添加了说明.....	9
• 更正了图 4-8 中的 FET 方向，向节 4 添加了说明.....	10
• 更正了图 5-2 和图 5-9 中的 FET 方向.....	15
• 在节 6 中增补了电阻说明，更正了图 6-7 中的 FET 方向.....	19
• 在节 8 中增添了信号说明.....	27
• 向节 10 添加了 BQ769142 文档.....	30

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司