

## FPD Link 主要功能模块介绍

Wayne Liu

Sales and Marketing/China Automotive

### ABSTRACT

FPD Link 器件广泛的应用于汽车影音娱乐以及 ADAS 系统中高清视频数据的传输。本文主要总结了 FPD Link 串行、解串芯片的主要功能模块的基本工作原理以及其在链路中的作用，便于工程师们快速理解和应用 FPD Link 系列产品。

### Contents

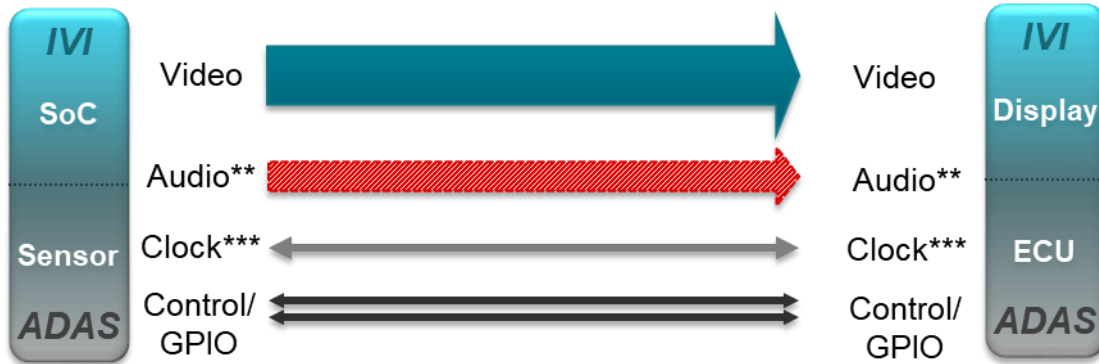
<b>1</b>	<b>FPD Link 系统架构</b> .....	<b>2</b>
<b>2</b>	<b>FPD Link 串行芯片架构介绍</b> .....	<b>4</b>
	2.1 视频接口 .....	4
	2.2 视频编码成帧 .....	4
	2.3 时钟模块 .....	5
	2.4 I2C 控制模块.....	6
	2.5 反向数据通道 .....	6
<b>3</b>	<b>FPD Link 解串芯片架构介绍</b> .....	<b>6</b>
	3.1 自适应均衡电路(Adaptive Equalizer) .....	7
	3.2 CDR 模块.....	8
<b>4</b>	<b>参考文献</b> .....	<b>8</b>

### Figures

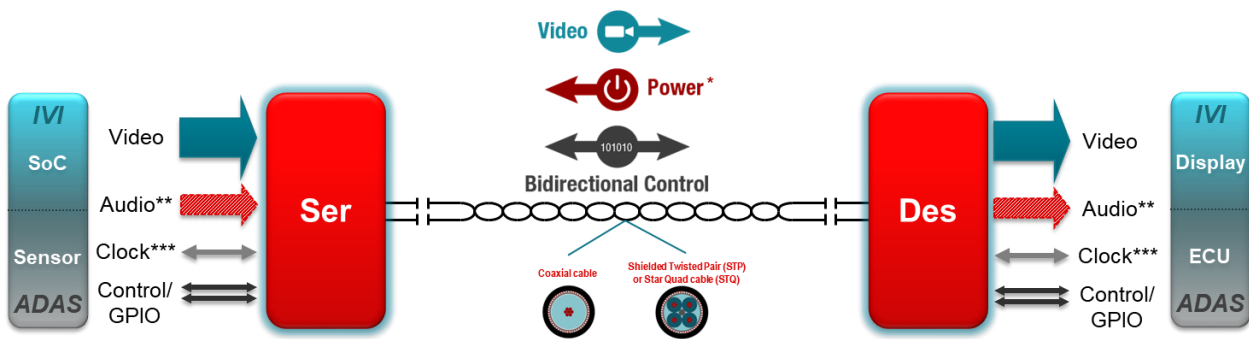
<b>Figure 1.</b>	<b>FPD Link 典型应用框图</b> .....	<b>2</b>
<b>Figure 2.</b>	<b>FPD Link 信号结构</b> .....	<b>2</b>
<b>Figure 3.</b>	<b>FPD Link 支持多种线束</b> .....	<b>3</b>
<b>Figure 4.</b>	<b>FPD Link 串行器典型的应用框图</b> .....	<b>4</b>
<b>Figure 5.</b>	<b>DS90UB953-Q1 前向通道帧结构</b> .....	<b>4</b>
<b>Figure 6.</b>	<b>DS90UB953-Q1 对输入时钟抖动的要求</b> .....	<b>5</b>
<b>Figure 7.</b>	<b>反向通道帧结构</b> .....	<b>6</b>
<b>Figure 8.</b>	<b>FPD Link 解串器典型内部结构</b> .....	<b>7</b>
<b>Figure 9.</b>	<b>高速信号眼图变化</b> .....	<b>7</b>
<b>Figure 10.</b>	<b>CDR 功能模块</b> .....	<b>8</b>
<b>Figure 11.</b>	<b>CDR Jitter Tolerance</b> .....	<b>Error! Bookmark not defined.</b>

## 1 FPD Link 系统架构

在车载影音娱乐和 ADAS 系统中，由于汽车空间结构的分配与限制，处理视频数据的 SoC 与显示面板并不是布置在一起，获取图像的传感器与 ECU 也不在一起，这就需把 SoC 或者图像传感器输出的数据通过线束传递到显示面板或者 ECU 中，如 Figure 1 所示。视频数据一般都是 RGB/HDMI/OLDI/DSI/CSI 等并行的高速数据，如果将这些高速并行数据不经串化处理而直接传输，要求接插件的针数较多，尺寸较大，同时线束的重量、数量和成本都会比较大，线束的安装布局也会比较困难；同时，多条并行数据之间、数据与时钟之间的传输相位可能会出现明显的偏移，给系统带来传输误差；由于并行数据数量众多（有的多至 30 多位）且是单端信号，因此 EMC 设计难度也会大大增加；而且，并行数据只能单向传输，如果要实现系统的双向通信需要额外的反向传输通道。



TI 在业界率先提出了串行、解串器（FPD Link）的方案，通过把发送端的多条并行数据（包括视频和控制、语音等数据）转换成单条的串行数据，在接收端再把串行的数据转换恢复成显示面板或者 SoC 能接收的并行视频格式和低速控制信号，如 Figure 2 所示，使上文中提到的所有问题都得以解决。



TI FPD Link 除了能够完成视频数据的传输，它还有其他一些特点：

- ❖ POC (Power Over Cable)

由于视频数据经过了 scramble 编码，空出了低频频段，系统可以利用视频传输线束的直流频段，向远端的摄像头供电，简化 ADAS 系统远端摄像头的供电设计。

❖ 双向控制信号传输

类似于 POC 的原理，FPD Link 器件可以利用视频传输之外的信息位双向传送控制信号，实现诸如远端器件的寄存器访问、软件配置、显示器背光控制、触屏中断以及位置信息的上传等。

❖ 集成信号调理技术

在部分应用场景中视频源与接收端距离比较远，线束较长，信号幅度衰减较大。解串器中都集成了高速信号调理技术（Signal Conditioner），如 Adaptive Equalizer, CDR 等模块，用于延长视频的传输距离。

❖ 支持多种视频线束

TI FPD Link 支持高速差分线束（STP, STQ 等）和同轴（Coax）电缆。灵活的视频线束选择，使 FPD Link 适用于多种应用场景，参见 Figure 3。

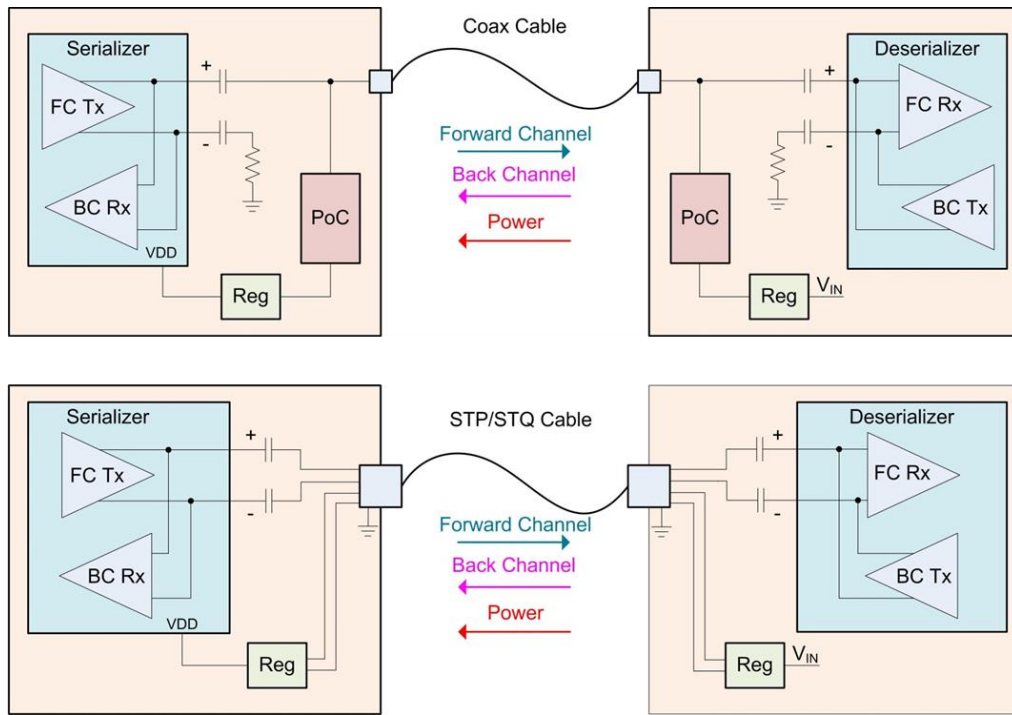


Figure 3. FPD Link 支持多种线束

## 2 FPD Link 串行芯片架构介绍

在视频数据的发送端是 FPD Link 串行器 (TX)。串行器主要包括了视频接口、格式编码器、串行器、时钟电路、控制电路以及反向通道恢复电路，框图如 Figure 4。

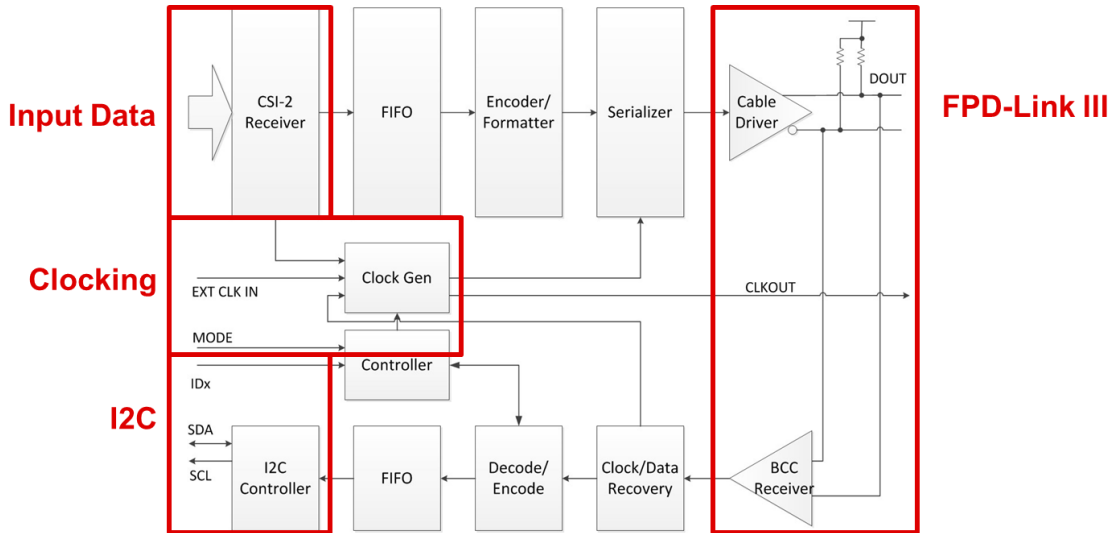


Figure 4. FPD Link 串行器典型的应用框图

### 2.1 视频接口

常见的视频接口有 RGB、OLDI、HDMI、DSI、CSI、DP 等。一般一颗串行芯片只能支持一种视频接口，设计者需要根据 SoC (IVI) 或者 Sensor/ISP(ADAS)提供的视频接口选择合适的串行芯片。Figure 4 为 DS90UB953-Q1 的内部框图，视频接口为 CSI-2，数据率为 1.6Gbps/Lane，一个 CSI-2 接口提供总共 6.4Gbps 的数据吞吐率，只要视频数据率低于这个最大吞吐率就可以被传输。

### 2.2 视频编码成帧

如下 Figure 5 为 DS90UB953-Q1 的输出帧格式。

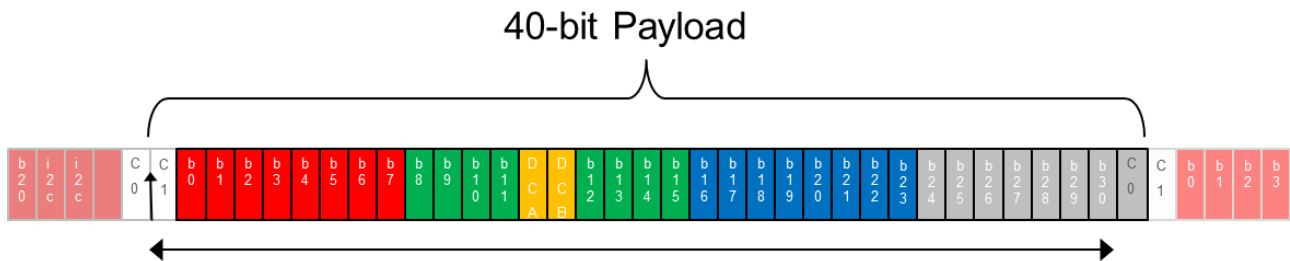


Figure 5. DS90UB953-Q1 前向通道帧结构

红蓝绿数据是真正的视频数据，灰色是 GPIO/I2C/Audio/INT 信息，白色以及黄色是同步和 DC balance 位。不同的 FPD Link 产品的这个字符串长度会有差异，913 和 933 是 28bit, 935/953 为

40bit, 94x 为 35bit。前向通道的数据速率不仅和帧长相关,也和视频数据的 PCLK 相关。以 933 为例: 对于 12-bit mode, 把每三个像素的数据分发入两帧, 每帧数据为 28bits, 所以线束中的数据率  $line\ rate = f_{PCLK} \times (2/3) \times 28$ , 如果取  $f_{PCLK} = 100\ MHz$ ,  $line\ rate = (100\ MHz) \times (2/3) \times 28 = 1.87\ Gbps$ ; 对于 10-bit mode, 把每两个像素分发入同一帧中, 每帧数据为 28bits, 则  $line\ rate = f_{PCLK}/2 \times 28$ ; 取  $f_{PCLK} = 100\ MHz$ ,  $line\ rate = (100\ MHz/2) \times 28 = 1.40\ Gbps$ 。

对于 935 或者 953 来说, 每帧数据为 40bits, 每一帧里边可以包含 4 个 CSI-2 端口输出的 8bits, 其它为 GPIO/INT/I2S 信息。对于 synchronous mode,  $line\ rate = Ref\_CLK \times 160$ , Ref\_CLK 为 23~26MHz; 对于 nonsynchronous mode,  $line\ rate = Ref\_CLK \times 80$ , Ref\_CLK 为 25~52MHz。

这些数据帧后续会经过串行器的 8B/10B 或者 scramble 扰码, 实现数据的 DC 均衡, 方便链路的 AC 耦合传输, 同时, 数据经过扰码以后使得带宽范围变为经验值范围[Line rate/20, Line rate/2], 单位为 Hz。

### 2.3 时钟模块

FPD Link 发送方向的信号流向为: 视频源模块以 PCLK 频率输出的并行信号, 输入给加串器, 然后经过加串器内部的 8B/10B 编码器或扰码器 (Scrambler), 以更高时钟进行并串转换, 之后串行数据再经过驱动器 (Driver) 发送出去。因为串行器把低速的并行输入数据串化到高速的串行数据, 数据率提升很多倍, 所以串行器需要从输入的低速时钟中通过 PLL + VCO 的方式生成一个高速时钟。

时钟模块主要是为整个系统提供参考时钟, 确保系统同步工作。串行器的参考时钟可以有几个选择:

a. SoC 视频接口提供的随路时钟; b. 本地提供的晶体或者晶振时钟; c. 从反向通道中恢复的解串器提供的参考时钟; d. 芯片自身集成的时钟振荡电路。工程师选取芯片特定的参考时钟模式后, 时钟模块会将相应的时钟分发到芯片的各个模块中, 包括帧编码模块、串行器模块和锁相环, 从而保证整个芯片乃至整个系统工作时钟源一致, 避免 FIFO 的溢出和空载, 也避免视频数据的行场、帧场同步信息紊乱。

时钟模块是串行器很关键的一部分, 它的抖动性能决定了串行器输出高速信号的质量。时钟模块是一个模拟部件, 对输入参考时钟的抖动、电源噪声都比较敏感。设计者需要特别注意这部分的电路设计以及器件选型。Figure 6 是 953 对回传通道输入信号和 CSI 输入时钟抖动的要求。

#### Recommended Operating Conditions (continued)

Over operating free-air temperature range (unless otherwise noted)

		PIN OR FREQUENCY	MIN	NOM	MAX	UNIT
t <sub>JIT-BC</sub>	Back channel input jitter for synchronous mode	DOUT+, DOUT-			0.4	UI <sub>BC</sub> <sup>(1)</sup>
t <sub>JIT</sub>	Input clock jitter for asynchronous mode	CLKIN			0.05	UI <sub>CLK_IN</sub> <sup>(2)</sup>

(1) Synchronous mode - The back channel unit interval (UI<sub>BC</sub>) is 1/(BC line-rate). For example, the typical UI<sub>BC</sub> is 1/100 MHz = 10 ns. If the jitter tolerance is 0.4 UI, convert the jitter in UI to seconds using this equation: 10 ns × 0.4 UI = 4 ns

(2) Asynchronous mode - For CLK\_IN, the UI is defined as 1/clock\_freq. For example for CLK\_IN, the typical UI<sub>CLK\_IN</sub> is 1/50 MHz = 20 ns.

Figure 6. DS90UB953-Q1 对输入时钟抖动的要求

## 2.4 I2C 控制模块

FPD Link 器件除了可以被本地控制器通过 I2C 访问，还可以通过 I2C 访问对端的器件以及挂在对端器件上的其他器件，比如 MCU、Image Sensor。在手册中，我们定义串行器为 SER Device，解串器为 DeSER Device，挂在 SER/DeSER 上的其他器件为 Slave Device。当要通过 SER 访问 DeSER 侧的 Slave Device A 时，在 SER 设置 Slave ID\_x = Slave Alias ID\_x = Slave Device A 的 I2C 地址 Slave Alias ID\_x 即可，这样 SER 就可以直接访问对端对应的 Slave Device 了。

## 2.5 反向数据通道

反向通道是 TI 独有的专利技术（专利号 US20120002573），是指与视频反方向的低速数据通道，即从解串芯片到串行芯片，用于传输 GPIO/INT/I2C 等控制信号。利用频分双工的原理，解串芯片把这些低速控制信号组成一个固定 30 比特帧长的数据帧，如 Figure 7 所示，并调制到一个固定的不随前向视频数据率的改变而改变的传输频率。为了减少反向通道对前向通道的频率干扰，反向通道采用了较低的传输频率：例如在 953+954 的应用中，当芯片配置在 sync mode 下，反向通道的速率是 50Mbps；当芯片配置在 non-sync mode 下，反向通道的速率是 10Mbps；在 933+954 的应用中，反向通道的速率为 2.5Mbps。954 的反向通道还可以传送同步时钟，这样摄像头模块就可以不需要本地晶振，减少了自身的 BOM 成本。

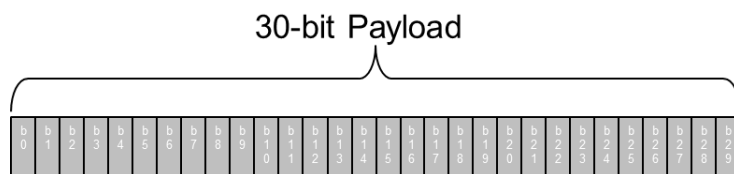


Figure 7. 反向通道帧结构

## 3 FPD Link 解串芯片架构介绍

接收端（RX）解串芯片主要包括了信号调理模块（AEQ+CDR）、输出格式编码器、时钟模块、反向发送通道、芯片诊断模块等，如 Figure 8 所示。



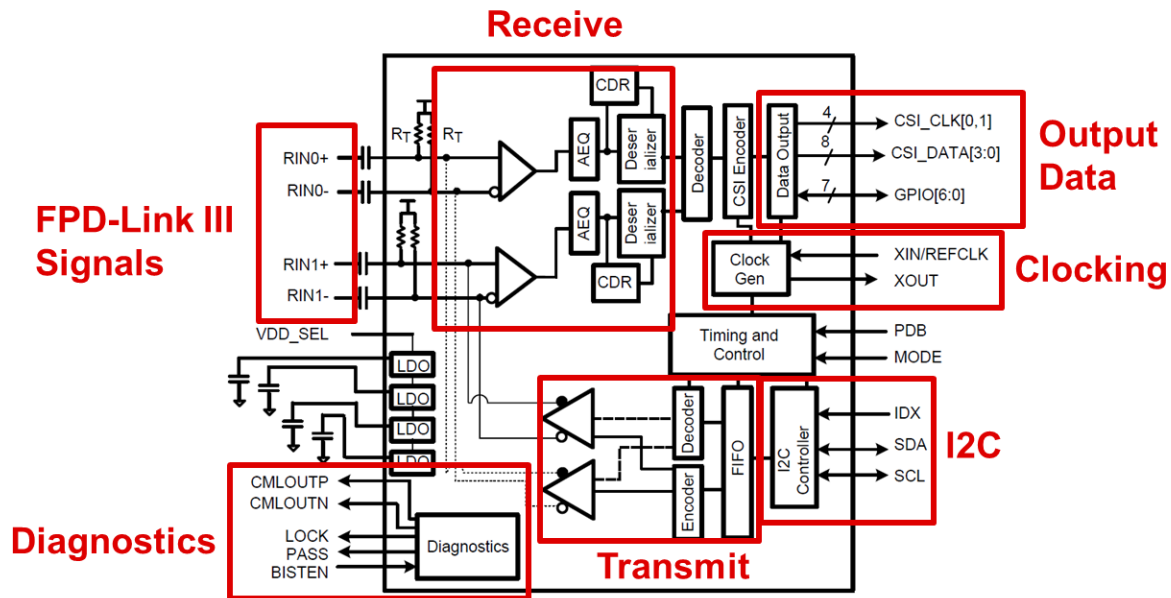


Figure 8. FPD Link 解串器典型内部结构

### 3.1 自适应均衡电路(Adaptive Equalizer)

高速视频信号从串行器传输到解串器的过程中经过 PCB 走线、连接器和线束，这些传输介质都会衰减信号幅度，增加信号噪声，而且频率越高，被影响的程度越大。如 Figure 9 所示，串行器的输出数据的眼图为左边第一幅图所示，比较清晰、干净；经过传输线以后，眼图闭合，如中间第二幅图所示。为了补偿传输介质对信号的恶化，FPD Link 器件提供了 Equalizer 均衡器模块。这个模块放大补偿输入信号，且对信号高频部分补偿得更多，以此来部分抵消传输通道对信号的影响。通过 Equalizer 之后，输入信号的眼图重新张开，如右边第三幅图所示。

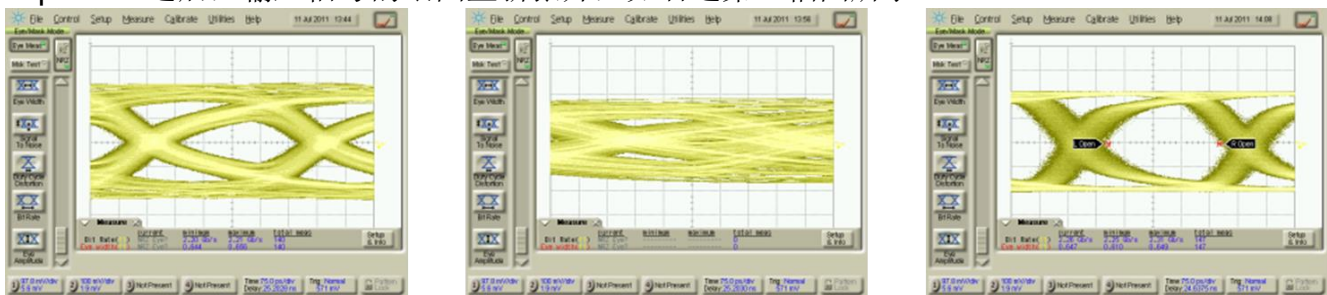


Figure 9. 高速信号眼图变化

由于 FPD Link 需要适应不同类型不同长度的线束，所以均衡器的高频增益值分多个等级，芯片会自动检测输入信号的质量，自适应地设置最佳的均衡值，这个自适应模块叫 AEQ。该模块在解串器每次上电时做一次自适应补偿，所以即便线束存在老化、温漂、线束个体差异等实际差异时，AEQ 都能够自动选择出最佳的补偿等级。另外，技术人员也可以读取上电以后的 AEQ 的补偿值，如果明显高于正常值，可以判断当前传输通道可能存在短路、松动、弯曲等异常情况。

### 3.2 CDR 模块

典型的 CDR (Clock Data Recovery) 电路的示意图如 Figure 10 所示, 集成的锁相环电路锁定输入数据 Incoming Data 并输出降噪以后的较干净的同频率时钟 Recovered Clock; 同时这个干净时钟做为新的采样时钟, 在 Sampler 上对输入数据重新采样并输出, 从而达到滤除输入数据抖动、降低码间串扰、减少通道间串扰和恢复数据眼图的功能。

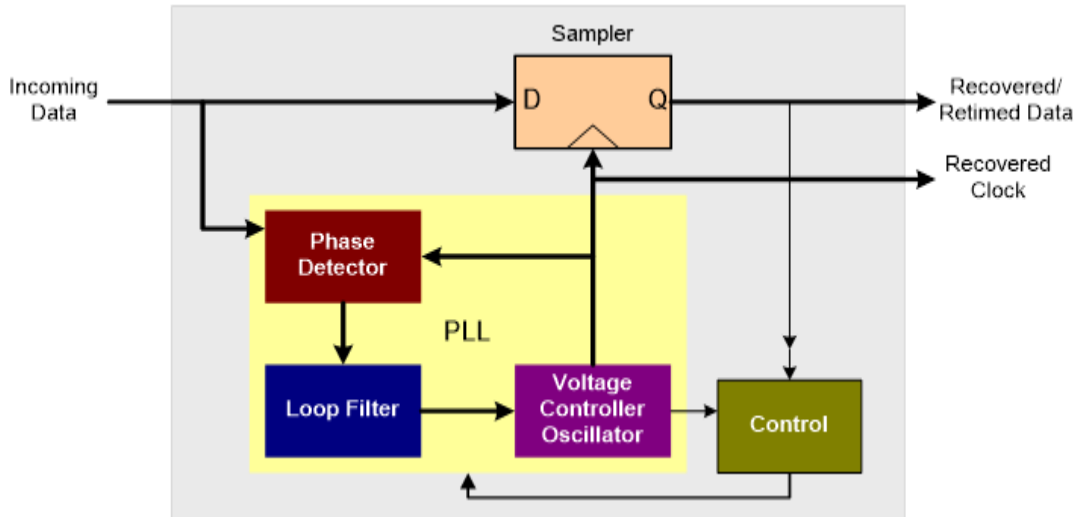


Figure 10. CDR 功能模块

CDR 电路最主要的功能就是滤除输入信号的固有抖动。在实际应用中, 评价一个 CDR 电路的性能指标主要包括:

- **Jitter Tolerance**, 抖动容限, 指 CDR 在保证不失锁、无误码的情况下所允许的最大输入抖动
- **Residual Jitter**, 残留抖动, 指 CDR 恢复输出的数据中残留的固有噪声
- **Jitter Transfer Function**, 抖动传输函数, 指输出抖动和输入抖动的比值

抖动容限和残留抖动是两个相互对立的参数, 大的环路带宽, 抖动容限较高但残留抖动较多; 小的环路带宽, 抖动容限较低但可以残留抖动较小。在实际应用中, 技术人员需要在这两者之中取最适合系统的折中的、合理的环路带宽。

## 4 参考文献

1. DS90UB953-Q1 datasheet (SNLS552C)
2. DS90UB954-Q1 datasheet (SNLS570B)
3. [Exploring the Internal Test Pattern Generation Feature of 720p FPD-Link III Devices \(SNLA132\)](#)



## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司