



## 摘要

本文档旨在介绍如何让所有设计人员都能简单方便地实现 AM64x\AM243x DDR 系统，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实现稳健的设计。

## 内容

<b>1 概述</b>	2
1.1 支持的电路板设计	2
1.2 通用电路板布局指南	2
1.3 PCB 堆叠	3
1.4 旁路电容器	4
1.5 速度补偿	5
<b>2 DDR4 电路板设计和布局指南</b>	6
2.1 DDR4 简介	6
2.2 支持的 DDR4 器件实现	6
2.3 DDR4 接口原理图	7
2.4 兼容的 JEDEC DDR4 器件	10
2.5 放置	10
2.6 DDR4 禁止区域	11
2.7 VPP	11
2.8 网类别	11
2.9 DDR4 信号终端	12
2.10 VREF 布线	12
2.11 VTT	12
2.12 POD 互连	12
2.13 CK 和 ADDR_CTRL 拓扑与布线指南	13
2.14 数据组拓扑与布线指南	16
2.15 CK 和 ADDR_CTRL 布线规格	17
2.16 数据组布线规格	19
2.17 位交换	20
<b>3 LPDDR4 电路板设计和布局指南</b>	21
3.1 LPDDR4 简介	21
3.2 支持的 LPDDR4 器件实现	21
3.3 LPDDR4 接口原理图	22
3.4 兼容的 JEDEC LPDDR4 器件	23
3.5 放置	23
3.6 LPDDR4 禁止区域	24
3.7 网类别	24
3.8 LPDDR4 信号终端	24
3.9 LPDDR4 VREF 布线	25
3.10 LPDDR4 VTT	25
3.11 CK 和 ADDR_CTRL 拓扑	25
3.12 数据组拓扑	25
3.13 CK 和 ADDR_CTRL 布线规格	27
3.14 数据组布线规格	28
3.15 通道、字节和位交换	28
<b>4 修订历史记录</b>	29

## 商标

所有商标均为其各自所有者的财产。

## 1 概述

AM64x 和 AM243x 处理器支持两种不同类型的 DDR 存储器：DDR4 和 LPDDR4。这让客户能够以尽可能低的 DDR SDRAM 成本使用最符合目标市场需求的存储器类型来实现电路板设计。本文分为三个部分。第一部分内容适用于采用任一 DDR SDRAM 存储器类型的电路板设计。后面两个部分介绍了特定于各个 DDR 存储器类型的信息。

---

### 备注

为了便于对 DDRSS 进行软件配置，请使用 SysConfig (<https://dev.ti.com/sysconfig>) 中的 DDR 子系统配置工具。

---

### 1.1 支持的电路板设计

本文档旨在使所有设计人员都能简单方便地实现 DDR 系统，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。目前，TI 不提供处理器 DDR PHY 接口的时序参数。

但是，PCB 的设计工作（设计、布局布线和制造）仍期望由知识渊博的高速 PCB 设计人员执行和审查。具有丰富经验的设计人员可目视检测到信号穿过参考平面中裂口时的阻抗不连续等问题。

TI 仅支持遵循本文档中指导原则且使用 DDR4 和 LPDDR4 存储器的电路板设计。这些指导原则以实心参考平面上铜迹线的已知传输线特性为基础，不可因 PCB 空间不足而违背布线指导原则。

### 1.2 通用电路板布局指南

为了确保信号性能良好，必须遵循以下通用电路板设计指南：

- 避免在信号参考平面中出现穿过平面分割点的情况。
- 一些信号需要接地（也称 VSS）参考平面来获取所需的信号完整性。一些信号可能两侧都需要接地参考平面。
- 在去耦电容器和存储器模块之间使用尽可能宽的迹线。
- 通过保持阻抗匹配来最大限度地减少码间串扰 (ISI)。
- 通过隔离敏感信号（如选通和时钟）以及使用适当的 PCB 堆叠方式来最大限度地减少串扰。
- 每当信号改变层和参考平面时，通过添加过孔或电容器来避免返回路径不连续。
- 通过在 SDRAM 的基准输入引脚上进行正确的隔离和正确使用去耦电容器，最大限度地降低基准电压噪声。
- 保持信号布线残桩长度尽可能短。
- 为时钟和选通网额外增大间距以最大限度地减少串扰。
- 为所有旁路和去耦电容器保持一个公共接地 (VSS) 参考。
- 评估时序限制时，需要考虑微带线和带状线网之间的传播延迟差异。
- 过孔之间的耦合会是产生 PCB 级串扰的一个重要原因。可能需要在相邻信号过孔之间插入 GND 屏蔽过孔。
- 过孔残桩会影响信号完整性。在某些情况下，可能需要过孔背钻来提高信号完整性。

更多相关信息，请参阅 [高速接口布局指南](#)。该应用报告为成功地对高速信号进行布线提供了更多常规性指导信息。

### 1.3 PCB 堆叠

DDR 接口布线最少为六层堆叠。不过，这只能在所含布线空间具有较大禁止区域的电路板上完成。如果出现以下情况，则需要使用额外的层：

- DDR 接口的 PCB 布局区域受到限制，从而限制了可用于传播信号的区域以最大限度地减少串扰。
- 其他电路必须存在于同一区域中，但位于与 DDR 布线隔开的层上。
- 需要额外的平面层来增强电源布线或改善 EMI 屏蔽效果。

相对密集的电路板设计需要 10 层或以上才能正确实现 DDR 布线，从而满足所有规则。

频率成分最高的 DDR 信号（例如数据或时钟）必须在实心 VSS 参考平面附近布线。频率成分较低的信号（例如地址）可以在实心 VSS 或实心 VDDSD\_DDR 参考平面附近布线。如果使用 VDDSD\_DDR 参考平面，则必须在每条布线两端附近实现旁路电容器，以便为这些布线提供低电感交流接地路径。类似地，当 DDR 布线区域中存在多个 VSS 参考平面时，必须在特定位置实现拼接过孔，从而使过孔在拼接过孔附近将信号传输至不同的 VSS 参考平面。这是维持低电感返回电流路径所必需的。

强烈建议将所有 DDR 信号作为带状线进行布线。某些 PCB 堆叠在两个相邻的层上实现了信号布线。只有这些层上的布线是垂直的并且不支持电路板侧耦合，这才可接受。如果与相邻层上的另一条迹线平行布线，则会发生严重串扰，即使距离很短也会如此。另外，只有实现非对称带状线布线时，即相邻布线层之间的距离超过相邻参考平面上迹线距离的 3 倍时，才可以在两个相邻层上实现 DDR 信号布线。

表 1-1. PCB 堆叠规格

数量	参数	最小值	典型值	最大值	单位
PS1	PCB 布线加平面层	6			
PS2	信号布线层	3			
PS3	DDR 布线区域下的完整 VSS 参考层 (1)	1			
PS4	DDR 布线区域下的完整 VDDSD_DDR 电源参考层 (1)	1			
PS5	DDR 布线区域内允许的参考平面切口数 (2)			0	
PS6	DDR 布线层和参考平面之间的层数 (3)			0	
PS7	PCB 布线特征尺寸		4		Mils
PS8	PCB 迹线宽度 (w)		4		Mils
PS9	单端阻抗		40		$\Omega$
PS10	差分阻抗		80		$\Omega$
PS11	阻抗控制 (4)	Z-10%	Z	Z+10%	$\Omega$

- (1) 接地参考层优于电源参考层。返回信号过孔需要靠近转换层。使用电源参考层时，请添加旁路电容器来适应迹线开关布线层时的参考层返回电流。
- (2) 在 DDR 布线区域内，任何迹线都不应与参考平面切口交叉。穿过参考平面切口的高速信号迹线会产生很大的返回电流路径，这会导致过多的串扰和 EMI 辐射。请注意过孔反焊盘引起的参考平面空隙，因为它们也会导致返回电流路径的不连续性。
- (3) 参考平面应与信号层直接相邻，以最大限度地减小返回电流回路尺寸。
- (4) Z 是为 PCB 选择的标称单端阻抗，由 PS9 和 PS10 指定。

## 1.4 旁路电容器

### 1.4.1 大容量旁路电容器

需要使用大容量旁路电容器以实现 DDR SDRAM 和其他电路的中速旁路。表 1-2 包含所需大容量旁路电容器的最小数量和最小电容。表 1-2 仅满足 SoC 的 DDR PHY 的旁路需求。其他电路可能需要额外的大容量旁路电容。有关 SDRAM 器件的任何其他去耦要求，请参阅制造商数据表

表 1-2. 大容量旁路电容器

数量	参数	最小值 <sup>(2)</sup>	最大值	单位
1	VDDSD_DDR 大容量旁路电容器数量 <sup>(1)</sup>	1		器件
2	VDDSD_DDR 大容量旁路总电容	22		μF

(1) 这些电容器应放置在其要旁路的器件附近，但应优先放置高速 (HS) 旁路电容器和 DDR 信号线路。

(2) 本指南中的电容器建议仅反映该处理器的需求。有关如何适当放置存储器器件自身的去耦电容器，请参阅存储器器件供应商的指南。

### 1.4.2 高速旁路电容器

高速 (HS) 旁路电容器对于 DDR 接口的正常运行至关重要。最大限度地减小连接到 VDDSD\_DDR 和相关接地接头的 HS 旁路电容器的寄生串联电感尤为重要。表 1-3 包含针对 HS 旁路电容器和 PCB 上的电源接头的规格。一般来说，TI 建议：

- 安装尽可能多的 HS 旁路电容器。
- 最大限度地减小从旁路电容器到被旁路的引脚和焊球的距离。
- 使用物理尺寸尽可能小且具有最高可用电容的陶瓷电容器。
- 使用尽可能宽的布线和尽可能大的过孔尺寸将旁路电容器焊盘连接到其过孔。
- 最大限度地减少过孔共享。请注意表 1-3 中显示的对过孔共享的限制。

有关任何其他 SDRAM 要求，请参阅制造商的数据表。

表 1-3. 高速旁路电容器

数量	参数	最小值	典型值	最大值	单位
1	HS 旁路电容器封装尺寸 <sup>(1)</sup>		0201	0402	10 Mils
2	HS 旁路电容器到被旁路的处理器的距离 <sup>(2) (3) (4)</sup>			400	Mils
3	每个 VDDSD_DDR 电源轨的处理器 HS 旁路电容器数量	请参阅 PDN 指南 <sup>(9)</sup>			器件
4	每个 VDDSD_DDR 电源轨的处理器 HS 旁路电容器总电容	请参阅 PDN 指南 <sup>(9)</sup>			μF
5	每个器件电源/接地焊球的连接过孔数量	1			个过孔
6	从处理器电源/接地焊球到连接过孔的迹线长度 <sup>(2)</sup>		35	70	mil
7	HS 旁路电容器到被旁路的 DDR 器件的距离 <sup>(5)</sup>			150	Mils
8	DDR 器件 HS 旁路电容器数量 <sup>(6)</sup>	12			器件
9	DDR 器件 HS 旁路电容器总电容 <sup>(6)</sup>	0.85			μF
10	每个 HS 电容器的连接过孔数量 <sup>(7) (8)</sup>	2			个过孔
11	从旁路电容器到连接过孔的迹线长度 <sup>(2) (8)</sup>		35	100	Mils
12	每个 DDR 器件电源/接地焊球的连接过孔数量	1			个过孔
13	从 DDR 器件电源/接地焊球到连接过孔的迹线长度 <sup>(2) (2)</sup>		35	60	Mils

(1) LxW，10 mil 单位，即 0402 是一种 40 x 20 mil 表面贴装电容器。

(2) 越近/越短越好。

(3) 从最近的处理器电源或接地焊球到电容器封装中心进行测量。

(4) 其中三个电容器应位于处理器下方的 VDDSD\_DDR 焊球簇中。

(5) 从 DDR 器件电源或接地焊球到电容器封装中心进行测量。请参阅 SDRAM 制造商提供的指南。

(6) 每个 DDR 器件。请参阅 SDRAM 制造商提供的指南。

(7) 仅当附加 HS 旁路电容器安装在电路板的另一侧时，它才能共享连接过孔。不允许在电路板的同一侧共享过孔。

(8) HS 旁路电容器可与安装在 PCB 同一侧的 DDR 器件共享一个过孔。应使用较宽的迹线进行连接，并且从电容器焊盘到 DDR 器件焊盘的长度应小于 150 mils。

(9) 本指南中的电容器建议仅反映该处理器的需求。有关如何为存储器器件自身确定合适的去耦电容器，请参阅存储器器件供应商的指南。

### 1.4.3 返回电流旁路电容器

如果返回电流参考平面会因为 DDR 信号从一个信号层跳跃到另一个信号层而发生变化，进而导致参考平面从  $V_{DD5\_DDR}$  变为  $V_{SS}$ ，那么需要使用额外的旁路电容器。此处的旁路电容器为返回电流提供了一个路径来与信号一同跳跃各平面。尽可能多地使用这样的返回电流旁路电容器，最多每个信号过孔一个旁路电容器。这些是信号电流的返回路径，因此这些旁路电容器的过孔在尺寸上可以小于信号路由所用的过孔。

### 1.5 速度补偿

部分 DDR 信号迹线为微带线 ( 顶层和底层 )，而该迹线段长度多数为带状线 ( 内层 )，并且作为微带线或带状线的布线长度在比例上存在较大的变化范围，因此长度/延迟匹配过程应当包含一种机制来对这两种类型的 PCB 互连之间的速度差异进行补偿。为此，JEDEC 规定了补偿系数为 1.1。所有微带线长度在合计到长度匹配公式之前都要除以 1.1，所得的补偿长度被称为“带状线等效长度”。尽管设计中仍然存在一定量的残余速度不匹配偏差，但该过程实现了对简单长度匹配的重大改进。

## 2 DDR4 电路板设计和布局指南

### 2.1 DDR4 简介

DDR4 电路板的设计与 DDR3 电路板相似。就像在 DDR3 中一样，DDR4 也需要采用飞越式布线，因此需要矫正。为了通过 DDR4 实现更高的数据速率，接口规范中加入了多项增强功能，SDRAM 和处理器接口 (PHY) 都必须满足相应的规范要求。下面列出了会影响电路板互连和布局的增强功能：

- 增加 ACT<sub>n</sub> 引脚 - 该引脚提供了信号传递功能，支持将之前被称为命令引脚 (RAS<sub>n</sub>、CAS<sub>n</sub> 和 WE<sub>n</sub>) 的引脚用作额外的地址引脚。这些引脚在 ACT<sub>n</sub> 为低电平时用作行地址引脚，而在 ACT<sub>n</sub> 为高电平时用作命令引脚。这仅在 CS<sub>n</sub> 为低电平时有效。
- 移除一个 BA (存储库地址) 引脚并增加 2 个 BG (存储库组) 引脚 - 这增加了与 DDR3 相似的访问灵活性，但共有 16 个存储库，即在四个组中分别有四个存储库。这产生了额外的计时参数，因为存储库组内的相邻访问要快于对另一存储库组的相邻访问。最快的选项是连续访问单个存储库内的位置。
- 增加 PAR (奇偶校验) 和 ALERT<sub>n</sub> 引脚 (使用是可选的) - PAR 引脚利用从控制器到 SDRAM 的偶校验来对命令和地址引脚提供奇偶校验监测。ALERT<sub>n</sub> 是来自 SDRAM 的指示 (开漏输出)，用于指示何时检测到奇偶校验错误。
- 更改 POD 终端 - 实现了伪开漏 (POD) 输出缓冲器，而不是传统的 SSTL 推挽输出。这让数据位终端 ODT 可以连接到 I/O 电源轨 VDDQ，而非中位电压 VTT。功耗可能会有所降低，因为仅驱动一位时消耗的电流较低。
- 增加 DBI - 数据总线翻转 (DBI) 功能，每当超过一半的位为零时数据总线会翻转。与 POD 终端搭配使用时，该功能可以降低有功功率，从而提高数据信号完整性。
- 增加 VPP 电源输入 - VPP 电源 (2.5V) 为内部字线逻辑供电。电压的升高可以让 SDRAM 降低总体功耗。
- 将数据 VREF 与地址/控制 VREF 分开 - 在 SDRAM 中和在 PHY 中，数据基准电压 VREFDQ 现在都由内部生成。该电压可以编程为多种不同的电平，从而提供理想的采样阈值。根据所选的 ODT 阻抗、驱动强度和 PCB 布线阻抗，理想的阈值会有所不同。地址/控制基准电压 VREFCA 是中位基准电压，与 DDR3 中的相同。

#### 备注

并非所有器件都支持这些功能。有关支持的功能，请参阅器件特定文档。

### 2.2 支持的 DDR4 器件实现

DDR4 EMIF 支持多种可能的 SDRAM 器件组合。表 2-1 列出了支持的器件组合。每个组合中使用的 SDRAM 都必须完全相同：也就是说，它们必须具有相同的器件型号。

表 2-1. 支持的 DDR4 SDRAM 组合

DDR4 SDRAM 数量	DDR4 SDRAM 宽度 (位)	DDR4 EMIF 宽度 (位)
1	16	16
2	8	16

## 2.3 DDR4 接口原理图

本节讨论了采用单列 x16 和 x8 SDRAM 器件的实现 ( 也称拓扑 )。本节并未讨论支持低功耗操作的实现建议, 例如 SDRAM 保持自刷新模式且处理器关断时的低功耗操作。另外, 本节也未讨论无 DDR 的实现。我们正在研究上述情况, 本文档的未来版本中可能会加以介绍。

### 2.3.1 采用 16 位 SDRAM 器件的 DDR4 实现

DDR4 接口原理图因所采用 DDR4 SDRAM 器件的位宽度和所实现的 EMIF 总线宽度而异。实现之间的通用连接是简单且一致的。16 位 SDRAM 器件就像两个 8 位器件。图 2-1 显示了采用单个 x16 SDRAM 实现 16 位接口的连接原理图。

当不使用处理器上的其中一个字节通道时, 处理未使用引脚的恰当方式是通过  $1\text{k}\Omega$  电阻器将未使用的 DDR\_DQSxP 引脚连接至地, 并通过  $1\text{k}\Omega$  电阻器将未使用的 DDR\_DQSxN 引脚连接至 VDDSDR 电源 ( 也称 I/O 电源 VDDQ )。必须针对每个未使用的字节执行此操作。尽管这些信号都涉及内部上拉和下拉, 但外部上拉和下拉电阻提供了额外的外部噪声防护, 防止外部噪声在相应信号上引起活动。

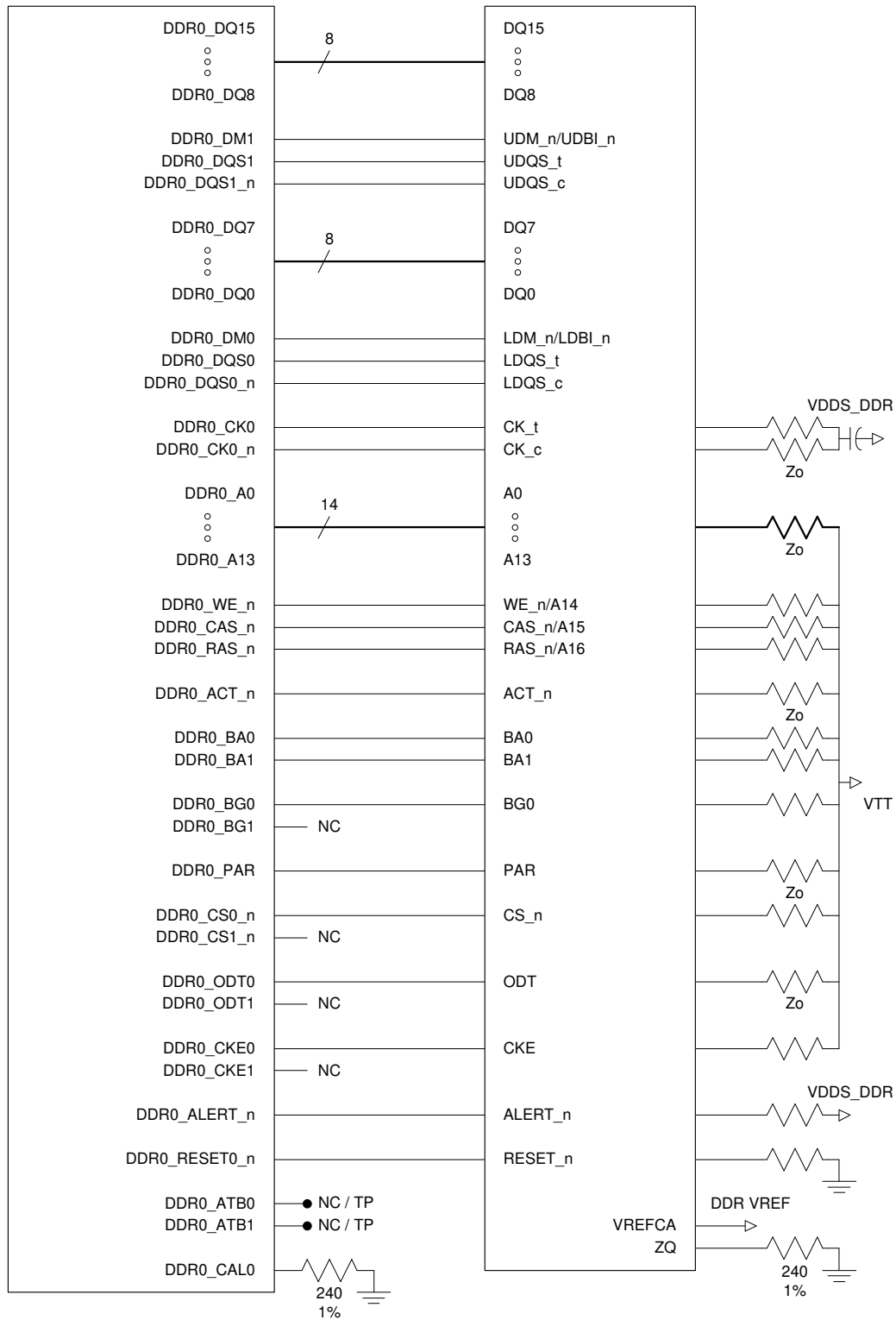


图 2-1. 采用 x16 SDRAM 实现 16 位、单列 DDR4



### 2.3.2 采用 8 位 SDRAM 器件的 DDR4 实现

图 2-2 显示了采用 x8 器件实现 16 位接口的连接原理图。

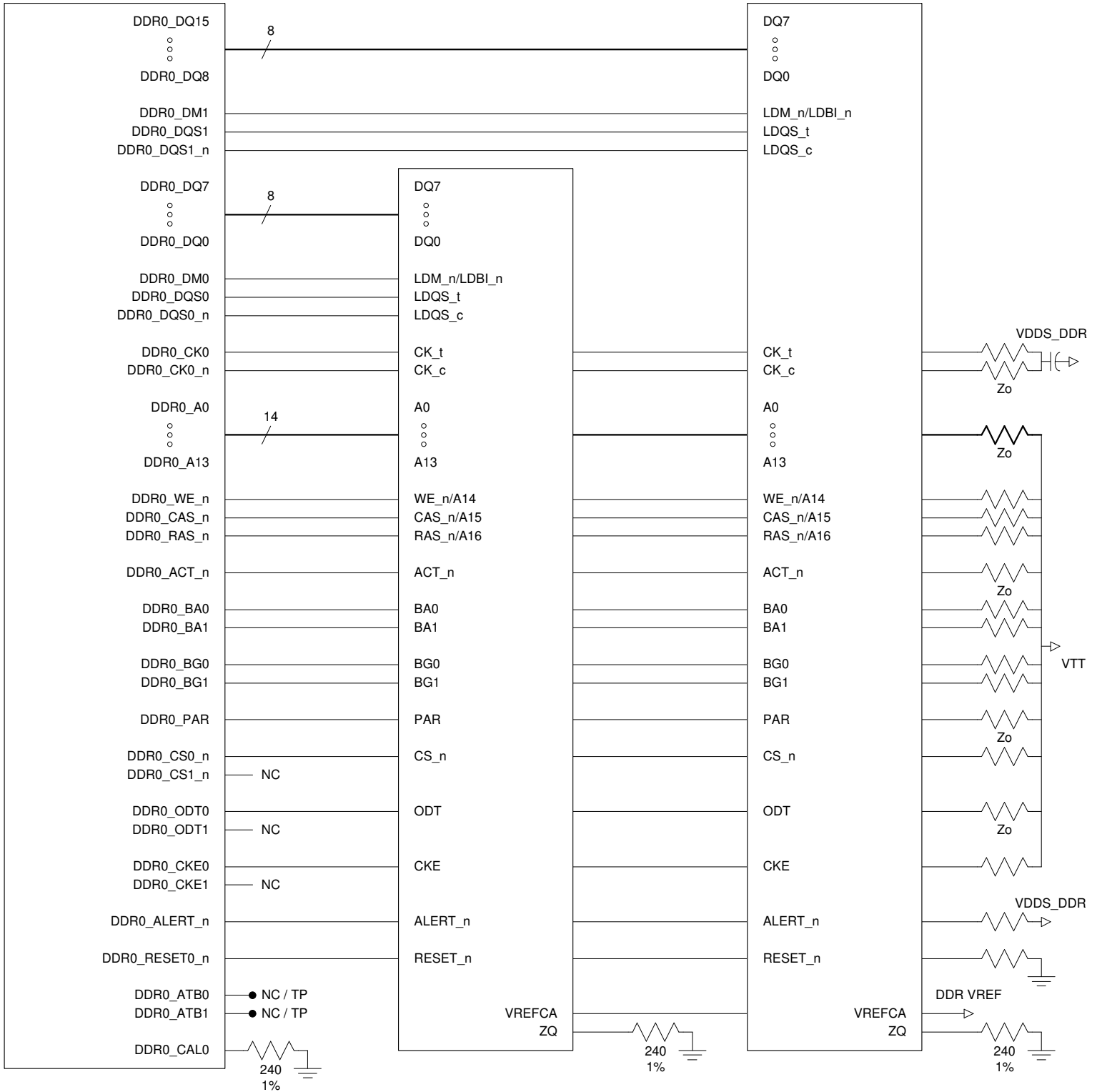


图 2-2. 采用 x8 SDRAM 实现 16 位、单列 DDR4

## 2.4 兼容的 JEDEC DDR4 器件

表 2-2 显示了与该接口兼容的 JEDEC DDR4 器件的参数。一般而言，DDR4 接口与所有符合 JEDEC 标准的 x8 或 x16 宽度 DDR4 SDRAM 器件兼容。

表 2-2. 兼容的 JEDEC DDR4 器件

数量	参数	最小值	最大值	单位
1	JEDEC DDR4 数据速率 <sup>(2)</sup> <sup>(3)</sup>		1600	MT/s
2	JEDEC DDR4 器件位宽	x8	x16	位
3	JEDEC DDR4 器件数量 <sup>(1)</sup>	1	2	器件

- (1) 有关有效的 DDR4 器件配置和器件数量，请参阅图 2-1 和图 2-2。
- (2) 有关支持的数据速率，请参阅器件数据手册。
- (3) 可以使用更快速度等级的 SDRAM，前提条件是对其进行正确配置，从而以支持的数据速率运行。具有更快速度等级的 SDRAM 可能具有更快的边沿速率，这可能会影响信号完整性。必须在目标板设计上验证具有更快速度等级的 SDRAM。

## 2.5 放置

图 2-3 显示了处理器和 DDR4 器件的放置要求。表 2-3 中定义了该图的尺寸。放置不限制将器件安装在 PCB 的哪一侧。放置的最终目的是限制最大迹线长度并留出适当的布线空间。

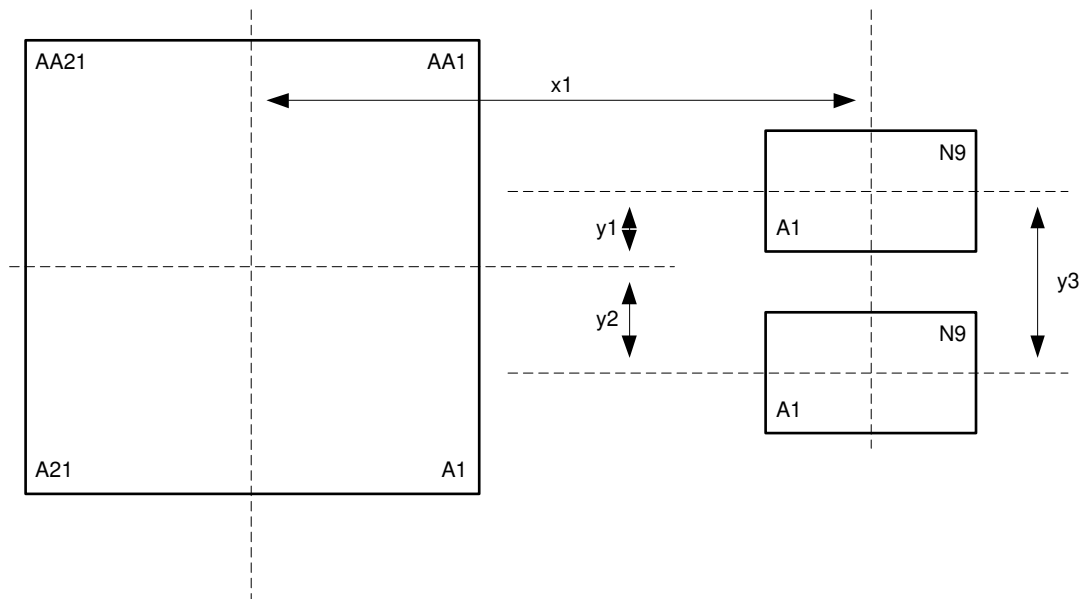


图 2-3. DDR4 放置规格

表 2-3. 放置参数

数量	参数	最小值	最大值	单位
1	x1		2000	mil
2	y1		500	mil
3	y2		1000	mil
4	y3		750	mil

## 2.6 DDR4 禁止区域

用于 DDR4 电路的 PCB 区域必须与其他信号隔离开来。为此，我们定义了 DDR4 禁止区域，如图 2-4 中所示。该区域的大小因放置方式和 DDR 布线而异。对于非 DDR4 信号，不应在 DDR4 禁止区域内的 DDR 信号层上布线。只有在通过接地层与 DDR 信号层隔离开来的其他层上布线时，非 DDR4 信号才能在该区域中布线。该区域的参考接地层中不允许有缝隙。此外，整个禁止区域中应存在实心 VDDSDDR 电源平面。

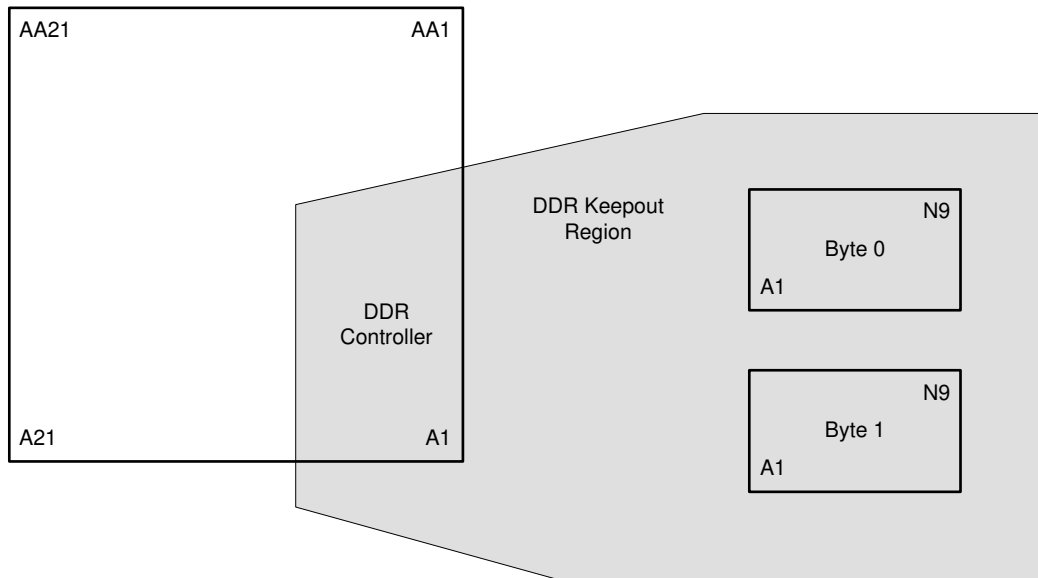


图 2-4. DDR4 禁止区域

## 2.7 VPP

VPP 是 DDR4 SDRAM 上新增的电源输入。该电源必须在工作模式和待机模式下提供不到 5 mA 的平均电流，并在刷新期间提供 10 mA 至 20 mA 的电流。刷新期间消耗的电流并不恒定。VPP 电源和去耦电容器必须能够在此期间提供高达 60 mA 的短暂瞬时脉冲电流。

## 2.8 网类别

布线规则应用于被称为网类别的组中的信号。每个网类别包含遵循相同布线要求的信号。这简化了这些布线的实施和依从性。表 2-4 列出了 DDR4 接口的时钟网类别。表 2-5 列出了 DDR4 接口中信号的网类别和相关的时钟网类别。然后将这些网类别链接到后续的终端和布线规则。

表 2-4. 时钟网类别定义

时钟网类别	处理器引脚名称
CK	DDR0_CK0 / DDR0_CK0_n
DQS0	DDR0_DQS0 / DDR0_DQS0_n
DQS1	DDR0_DQS1 / DDR0_DQS1_n

**表 2-5. 信号网类别定义**

信号网类别	关联的时钟网类别	处理器引脚名称
ADDR_CTRL	CK	DDR0_A[13:0]、DDR0_WE_n、DDR0_CAS_n、DDR0_RAS_n、DDR0_ACT_n、DDR0_BA0、DDR0_BA1、DDR0_BG0、DDR0_BG1、DDR0_PAR、DDR0_CS0_n、DDR0_CS1_n、DDR0_ODT0、DDR0_ODT1、DDR0_CKE0、DDR0_CKE1
BYTE0	DQS0	DDR0_DQ[7:0]、DDR0_DM0
BYTE1	DQS1	DDR0_DQ[15:8]、DDR0_DM1

## 2.9 DDR4 信号终端

CK 和 ADDR\_CTRL 网类别都需要信号终端器，如图 2-1 和图 2-2 所示。数据组网在处理器和 SDRAM 存储器中由 ODT 端接，因此数据组 PCB 迹线必须保持未端接。以下各节详细介绍了布线规则中的端接规范。

## 2.10 VREF 布线

JEDEC 定义了与 DDR4 存储器接口搭配使用的两个基准电压，即 VREFDQ 和 VREFCA。VREFDQ 是在读写期间用于数据组网的基准电压。VREFCA 是用于 SDRAM 命令和地址输入的基准电压。DDR4 SDRAM 会在内部生成自有 VREFDQ。类似地，处理器的 DDR4 PHY 也在内部生成自有 VREFDQ。VREFCA 基准电压必须在电路板上生成并传播至所有 SDRAM。VREFCA 设计为 DDR4 电源电压的 50%，并且通常由 DDR4 VTT 电源生成。它应该采用标称宽度为 20 mil 的迹线并在每个器件连接装置附近放置 0.1  $\mu$ F 旁路电容器。可以缩小 VREF 迹线的宽度，从而适应端点附近较短长度的布线拥塞。

## 2.11 VTT

与 VREFCA 一样，VTT 电源的标称值为 DDR4 电源电压的 50%。与 VREFCA 不同，VTT 电源需要提供拉电流和灌电流，具体而言是 ADDR\_CTRL 网类别戴维南终端器的终端电流。地址和控制总线末端需要 VTT，并且 VTT 应该作为电源子平面布线。VTT 必须在终端电阻器附近被旁路。

## 2.12 POD 互连

在 DDR4 之前，输出缓冲器为推挽式 CMOS 缓冲器。它们在驱动低电平时灌入电流并在驱动高电平时拉出电流。然后，它们端接至中级戴维南电阻来获得出色的功率传输和信号完整性。遗憾的是，每次在高电平或低电平条件下启用缓冲器时，这都会导致电流的产生和功率消耗。伪开漏 (POD) 是一种负载处终端 ODT 仅连接到 VDDQ 的连接类型。POD 连接仅在驱动低电平时消耗功率，因此可以降低功耗。在 DDR4 中，PHY (用于读取) 和 SDRAM (用于写入) 在所有数据组引脚内部提供这些 VDDQ 终端。

在采用 POD 终端的连接上，信号不同于之前 DDR 连接上的信号，那时数据组信号从 VSS 传输到 VDDQ 并根据中位基准电压进行采样。高电平电压仍为 VDDQ。不过，现在根据驱动阻抗和 ODT 电阻计算低电平。如果这两者都设置为 50  $\Omega$ ，则低电平电压现在为 VDDQ/2。然后，为了获得出色的性能，采样电压需要位于这两个电压的中间，即等于 3/4\*VDDQ。

## 2.13 CK 和 ADDR\_CTRL 拓扑与布线指南

CK 和 ADDR\_CTRL 网类别的布线方式相似，通过处理器中的 DDR PHY 与每个 SDRAM 进行长度匹配，以最大限度地减少两者之间的偏差。CK 网类别需更加注意，因为它以更高的转换速率运行并且采用差分形式。

CK 和 ADDR\_CTRL 网类别采用“飞越式”形式进行布线。因此，CK 和 ADDR\_CTRL 网类别会以多点总线形式按顺序从处理器中的 DDR 控制器布线到每个 SDRAM，并且每个信号都在末端具有终端。若要完成此布线，每个 SDRAM 上的每个网中都存在一个小的残桩迹线。这些残桩必须短并且长度必须大致相同，从而控制信号反射。在每个 SDRAM 上，ADDR\_CTRL 网类别与 CK 网类别长度匹配，以便在 SDRAM 处对 ADDR\_CTRL 信号进行正确采样。

### 备注

对于 DDR4 布局，需要采用飞越式布线。不支持之前用于 DDR2 布局的平衡 T 布线。

节 2.2 讨论了从单个 x16 SDRAM 到最多两个 x8 SDRAM 存在多种可能的存储器拓扑或实现方式。不管所实现的 SDRAM 数量如何，都必须遵循布线要求。TI 建议所有 SDRAM 都在电路板的同一侧上实现，最好是在电路板上与处理器位于同一侧。在电路板的两侧都可以实现 SDRAM，但布线复杂性和所需的 PCB 层数量会显著增加。

图 2-5 显示了 CK 网类别的拓扑，而图 2-6 显示了相应 ADDR\_CTRL 网类别的拓扑。飞越式布线已经分成了多个段，从而简化了长度匹配分析。必须注意避免因这种方法导致累积过量的长度误差。

A1 和 A2 段一同组成导入部分，AT 段是网末端处终端的布线，A3 段是分到每个 SDRAM 的残桩之间的布线。对于 SDRAM 较少的拓扑，如 SDRAM 不存在，则移除对应的 A3 段。表 2-6 详细介绍了布线段的长度匹配要求。

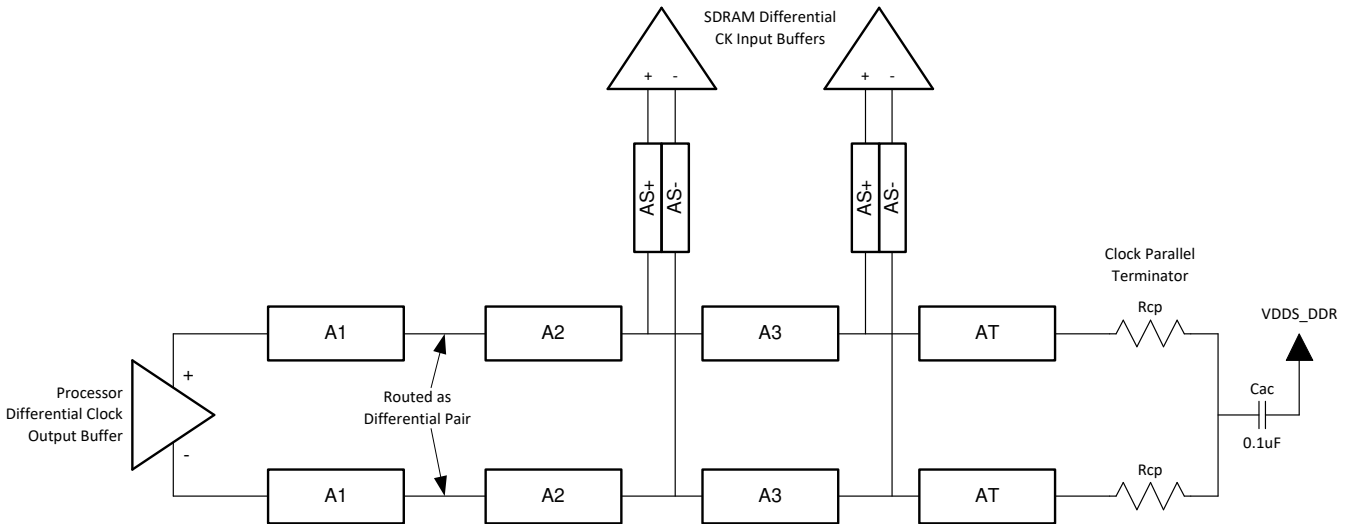


图 2-5. 两个 DDR4 SDRAM 器件的 CK 拓扑

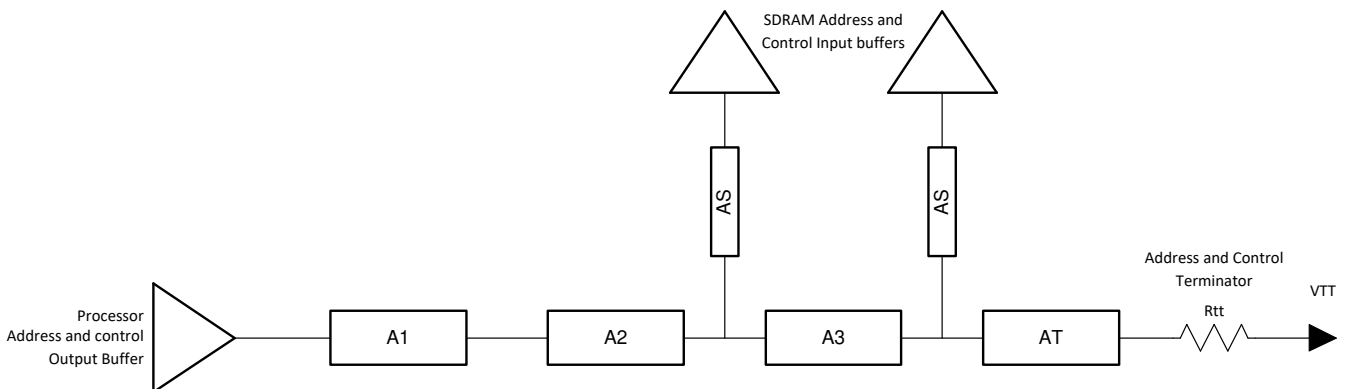


图 2-6. 两个 DDR4 SDRAM 器件的 ADDR\_CTRL 拓扑

前几个图显示了该电路拓扑，以便管理布线长度并遵循布线长度匹配规则。后两张图从 PCB 布线角度再次显示了 CK 和 ADDR\_CTRL 布线组的布线情况。

图 2-7 显示了两个 SDRAM 器件的 CK 组布线。该图清楚地展示了飞越式布线。DDR0\_CK0 和 DDR0\_CK0\_n 布线 (CK 布线组) 会以差分对形式从处理器布放到末端包含 BYTE0 数据的 SDRAM。然后，该差分对会接着连接到另一个 SDRAM 最后通过交流终端端接至 VDDSD\_DDR。该布线还在每个 SDRAM 处包含适用于 DDR0\_CK0 和 DDR0\_CK0\_n 的布线残桩。

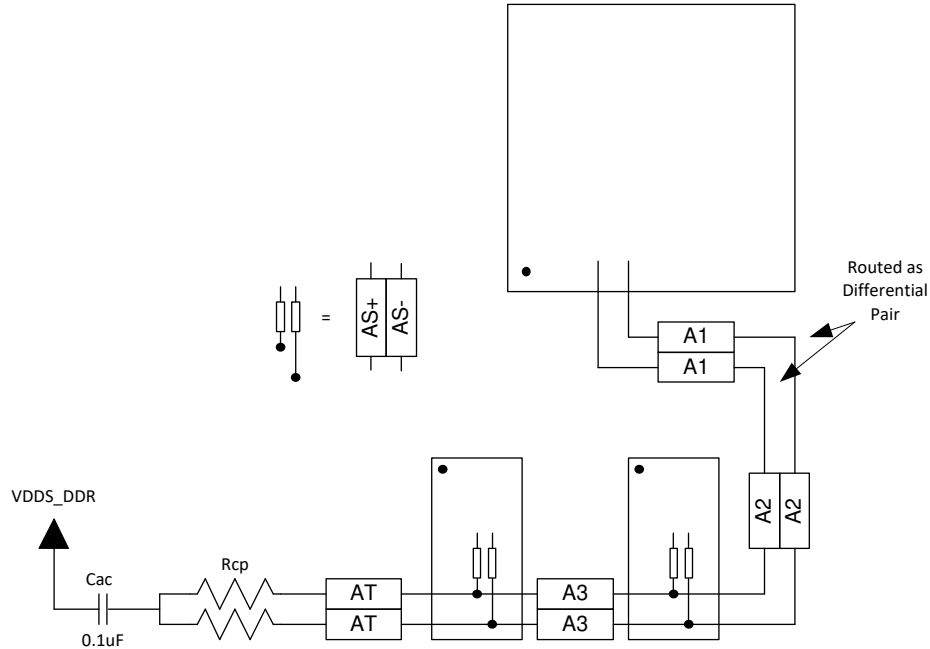


图 2-7. 两个 DDR4 SDRAM 器件的 CK 布线

图 2-8 显示了两个 SDRAM 器件的 ADDR\_CTRL 布线，它们也以飞越式形式沿着相同的路径布线，因为 ADDR\_CTRL 布线组与 CK 布线组长度匹配。

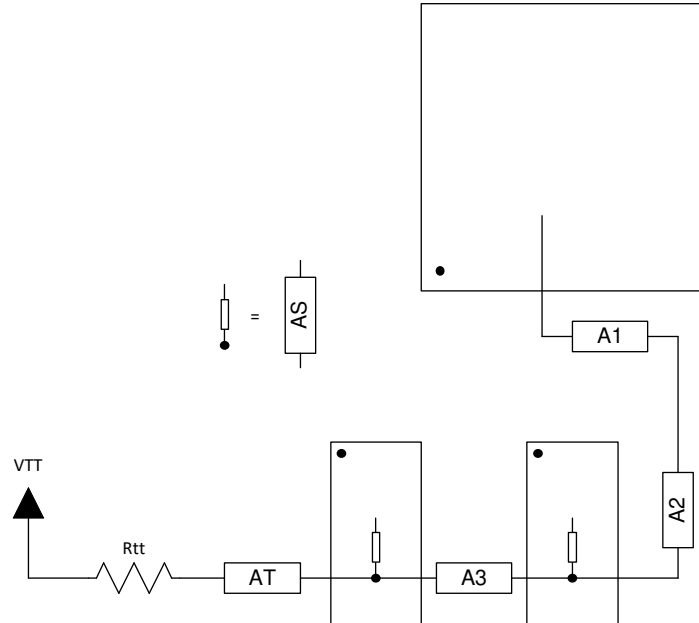


图 2-8. 两个 DDR4 SDRAM 器件的 ADDR\_CTRL 布线

绝对顺序并不重要。始于处理器的飞越式布线也可以连接到包含数据最后一个字节的 SDRAM ( 或者包含 BYTE0 数据的 SDRAM 所在行另一端的任意 SDRAM )。然后，该飞越式布线会接着连接到上文所述的另一个 SDRAM，直到在 BYTE0 SDRAM 之后通过 Rtt 终端连接到 VTT。

在布线期间尽量减少层转换。如果必须进行某个层转换，则最好转换到使用相同参考平面的层。当参考平面为接地平面和 VDDSDDR 时，如果无法做到这一点，请确保附近有拼接过孔，以使返回电流在这两个参考平面之间转换。另外，当其中一个参考平面为接地平面，而另一个参考平面为 VDDSDDR 时，请确保附近放置了旁路电容器，以使返回电流在这两个参考平面之间转换。每个参考平面转换都必须满足这一条件。目标是最大限度地减小返回电流路径的大小，从而尽量减小该路径中的电感。如果缺少这些拼接过孔或电容器，则会导致信号路径中的阻抗不连续，从而增加串扰和信号失真。

## 2.14 数据组拓扑与布线指南

不管实现的 DDR4 器件数量如何，数据线拓扑始终为点对点拓扑。在布线期间尽量减少层转换。如果必须进行某个层转换，则最好转换到使用相同参考平面的层。如果无法做到这一点，则确保附近有接地过孔，以使返回电流在参考平面之间转换。目标是为返回电流提供低电感路径。另外，为了优化长度匹配，TI 建议在一个层上对单个数据布线组内的所有网进行布线，该组中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。

DQSP 和 DQSN 线是作为一个差分对进行布线的点对点信号。图 2-9 显示了 DQS 连接拓扑。

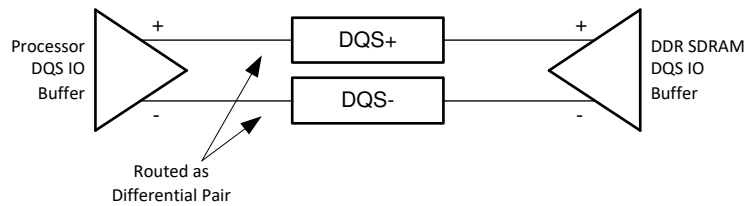


图 2-9. DDR4 DQS 拓扑

DQ 和 DM 线是作为单端进行布线的点对点信号。图 2-10 显示了 DQ 和 DM 连接拓扑。

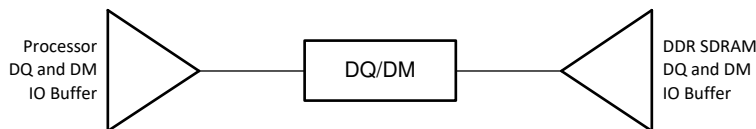


图 2-10. DDR4 DQ/DM 拓扑

与上方的 CK 和 ADDR\_CTRL 布线图相似，图 2-11 和图 2-12 显示了 DQS 布线组以及相关数据布线组网的 PCB 布线示例。

该布线示例显示了 DQS0P 和 DQS0N，这两者以差分对形式从处理器连接到包含字节 0 的 SDRAM。该布线以点对点布线差分对形式实现，而没有任何电路板终端。任何这些类型的网上均不允许存在残桩。所有测试接入点必须排成一条直线，不得有任何分支或残桩。针对实现的字节通道，从处理器到每个 SDRAM 存在类似的 DQS 对布线。

图 2-12 显示了字节 0 布线组内单个网的布线示例。DQ 和 DM 网采用单端布线方式，同时也是点对点形式，而没有任何残桩或电路板终端。实现的每个 DQ 和 DM 网都存在点对点布线。

DQ 和 DM 网沿着与该字节通道 DQSP 和 DQSN 对相同的路径进行布线，以便它们可以与 DQS 对长度匹配。



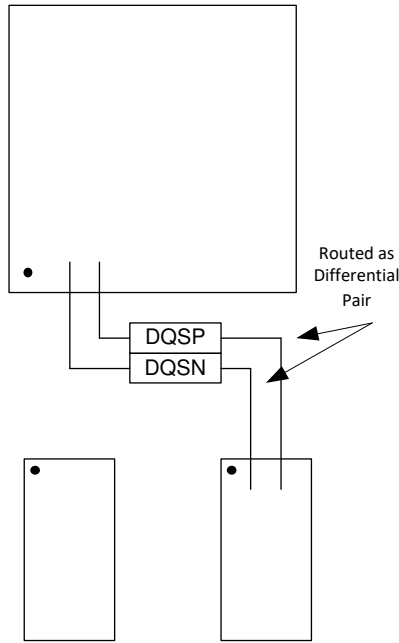


图 2-11. 到两个 DDR4 SDRAM 器件的 DQS 布线

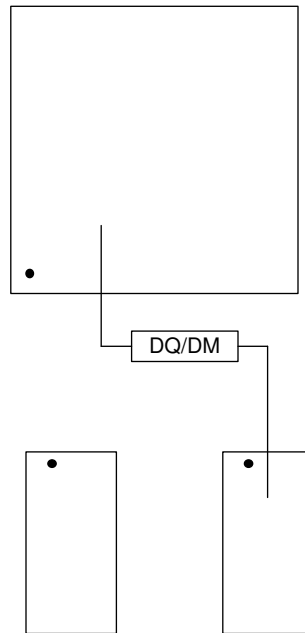


图 2-12. 到两个 DDR4 SDRAM 器件的 DQ/DM 布线

## 2.15 CK 和 ADDR\_CTRL 布线规格

CK 和 ADDR\_CTRL 网类别中的偏差会直接降低 ADDR\_CTRL 网的建立和保持裕度。因此，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过匹配一组定义的信号内布线的长度来管理延迟偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及其相关时钟 DDR0\_CK0 和 DDR0\_CK0\_n 的长度。

### 2.15.1 CACLM - 时钟地址控制最大曼哈顿距离

一种用于确定最大长度的指标是曼哈顿距离。PCB 上两点之间的曼哈顿距离是指仅通过水平或垂直布线连接两点时的布线长度。该迹线长度的合理限值是其曼哈顿距离加上一些裕度。CACLM 就是这一限值，其定义为时钟地址控制最大曼哈顿距离。

给定处理器和 DDR4 存储器的时钟和地址引脚位置后，可以根据这些器件的位置来确定可能的最大曼哈顿距离。CK 和 ADDR\_CTRL 布线组的布线长度经验值就是根据此距离来确定的。

DDR4 SDRAM 器件上的地址输入 A13 可能具有最大的 CK 和 ADDR\_CTRL 曼哈顿距离，因为该器件放置在最远角。假设 A13 是最大距离，则 CACLM 的计算方式为  $CACLMY(A13) + CACLMX(A13) + 300\text{mil}$ 。额外的 300mil 支持布线越过第一个 DDR4 SDRAM 并返回，从而到达引脚 A13。在确定从处理器到第一个 SDRAM 的迹线长度上限时，请参考此指导原则。

### 2.15.2 CK 和 ADDR\_CTRL 布线限值

表 2-6 列出了从处理器到 SDRAM 布线的各段限值。这些段的长度与先前图 2-5 和图 2-6 中显示的 CK 和 ADDR\_CTRL 拓扑图一致。通过使某个布线组中所有信号的相同段的布线长度保持匹配，可以控制信号延迟偏差。

请记住，CK 和 ADDR\_CTRL 网的每个段均沿着相同的路径布线。这简化了长度匹配工作。CK 组的偏差限值将 DDR0\_CK0P 的长度与 DDR0\_CK0N 的长度进行比较。然后，ADDR\_CTRL 组网的偏差限值与 CK 组网进行了比较。

大多数 PCB 布局工具都可以配置为生成报告以帮助执行此验证。如果无法自动生成该报告，则必须手动生成并进行验证。

表 2-6 还列出了从处理器到每个 SDRAM 的完整布线的偏差限值。除了各段的偏差限值外，还必须检查此项，以确认布局中不会累积误差。

若要使用长度匹配（单位为 mil）而不是延时时间（单位为 ps），请将延时时间（单位为 ps）乘以 5。在信号传播速度方面，微带线要快于带状线。采用长度匹配时，标准做法是将微带线长度除以 1.1 来获得补偿长度，从而使微带线长度与带状线长度实现标准化，并与提供的延迟限值保持一致。这被称为速度补偿（请参阅节 1.5）。

**表 2-6. CK 和 ADDR\_CTRL 布线规格**

数量	参数	最小值	典型值	最大值	单位
1	A1+A2 长度			500 <sup>(1)</sup>	ps <sup>(12)</sup>
2	A1+A2 偏差 ADDR_CTRL 至 CK <sup>(4)</sup>			3	ps
4	A3 偏差 ADDR_CTRL 至 CK <sup>(4)</sup>			3	ps
3	A3 长度			125	ps
5	A1+A2 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
6	A3 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
7	AS 长度		5 <sup>(1)</sup>	17	ps
8	AS 偏差		1.3 <sup>(1)</sup>	3	ps
9	AS+/AS- 长度		5	17	ps
10	AS+/AS- 偏差			0.4	ps
11	AT 长度 <sup>(3)</sup>		75		ps
12	AT 偏差 ADDR_CTRL 至 CK <sup>(4)</sup>		14		ps
13	AT 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
14	从处理器到每个 SDRAM 的总 DDR0_CK0 至 DDR0_CK0_n 偏差 <sup>(2)</sup>			0.8	ps
15	从处理器到每个 SDRAM 的总 CK 至 ADDR_CTRL 偏差 <sup>(2)</sup>			4	ps
16	每条迹线上的过孔数 <sup>(11)</sup>			3 <sup>(1)</sup>	个过孔
17	过孔数差异 <sup>(11)</sup>			1 <sup>(10)</sup>	个过孔
18	中心到中心 CK 到其他 DDR4 迹线间距 <sup>(5)</sup>	4w			
19	中心到中心 ADDR_CTRL 到其他 DDR4 迹线间距 <sup>(5)</sup>	4w			
20	中心到中心 ADDR_CTRL 到其他 ADDR_CTRL 迹线间距 <sup>(5)</sup>	3w			
21	CK 中心到中心间距 <sup>(6) (7)</sup>		请参阅以下注意事项		

**表 2-6. CK 和 ADDR\_CTRL 布线规格 (continued)**

数量	参数	最小值	典型值	最大值	单位
22	CK 到其他网间距 <sup>(5)</sup>	4w			
23	Rcp <sup>(8)</sup>	Zo-1	Zo	Zo+1	Ω
24	Rtt <sup>(8) (9)</sup>	Zo-5	Zo	Zo+5	Ω

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 这是从处理器到 SDRAM 的总长度。必须计算每个 SDRAM 的相应值，以确保段匹配不会导致误差累积。对于第一个 SDRAM，就是 A1 + A2 + AS (针对每个信号进行计算)。对于第二个 SDRAM，则是 A1 + A2 + A3 + AS (针对每个信号进行计算)。
- (3) 尽管为了方便起见，可以延长此长度，但应尽可能缩短该长度。
- (4) ADDR\_CTRL 网类别相对于其 CK 网类别。
- (5) 对于最长达 500 mil 的布线长度，中心到中心间距可降至最小 2w (仅在端点附近)。
- (6) 设置 CK 间距以确保具有适当的差分阻抗。
- (7) 用户必须控制阻抗，以免造成无意的阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。
- (8) 尤其不允许使用源终端 (驱动器处的串联电阻器)。
- (9) 网类别中的终端值应当保持一致。
- (10) 只有在应用了信号飞行时间的精确 3-D 建模以确保不超过所有段偏差最大值时，过孔数差异才可能增加 1。
- (11) 分别计算从处理器到每个 SDRAM 的过孔数。
- (12) 以 ps 为单位显示的 PCB 迹线长是长度的标准化表示。换算方式很简单，1 ps 就相当于 5 mil。这是针对微带线的所有段使用速度补偿时的等效带状线长度。

## 2.16 数据组布线规格

DQS 和 DQ/DM 网类别中的偏差会直接降低 DQ 和 DM 网的建立和保持裕度。因此，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过匹配一组定义的信号内布线的长度来管理长度偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及其相关时钟对 DQSP 和 DQSN 的长度。

### 2.16.1 DQLM - DQ 最大曼哈顿距离

与 CK 和 ADDR\_CTRL 一样，合理的布线长度是位于其曼哈顿距离的一定比例内。DQLMn 定义为 DQ 最大曼哈顿距离 n，其中 n 为字节编号。一个 16 位接口中存在两个 DQLM：DQLM0 和 DQLM1。

#### 备注

不需要也不建议在所有字节通道之间匹配长度。仅需要在每个字节内进行长度匹配。

给定处理器和 DDR4 存储器的 DQS、DQ 和 DM 引脚位置后，可以根据这些位置来确定可能的最大曼哈顿距离。而数据总线的传输线长度上限可以根据此距离来确定。与 CACLM 不同，DQLMn 限值不用增加裕度。这些限值就是该字节组中最长引脚对引脚布线的水平距离与垂直距离之和。

### 2.16.2 数据组布线限值

表 2-7 包含 DQS、DQ 和 DM 布线组的布线规格。每个字节通道都会独立布线并进行匹配。

若要使用长度匹配（单位为 mil）而不是延时时间（单位为 ps），请将延时时间（单位为 ps）乘以 5。在信号传播速度方面，微带线要快于带状线。采用长度匹配时，标准做法是将微带线长度除以 1.1 来获得补偿长度，从而使微带线长度与带状线长度实现标准化，并与提供的延迟限值保持一致（请参阅节 1.5）。

**表 2-7. 数据组布线规格**

数量	参数	最小值	最大值	单位
DRS31	BYTE0 长度		500	ps <sup>(10)</sup>
DRS32	BYTE1 长度		500	ps
DRS36	DQSn+ 至 DQSn- 偏差		0.4	ps
DRS37	DQSn 至 DQn 偏差 <sup>(2) (3)</sup>		2	ps
DRS38	每条迹线上的过孔数		2 <sup>(1)</sup>	个过孔
DRS39	过孔数差异		0 <sup>(9)</sup>	个过孔
DRS310	中心到中心 BYTEn 到其他 DDR4 迹线间距 <sup>(5)</sup>	4		w <sup>(4)</sup>
DRS311	中心到中心 DQn 到其他 DQn 迹线间距 <sup>(6)</sup>	3		w <sup>(4)</sup>
DRS312	DQSn 中心到中心间距 <sup>(7) (8)</sup>	请参阅以下注意事项		
DRS313	DQSn 中心到中心间距（到其他网）	4		w <sup>(4)</sup>

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 仅在一个字节内进行长度匹配。不需要也不建议在字节之间进行长度匹配。
- (3) 每个 DQS 对和与其关联的字节进行长度匹配。
- (4) 对于最长达 500 mil 的布线长度，中心到中心间距可降至最小 2w（仅在端点附近）。
- (5) 其他 DDR4 迹线间距表示字节之外的其他 DDR4 网类别。
- (6) 这适用于字节网类别内的间距。
- (7) 设置 DQS 对间距以确保具有适当的差分阻抗。
- (8) 用户必须控制阻抗，以免造成无意的阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗  $Z_0$  的两倍。
- (9) 只有在应用了信号飞行时间的精确 3-D 建模以确保不超过 DQn 偏差和 DQSn 至 DQn 偏差最大值时，过孔数差异才可能增加 1。
- (10) 以 ps 为单位显示的 PCB 布线长是长度的标准化表示。换算方式很简单，1ps 相当于 5 mil。这是针对微带线的所有段使用速度补偿时的等效带状线长度。

## 2.17 位交换

### 2.17.1 数据位交换

只要是在同一字节组内进行位交换，就允许进行数据位交换来简化路由。只有不使用 CRC 时才有可能实现这一点。不过，主位也即每个字节中编号最小的位，必须关联到 SDRAM 中的对应位而不能进行交换。也就是位 0 和位 8。另外，DM 和 DQS 位也不得交换。

### 2.17.2 地址和控制位交换

不允许对地址或控制位进行位交换，因为这会使功能中断。

## 3 LPDDR4 电路板设计和布局指南

### 3.1 LPDDR4 简介

LPDDR4 是受 JEDEC 标准 JESD209-4 ( *低功耗双倍数据速率 4 (LPDDR4)* ) 约束的 SDRAM 器件规范。该标准通过实现电压较低的 I/O 电源轨、在命令/地址总线上采用 ODT 以及减少命令/地址总线的整体宽度等功能，努力降低功耗并提高信号完整性。与其他 DDR 类型不同，LPDDR4 采用 16 位通道。

以下各节详细介绍了 LPDDR4 接口的布线规格和布局指南。

### 3.2 支持的 LPDDR4 器件实现

LPDDR4 支持很多不同的实现拓扑。不过，器件仅针对 LPDDR4 支持一个 16 位通道。可以实现具有额外通道和/或裸片的 SDRAM，但额外的通道/裸片将处于未连接和未使用状态。[表 3-1](#) 列出了唯一受支持的 LPDDR4 器件组合。

**表 3-1. 支持的 LPDDR4 SDRAM 组合**

LPDDR4 SDRAM 数量	通道	裸片	列数	LPDDR4 通道宽度	DDRSS 数据宽度
1	1	1	1	16 位	16 位

### 3.3 LPDDR4 接口原理图

如上所述，LPDDR4 支持很多不同的实现拓扑，但器件仅针对 LPDDR4 支持一个 16 位通道。图 3-1 显示了受支持的 16 位单列单通道 LPDDR4 实现。可以使用具有额外通道和/或裸片的 SDRAM，但额外的通道/裸片将处于未连接和未使用状态。

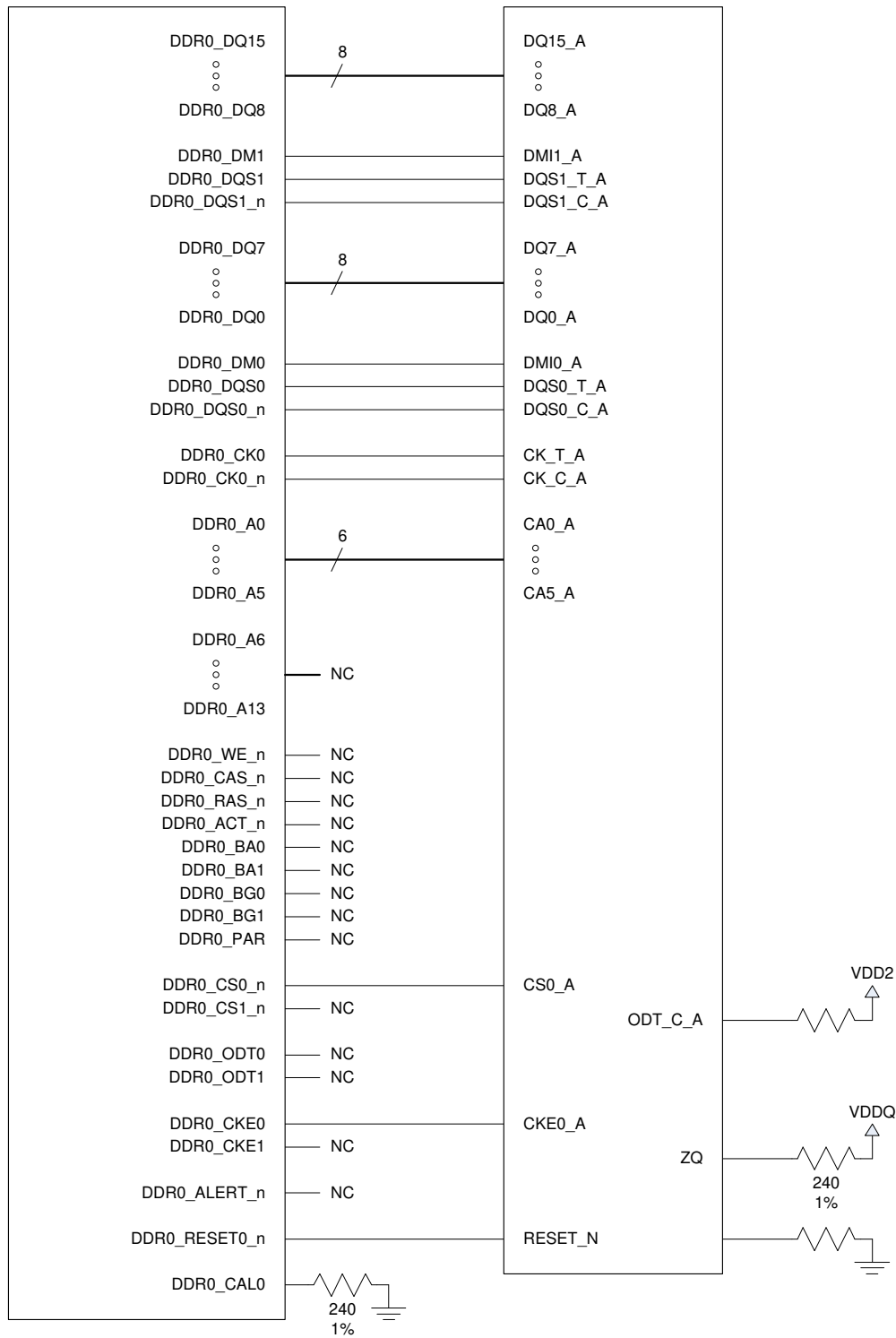


图 3-1. 16 位单列单通道 LPDDR4 实现

### 3.4 兼容的 JEDEC LPDDR4 器件

表 3-2 显示了与该接口兼容的 JEDEC LPDDR4 器件的参数。

表 3-2. 兼容的 JEDEC LPDDR4 器件

数量	参数	最小值	最大值	单位
1	数据速率 (1) (2)		1600	MT/s
2	通道位宽	x16	x16	位
3	通道	1	1	-
4	列数	1	1	-
5	裸片	1	1	-
6	器件数	1	1	-

- (1) 有关支持的数据速率，请参阅器件数据手册。  
 (2) 可以使用更快速度等级的 SDRAM，前提条件是对其进行正确配置，从而以支持的数据速率运行。具有更快速度等级的 SDRAM 可能具有更快的边沿速率，这可能会影响信号完整性。必须在目标板设计上验证具有更快速度等级的 SDRAM。

### 3.5 放置

图 3-2 显示了处理器和 LPDDR4 器件的放置要求。表 3-3 中定义了该图的尺寸。放置不限制将器件安装在 PCB 的哪一侧。放置的最终目的是限制最大布线迹线并留出适当的布线空间。

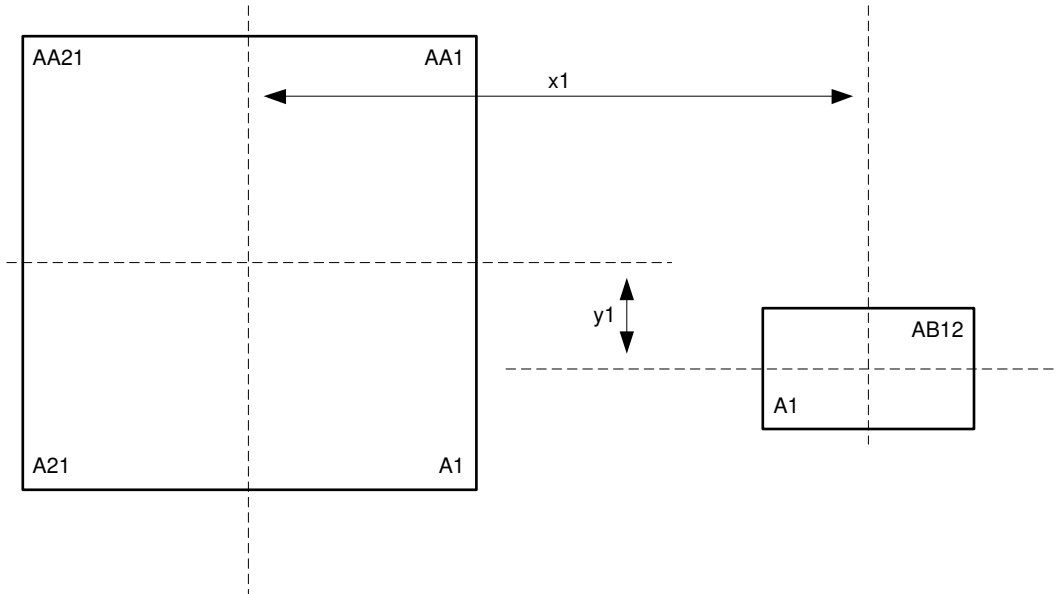


图 3-2. LPDDR4 放置规格

表 3-3. LPDDR4 放置参数

数量	参数	最小值	最大值	单位
1	x1		2000	Mils
2	y1		1000	Mils

### 3.6 LPDDR4 禁止区域

用于 LPDDR4 电路的 PCB 区域必须与其他信号隔离开来。为此定义了 LPDDR4 禁止区域，如图 3-3 中所示。该区域的大小因放置方式和 DDR 布线而异。对于非 LPDDR4 信号，不应在 LPDDR4 禁止区域内的 DDR 信号层上布线。只有在通过接地层与 DDR 信号层隔离开来的其他层上布线时，非 LPDDR4 信号才能在该区域中布线。该区域的参考接地层中不允许有缝隙。此外，整个禁止区域中应存在实心 VDDSDDR 电源平面。

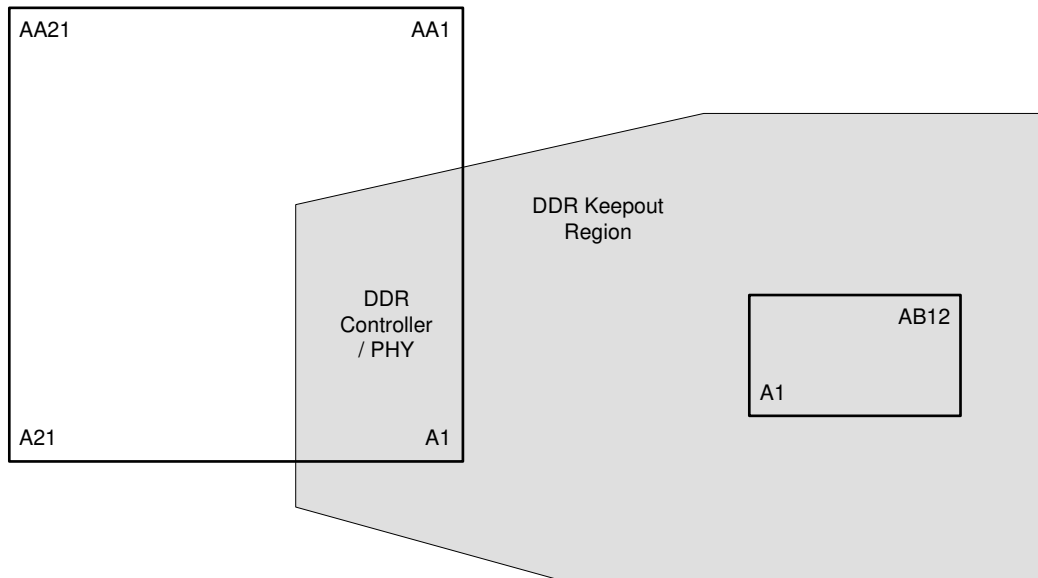


图 3-3. LPDDR4 禁止区域

### 3.7 网类别

布线规则应用于被称为网类别的组中的信号。每个网类别包含遵循相同布线要求的信号。这简化了这些布线的实施和依从性。表 3-4 列出了 LPDDR4 接口的时钟网类别。表 3-5 列出了 LPDDR4 接口中信号的网类别和相关的时钟网类别。然后将这些网类别链接到后续的终端和布线规则。

表 3-4. 时钟网类别定义

时钟网类别	处理器引脚名称
CK	DDR0_CK0 / DDR0_CK0_n
DQS0	DDR0_DQS0 / DDR0_DQS0_n
DQS1	DDR0_DQS1 / DDR0_DQS1_n

表 3-5. 信号网类别定义

信号网类别	关联的时钟网类别	处理器引脚名称
ADDR_CTRL	CK	DDR0_A[5:0]、DDR0_CS0、DDR0_CKE0
BYTE0	DQS0	DDR0_DQ[7:0]、DDR0_DM0
BYTE1	DQS1	DDR0_DQ[15:8]、DDR0_DM1

### 3.8 LPDDR4 信号终端

LPDDR4 存储器具有用于数据组网的软件可配置片上终端。DDR 子系统还包含用于地址/控制组网的软件可配置片上终端。因此，对于 LPDDR4 配置而言，任何 DDR 信号都不需要终端。



### 3.9 LPDDR4 VREF 布线

LPDDR4 存储器会在内部分别为地址/命令总线和数据总线生成其自有 VREFCA 和 VREFDQ。类似地，DDR PHY 还在读取期间为数据组网提供其自有基准电压。因此，与 DDR3 和 DDR4 不同，LPDDR4 不需要在板上生成 VREF，并且其配置不需要 VREF 布线。

### 3.10 LPDDR4 VTT

与 DDR3 和 DDR4 不同，LPDDR4 配置的地址/控制总线的 PCB 上不需要终端。所有终端都在内部（片上）处理。因此，VTT 不适用于 LPDDR4。

### 3.11 CK 和 ADDR\_CTRL 拓扑

CK 和 ADDR\_CTRL 网类别的布线方式相似，通过处理器中的 DDR 控制器与 LPDDR4 SDRAM 进行长度匹配，以最大限度地减少信号之间的偏差并保证在 SDRAM 上对 ADDR\_CTRL 信号进行正确采样。CK 网类别需更加注意，因为它以更高的转换速率运行并且采用差分形式。CK 和 ADDR\_CTRL 拓扑为点对点拓扑。

图 3-4 显示了 CK 网类别的拓扑，而图 3-5 显示了相应 ADDR\_CTRL 网类别的拓扑。表 3-6 详细介绍了布线段的长度匹配要求。

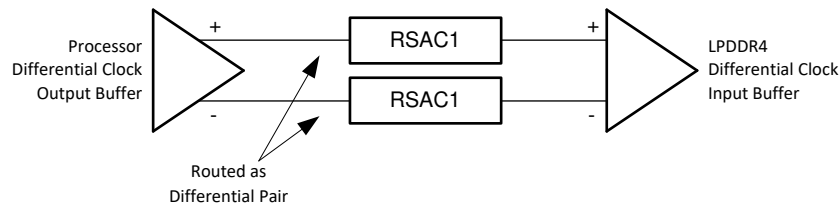


图 3-4. LPDDR4 CK 拓扑

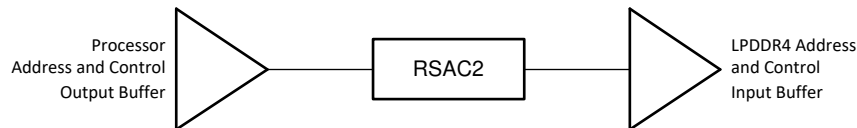


图 3-5. LPDDR4 ADDR\_CTRL 拓扑

在布线期间尽量减少层转换。如果必须进行某个层转换，则最好转换到使用相同参考平面的层。当参考平面为接地平面和 VDDSDDR 时，如果无法做到这一点，请确保附近有拼接过孔，以使返回电流在这两个参考平面之间转换。另外，当其中一个参考平面为接地平面，而另一个参考平面为 VDDSDDR 时，请确保附近放置了旁路电容器，以使返回电流在这两个参考平面之间转换。每个参考平面转换都必须满足这一条件。目标是最大限度地减小返回电流路径的大小，从而尽量减小该路径中的电感。如果缺少这些拼接过孔或电容器，则会导致信号路径中的阻抗不连续，从而增加串扰和信号失真。

在 CK 和 ADDR\_CTRL 布线组拓扑的网上不允许存在残桩或终端。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

### 3.12 数据组拓扑

对于 LPDDR4 实现，数据线拓扑始终是点对点拓扑，并被分成两个不同的字节布线组。在布线期间尽量减少层转换。如果必须进行某个层转换，则最好转换到使用相同参考平面的层。如果无法做到这一点，则确保附近有接地过孔，以使返回电流在参考平面之间转换。目标是为返回电流提供低电感路径。为了优化长度匹配，TI 建议在一个层上对单个数据布线组内的所有网进行布线，该组中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。

DQSP 和 DQSN 线是作为一个差分对进行布线的点对点信号。图 3-6 显示了 DQSP/N 连接拓扑。

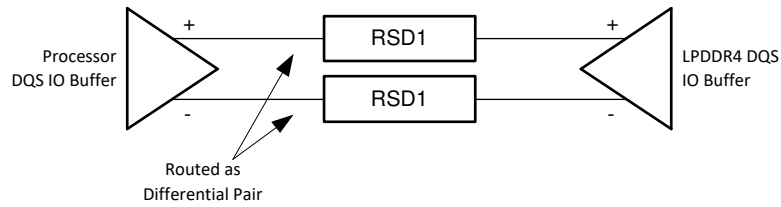


图 3-6. LPDDR4 DQS 拓扑

DQ 和 DM 线是作为单端进行布线的点对点信号。图 3-7 显示了 DQ 和 DM 连接拓扑。

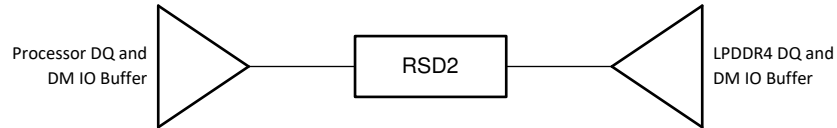


图 3-7. LPDDR4 DQ/DM 拓扑

数据组拓扑网上不允许存在残桩或终端。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

### 3.13 CK 和 ADDR\_CTRL 布线规格

CK 和 ADDR\_CTRL 网类别中的偏差会直接降低 ADDR\_CTRL 网的建立和保持裕度。因此，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过匹配一组定义的信号内布线的长度来管理延迟偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及其相关时钟的长度。

表 3-6 列出了从处理器到 SDRAM 布线的各段限值。这些段的长度与先前图 3-4 和图 3-5 中显示的 CK 和 ADDR\_CTRL 拓扑图一致。通过使某个布线组中所有信号的相同段的布线长度保持匹配，可以控制信号延迟偏差。大多数 PCB 布局工具都可以配置为生成报告以帮助执行此验证。如果无法自动生成该报告，则必须手动生成并进行验证。

表 3-6. CK 和 ADDR\_CTRL 布线规格

数量	参数	最小值	最大值	单位
LP4_ACRS1	网类别 CK 的传播延迟 RSAC1		500 <sup>(1)</sup>	ps
LP4_ACRS2	网类别 ADDR_CTRL 的传播延迟 RSAC2		500 <sup>(1)</sup>	ps
LP4_ACRS3	网类别 CK 内的偏差 (DDR0_CK0 至 DDR0_CK0_n 偏差)		0.4	ps
LP4_ACRS4	网类别 ADDR_CTRL 上的偏差 (RSAC2)		3	ps
LP4_ACRS5	ADDR_CTRL 网类别以及关联的 CK 时钟网类别上的偏差 (RSAC1 至 RSAC2)		3	ps
LP4_ACRS6	每条迹线上的过孔数		3 <sup>(1)</sup>	个过孔
LP4_ACRS7	过孔数差异		1 <sup>(2)</sup>	个过孔
LP4_ACRS8	中心到中心 CK 到其他 LPDDR4 迹线间距 <sup>(3)</sup>	4w		
LP4_ACRS9	中心到中心 ADDR_CTRL 到其他 LPDDR4 迹线间距 <sup>(3)</sup>	4w		
LP4_ACRS10	中心到中心 ADDR_CTRL 到其他 ADDR_CTRL 迹线间距 <sup>(3)</sup>	3w		
LP4_ACRS11	CK 中心到中心间距 <sup>(4) (5)</sup>	请参阅以下注意事项		
LP4_ACRS12	CK 到其他网间距 <sup>(3)</sup>	4w		

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 只有在应用了信号飞行时间的精确 3-D 建模以确保不超过所有段偏差最大值时，过孔数差异才可能增加 1。
- (3) 对于最长达 500 mil 的布线长度，允许中心到中心间距降至最小 2w (仅在端点附近)。
- (4) 设置 CK 间距以确保具有适当的差分阻抗。
- (5) 用户必须控制阻抗，以免造成无意的阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗  $Z_0$  的两倍。

### 3.14 数据组布线规格

字节信号网类别中的偏差会直接降低 DQ 和 DM 网的建立和保持裕度。因此，与 ADDR\_CTRL 信号网类别和相关的 CK 时钟网类别一样，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过匹配一组定义的信号内布线的长度来管理长度偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及其相关时钟的长度。

#### 备注

不需要也不建议在所有字节通道之间匹配长度。仅需要在每个字节内进行长度匹配。

表 3-7 包含字节 0 和字节 1 布线组的布线规格。每个信号网类别及其相关的时钟网类别都是独立布线并进行匹配的。

表 3-7. 数据组布线规格

数量	参数	最小值	最大值	单位
LP4_DRS1	网类别 DQSx 的传播延迟 (RSD1)		500	ps
LP4_DRS2	网类别 BYTE <sub>x</sub> 的传播延迟 (RSD2)		500	ps
LP4_DRS3	网类别 DQSx 内的偏差 (DDR0_DQSx 至 DDR0_DQSx <sub>n</sub> 偏差)		0.4	ps
LP4_DRS4	网类别 DQSx 和 BYTE <sub>x</sub> 上的偏差 (RSD1 至 RSD2 偏差) <sup>(1) (2)</sup>		2	ps
LP4_DRS5	网类别 BYTE <sub>x</sub> 内的偏差 (DQ/DM 至 DQ/DM 偏差) <sup>(1)</sup>		2	ps
LP4_DRS6	每条迹线上的过孔数		2 <sup>(4)</sup>	个过孔
LP4_DRS7	过孔数差异		0 <sup>(3)</sup>	个过孔
LP4_DRS8	RSD1 中心到中心间距 (时钟网类别之间) <sup>(5)</sup>	4w		
LP4_DRS9	RSD1 中心到中心间距 (时钟网类别内) <sup>(6) (7)</sup>	请参阅以下注意事项		
LP4_DRS10	RSD2 中心到中心间距 (信号网类别之间) <sup>(5)</sup>	4w		
LP4_DRS11	RSD2 中心到中心间距 (信号网类别内) <sup>(5)</sup>	3w		

- (1) 仅在一个字节内进行长度匹配。不需要也不建议在字节之间进行长度匹配。
- (2) 每个 DQS 对和与其关联的字节进行长度匹配。
- (3) 只有在应用了信号飞行时间的精确 3-D 建模以确保不超过 DQ<sub>n</sub> 偏差和 DQS<sub>n</sub> 至 DQ<sub>n</sub> 偏差最大值时，过孔数差异才可能增加 1。
- (4) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (5) 对于最长达 500 mil 的布线长度，允许中心到中心间距降至最小 2w (仅在端点附近)。
- (6) 设置 DQS 对间距以确保具有适当的差分阻抗。
- (7) 用户必须控制阻抗，以免造成无意的阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Z<sub>0</sub> 的两倍。

### 3.15 通道、字节和位交换

对于所有信号 (包括数据和地址/控制)，都必须从 DDR 控制器到 LPDDR4 存储器进行一对一布线。不允许在通道之间或在一个通道内进行字节交换。同样，也不允许在字节通道之间或在一个字节内进行数据位交换。

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from JANUARY 1, 2021 to JULY 30, 2021 (from Revision \* (January 2021) to Revision A (July 2021))

	Page
• 增加了“速度补偿”一节.....	5
• 更新了“DDR4 接口原理图”一节.....	7
• 更新了“采用 x16 SDRAM 实现具有 ECC 功能的 32 位、单列 DDR4”图。.....	7
• 更新了“采用 x8 SDRAM 实现具有 ECC 功能的 32 位、单列 DDR4”图。.....	9
• 更新了“VREF 布线”一节.....	12
• 更新了“数据组拓扑与布线指南”一节.....	16
• 更新了“CK 和 ADDR_CTRL 布线限值”一节.....	18
• 更新了“CK 和 ADDR_CTRL 布线规格”表.....	18
• 更新了“数据组布线限值”一节.....	20
• 更新了“数据组布线规格”表.....	20

## 重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司