

将 TLV320ADCx120 和 PCMx120-Q1 作为音频总线控制器进行配置和操作



Gaurav Rana, Pedro Gelabert

摘要

TLV320ADCx120 和 PCMx120-Q1 是双通道音频模数转换器系列。此器件系列具有灵活的音频串行接口，通过此接口可将器件配置为控制器或目标。本文档介绍了将 TLV320ADCx120 和 PCMx120-Q1 器件配置为音频总线控制器所需的模式、输入参数和寄存器系数。

内容

注释.....	1
1 引言.....	2
2 控制器模式.....	2
2.1 控制器模式配置选项.....	2
3 控制器模式下 I ² S 和 LJF 的边沿同步.....	7
3.1 I ² S 和 LJF 标准总线格式.....	7
3.2 对非标准 I ² S 和 LJF 总线格式的支持.....	7
4 相关文档.....	9
A 修订历史记录.....	9

插图清单

图 3-1. 控制器模式下的默认 I ² S 格式 (TX_OFFSET = 0).....	7
图 3-2. 控制器模式下的默认 LJF 格式 (TX_OFFSET = 0).....	7
图 3-3. 控制器模式下的自定义 I ² S 格式 (TX_OFFSET = 0).....	8
图 3-4. 控制器模式下的自定义 LJF 格式 (TX_OFFSET = 0).....	8

表格清单

表 2-1. MCLK 频率选择模式以及支持的频率或比率.....	2
表 2-2. 启用 PLL 时的控制器模式自动时钟配置所需的输入参数.....	3
表 2-3. 支持的 FSYNC (48kHz 的倍数和约数) 和 BCLK 频率.....	3
表 2-4. 支持的 FSYNC (44.1kHz 的倍数和约数) 和 BCLK 频率.....	3
表 2-5. 禁用 PLL 时的控制器模式自动时钟配置所需的输入参数.....	4
表 2-6. 禁用 PLL 时自动时钟配置支持的采样率.....	4

商标

Burr-Brown™ and PurePath™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

注释

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

1 引言

TLV320ADCx120 和 PCMx120-Q1 是双通道音频模数转换器系列。此器件系列具有灵活的音频串行接口，通过此接口可将器件配置为控制器或目标。本文档介绍了将 TLV320ADCx120 和 PCMx120-Q1 器件配置为音频总线控制器所需的模式、输入参数和寄存器系数。

2 控制器模式

对于基于 I²S 的数字音频通信协议，控制器器件生成以下时钟：位时钟 (BCLK) 和字时钟 (WCLK) (或帧同步，FSYNC)。另一方面，目标器件从外部器件接收以下时钟：BCLK 和 WCLK (或 FSYNC)。在许多应用中，在将 TLV320ADCx120 和 PCMx120-Q1 作为目标器件时，具有高级数字音频接口的主机处理器可以充当音频总线控制器。然而，在以下情况下，将音频 ADC 作为音频总线控制器很有优势：

- 主处理器或 DSP 无法输出或生成标准音频时钟。标准音频时钟是生成所需音频串行接口 (ASI) FSYNC 和 BCLK 时钟的采样率的整数倍。在这种情况下，外部 PLL 倍频器生成适当的音频时钟。
- 轻松同步多个 TLV320ADCx120 和 PCMx120-Q1 器件，以便跨所有通道和器件同时录制。在这种情况下，将一个 TLV320ADCx120 或 PCMx120-Q1 器件配置为控制器，以生成低抖动 ASI 时钟。
- 主机没有灵活的 ASI 总线来生成系统所需的音频时钟，但当配置为目标器件时，允许将上述这些时钟作为输入。

以下各节描述了将器件配置为音频总线控制器所需的模式、输入参数或寄存器设置。

2.1 控制器模式配置选项

TLV320ADCx120 和 PCMx120-Q1 在配置为 ASI 控制器时支持两种功能模式：

- **在启用内部 PLL 时自动生成时钟。** 启用 PLL 将允许自动时钟生成器引擎生成一个系统时钟，该系统时钟可大于所提供的 MCLK。
- **在禁用内部 PLL 时自动生成时钟。** 禁用 PLL 会将系统时钟限制在 MCLK 频率。

系统时钟馈送到抽取滤波器和所有数字信号处理块 (双二阶滤波器、数字音量控制、高通滤波器等)。禁用 PLL 会限制可用的数字信号处理量。然而，在禁用低抖动 PLL 的情况下，ADC 的性能会因来自外部时钟源的抖动而降低。对于在高性能应用中配置为控制器模式的器件，建议的工作模式是启用 PLL。

若要将 TLV320ADCx120 和 PCMx120-Q1 配置为 ASI 控制器，需要在 GPIO_CFG0 (第 0 页，寄存器 0x21，位 7-4) 中将 GPIO1 配置为 MCLK 输入。MCLK 的频率必须是通过配置 MCLK_FREQ_SEL 频率选择模式 (第 0 页，MST_CFG0 寄存器 0x13，位 2-0) 而支持的频率或比率之一，如表 2-1 所示。请注意，当使用“在禁用内部 PLL 时自动生成时钟”时，还必须配置 MCLK_RATIO_SEL (第 0 页，CLK_SRC 寄存器 0x16，位 5-3)。

表 2-1. MCLK 频率选择模式以及支持的频率或比率

MCLK 频率选择模式	支持的频率或比率
MCLK_FREQ_SEL (第 0 页，MST_CFG0 寄存器 0x13，位 2-0)	12MHz、12.288MHz、13MHz、16MHz、19.2MHz、19.68MHz、24MHz、24.576MHz
MCLK_RATIO_SEL (第 0 页，CLK_SRC 寄存器 0x16，位 5-3)	64、256、384、512、768、1024、1536、2304

2.1.1 启用 PLL 时的自动时钟配置

在控制器模式下配置器件时，自动时钟配置引擎需要四个由用户提供的参数来生成适当的 ASI 时钟，如表 2-2 所示。

表 2-2. 启用 PLL 时的控制器模式自动时钟配置所需的输入参数

用户提供的参数	寄存器
MCLK 频率	第 0 页，MST_CFG0 寄存器 0x13，位 2-0
采样率 (F _S) 模式 (48kHz 或 44.1kHz 的倍数)	第 0 页，MST_CFG0 寄存器 0x13，位 3
FS_RATE	第 0 页，MST_CFG1 寄存器 0x14，位 7-4
FSYNC 与 BCLK 的比率	第 0 页，MST_CFG1 寄存器 0x14，位 3-0

2.1.1.1 支持的采样率

表 2-3 展示了 48kHz 倍数和约数支持的采样率和 BCLK 与 FSYNC 的比率。

表 2-3. 支持的 FSYNC (48kHz 的倍数和约数) 和 BCLK 频率

BCLK 与 FSYNC 的比率	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	保留	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	保留
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	保留
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	保留	保留
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	保留	保留
192	1.536	3.072	4.608	6.144	9.216	18.432	保留	保留	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留	保留	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留	保留	保留
1024	8.192	16.384	24.576	保留	保留	保留	保留	保留	保留
2048	16.384	保留	保留	保留	保留	保留	保留	保留	保留

表 2-4 展示了 44.1kHz 的倍数和约数支持的采样率和 BCLK/FSYNC 的比率。

表 2-4. 支持的 FSYNC (44.1kHz 的倍数和约数) 和 BCLK 频率

BCLK 与 FSYNC 的比率	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	保留
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	保留
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	保留	保留
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	保留	保留
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留	保留	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留	保留	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留	保留	保留
1024	7.5264	15.0528	22.5792	保留	保留	保留	保留	保留	保留

表 2-4. 支持的 FSYNC (44.1kHz 的倍数和约数) 和 BCLK 频率 (continued)

BCLK 与 FSYNC 的比率	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
2048	15.0528	保留	保留	保留	保留	保留	保留	保留	保留

2.1.1.2 12MHz MCLK 示例

对于 12MHz MCLK，以下 I²C 脚本将 TLV320ADCx120 和 PCMx120-Q1 配置为控制器模式，GPIO1 作为 MCLK 输入，以实现 44.1kHz 或 48kHz 采样率：

```
w 9C 21 a0 # configure GPIO1 as MCLK input w 9C 13 80 # configure device as mcontrollerwith MCLK = 12 MHz w 9C 14 48 # FS = 44.1/48k BCLK/ratio = 256
```

2.1.2 禁用 PLL 时的自动时钟检测

为了实现更低的功耗，建议禁用 PLL 并直接从 MCLK 获得所有时钟。若要在自动配置模式下禁用 PLL，请在 MST_CFG0 (第 0 页，寄存器 0x13) 中设置位 5 (AUTO_MODE_PLL_DIS)。该模式所需的输入见表 2-5。

表 2-5. 禁用 PLL 时的控制器模式自动时钟配置所需的输入参数

用户提供的参数	寄存器
FS MODE	第 0 页，MST_CFG0 寄存器 0x13，位 3
FS_RATE	第 0 页，MST_CFG1 寄存器 0x14，位 7-4
FS_BCLK_RATIO	第 0 页，MST_CFG1 寄存器 0x14，位 3-0
MCLK_FREQ_SEL_MODE	第 0 页，CLK_SRC 寄存器 0x16，位 6
MCLK_RATIO_SEL	第 0 页，CLK_SRC 寄存器 0x16，位 5-3

2.1.2.1 支持的采样率

表 2-6 展示了禁用 PLL 时支持的采样率。如表 2-6 所示，由于系统中时钟的可用性更高，MCLK 比率较高则允许使用更多数量的数字处理块或更多的数字处理块计算。

表 2-6. 禁用 PLL 时自动时钟配置支持的采样率

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	
8	12.288	1536	1	禁用	线性相位	32	32	
					低延迟			
					超低延迟			
			2		线性相位	48		24
					低延迟			
					超低延迟			
16	12.288	768	1	禁用	线性相位	24	24	
				启用				
				禁用	低延迟			
				启用				
				禁用	超低延迟			
			启用	超低延迟				
			2	禁用	线性相位	48		24
					低延迟			
					超低延迟			

表 2-6. 禁用 PLL 时自动时钟配置支持的采样率 (continued)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长
16	24.576	1536	1	禁用	线性相位	24	24
				启用			
				禁用	低延迟		
				启用			
				禁用	超低延迟		
			启用				
			2	禁用	线性相位	48	
				启用			
				禁用	低延迟		
				启用			
禁用	超低延迟						
启用							
16	36.864	2304	1	禁用	线性相位	24	24
				启用			
				禁用	低延迟		
				启用			
				禁用	超低延迟		
			启用				
			2	禁用	线性相位	48	
				启用			
				禁用	低延迟		
				启用			
禁用	超低延迟						
启用							
24	12.288	512	1	禁用	线性相位	32	32
				启用			
				禁用	低延迟		
				启用			
			禁用	超低延迟			
			启用				
			2	禁用	线性相位		
	启用						
	禁用	超低延迟					
	启用						
	24.576	1024	1	禁用	线性相位	32	32
				启用			
				禁用	低延迟		
				启用			
禁用			超低延迟				
启用							
2			禁用	线性相位	64		
			启用				
	禁用	低延迟					
	启用						
禁用	超低延迟						
启用							
24	36.864	1536	1	禁用	线性相位	24	24
				启用			
				禁用	低延迟		
				启用			
				禁用	超低延迟		
				启用			
				2	禁用		
			启用				
			禁用		低延迟		
			启用				
			禁用		超低延迟		
			启用				

表 2-6. 禁用 PLL 时自动时钟配置支持的采样率 (continued)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长		
32	12.288	384	1	禁用	线性相位	24	24		
				启用					
				禁用	低延迟				
			启用						
			禁用	超低延迟					
			启用						
	2	禁用	线性相位	48					
		禁用	超低延迟						
		禁用	线性相位	24					
	1	禁用	线性相位						
		启用							
		禁用	低延迟						
启用									
禁用	超低延迟								
启用									
2	禁用	768	2	禁用	线性相位	48			
	启用								
	禁用			低延迟					
	启用								
	禁用		超低延迟						
	启用								
48	12.288	256	1	禁用	线性相位	32	32		
				启用	低延迟				
					超低延迟				
				禁用	低延迟	32			
				启用					
				禁用	超低延迟				
	启用								
	2	禁用	线性相位	64					
		禁用	低延迟						
		禁用	超低延迟						
	48	36.864	768	1	禁用	线性相位		24	24
					启用				
禁用					低延迟				
启用									
禁用				超低延迟					
启用									
2		禁用	768	2	禁用	线性相位	48		
		启用							
		禁用			低延迟				
		启用							
		禁用		超低延迟					
		启用							
96	24.576	256	1	禁用	线性相位	32	24		
				启用	低延迟				
					超低延迟				
				禁用	线性相位	24			
				启用					
				禁用	低延迟				
	启用								
	禁用	超低延迟							
	启用								
	2	禁用	384	2	禁用	线性相位		48	
		禁用			低延迟				
		禁用			超低延迟				

2.1.2.2 示例

对于 24.576MHz 或 22.579MHz MCLK，以下 I²C 脚本将 TLV320ADCx120 和 PCMx120-Q1 配置为控制器模式，GPIO1 作为 MCLK 输入，以分别实现 48kHz 或 44.1kHz 采样率：

```
w 9C 13 a0 # enable controller mode, disable PLL for auto-clock config w 9C 14 48 # FS = 44.1/48k
BCLK/fsync ratio = 256 w 9C 16 d8 # MCLK is audio root, use MCLK_ratio_sel, MCLK/Fsync ratio = 512
w 9C 21 a0 # configure GPIO1 as MCLK input
```

3 控制器模式下 I²S 和 LJF 的边沿同步

在控制器模式下，TLV320ADCx120 和 PCMx120-Q1 支持标准 I²S 和 LJF 总线格式以及非标准格式。借助 BCLK 和 FSYNC 的可配置极性以及发送边沿上的延迟，可以支持其他非标准格式。

3.1 I²S 和 LJF 标准总线格式

在标准 I²S 和 LJF 总线格式中，FSYNC 沿与 BCLK 的下降沿同步。图 3-1 和图 3-2 展示了 TLV320ADCx120 和 PCMx120-Q1 分别在 I²S 和 LJF 模式下支持的时序图。

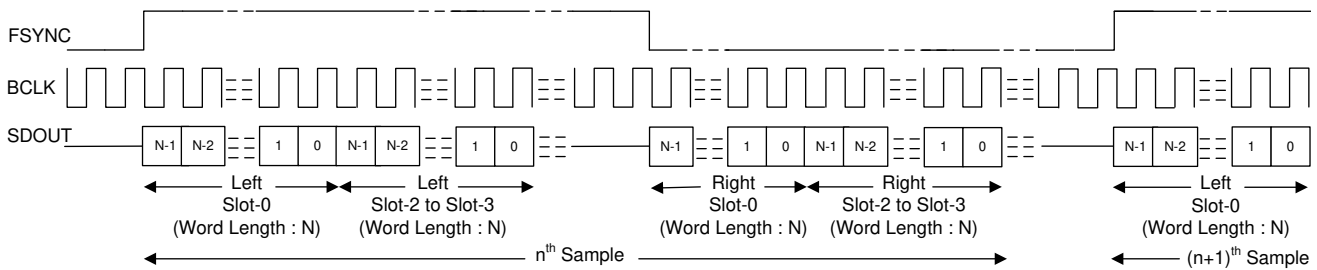


图 3-1. 控制器模式下的默认 I²S 格式 (TX_OFFSET = 0)

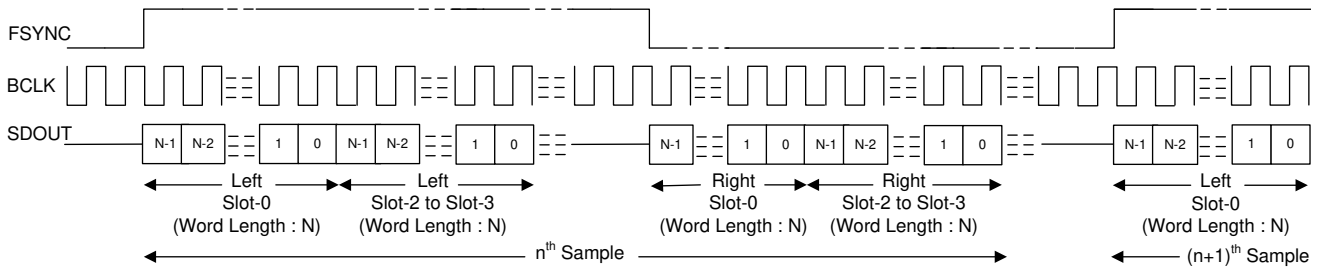


图 3-2. 控制器模式下的默认 LJF 格式 (TX_OFFSET = 0)

3.2 对非标准 I²S 和 LJF 总线格式的支持

TLV320ADCx120 和 PCMx120-Q1 器件还可以通过以下寄存器中的可配置选项，支持非标准 I²S 和 LJF 总线格式：

- BCLK_POL (第 0 页，ASI_CFG0 寄存器 0x07，位 2)
- TX_EDGE (第 0 页，ASI_CFG0 寄存器 0x07，位 1)
- FSYNC_POL (第 0 页，ASI_CFG0 寄存器 0x07，位 3)
- TX_OFFSET (第 0 页，ASI_CFG1 寄存器 0x08，位 4-0)
- INV_BCLK_FOR_FSYNC (第 0 页，CLK_SRC 寄存器 0x16，位 1)

图 3-3 和图 3-4 描述了使用以下寄存器设置可以实现的非标准 I²S 和 L²JF 总线格式的示例：

- BCLK_POL (第 0 页, ASI_CFG0 寄存器 0x07, 位 2) = 1
- TX_EDGE (第 0 页, ASI_CFG0 寄存器 0x07, 位 1) = 1

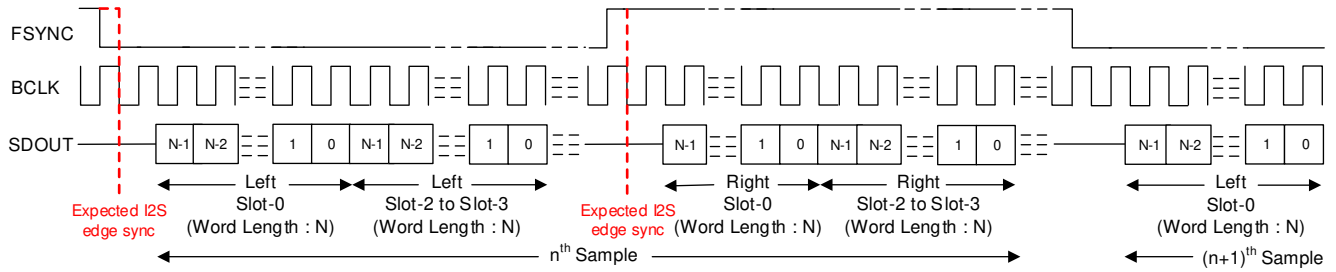


图 3-3. 控制器模式下的自定义 I²S 格式 (TX_OFFSET = 0)

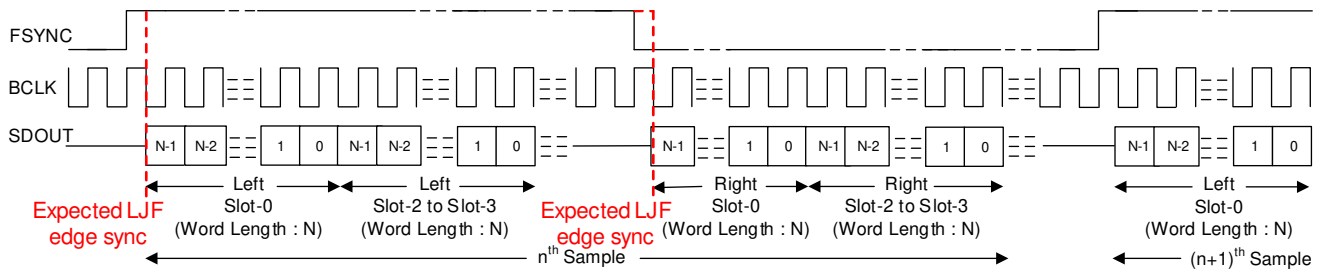


图 3-4. 控制器模式下的自定义 L²JF 格式 (TX_OFFSET = 0)

4 相关文档

相关文档如下：

- PCM6120-Q1
 - 德州仪器 (TI) , [PCM6120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- PCM5120-Q1
 - 德州仪器 (TI) , [PCM5120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- PCM3120-Q1
 - 德州仪器 (TI) , [PCM3120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- TLV320ADC6120
 - 德州仪器 (TI) , [TLV320ADC6120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC6120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- TLV320ADC5120
 - 德州仪器 (TI) , [TLV320ADC5120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC5120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- TLV320ADC3120
 - 德州仪器 (TI) , [TLV320ADC3120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC3120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- 德州仪器 (TI) , [ADCx120EVM-PDK 用户指南](#)
- 德州仪器 (TI) , [PurePath™ Console](#)

A 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (May 2021) to Revision A (April 2022)	Page
• 添加了 PCMx120-Q1 器件.....	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司