

## AFE77xx 镜像校正功能及问题定位

Lijia Zhu

### 摘要

零中频架构相较于其他射频收发架构，具有结构简单，功耗更低的优势，广泛应用于各种射频通信系统中。然而，由实际电路的非理想特性导致的镜像和本振泄露带来星座图的畸变，是应用中需要解决的一大难题。AFE77xx 是 TI 推出的高集成度零中频架构射频收发芯片，开创性地集成了 4 个零中频发射通道，4 个零中频接收通道和 2 个 RF sampling 架构的反馈监视通道。其中反馈通道即作为 DPD 环路的一部分为 ASIC/FPGA 提供反馈信号，同时也作为内部镜像校正功能提供反馈。AFE77xx 内部集成了镜像和本振泄露校正所需要的功能模块，大大降低了客户 ASIC/FPGA 的计算复杂度。本文将介绍 AFE77xx 内部镜像和本振泄露校正功能以及应用过程中的常见问题的定位思路。

### 目录

1	引言.....	2
2	TX 镜像和本振泄露校正.....	3
	2.1 镜像和本振泄露的成因.....	3
	2.2 TX 和 FB 链路简介.....	4
	2.3 TX QMC 链路.....	5
	2.4 TX QMC 所需外部连接.....	7
3	常见问题定位.....	10
4	参考文献.....	12

### 图

Figure 1.	零中频系统架构及上下变频频谱示意图.....	2
Figure 2.	镜像和本振泄露情况下的 QPSK 星座图.....	4
Figure 3.	TX 信号链路.....	4
Figure 4.	FB 信号链路.....	5
Figure 5.	TX QMC 简图.....	5
Figure 6.	TX QMC 环路.....	6
Figure 7.	使用两路 FB 系统框图.....	7
Figure 8.	使用单路 FB 系统框图.....	8
Figure 9.	使用两路 FB 各信号真值表.....	8
Figure 10.	使用一路 FB 各信号真值表.....	9
Figure 11.	TX QMC 轮询切换示意图.....	9

# 1 引言

在零中频(ZIF)架构的射频系统中，射频信号和基带信号间由模拟混频器完成上/下变频。其中混频器的本振频率等于射频信号载波频率。射频信号频谱分布于载波两边，基带信号的频谱分布于零频率两侧（对于使用了数字低中频的系统，基带位于零频率的一侧，对应的射频信号也位于本振一侧）。为了区分基带信号正负频率，系统需要两路正交的基带信号（一般记作 I 与 Q），对应的收发系统设计即如图 1 所示的正交混频架构。

在工程实践中，射频链路的非理想特性会产生增益和相位的误差，使得 IQ 两路增益无法完全一致，相位无法完全正交，体现在信号上就是镜像（Image）的出现；而实际电路有限的隔离度造成信号耦合，在发送端体现为载波频点处的单音信号发射，即本振泄露（LO Leakage），在接收端体现为自混频产生的直流偏移（DC offset）。镜像的幅度会随主信号变化，因此用相对于主信号的相对值来定义大小，单位是 dBc，本振泄露和直流漂移一般使用相对于 AD/DA 满幅度来标定，单位是 dBFs。一般而言，设计良好的模拟电路的镜像幅度在-40dBc 左右，本振泄露可以做到-40dBFs 左右。这无法满足现代通信系统的需要，因此在系统中引入校正措施降低镜像和本振泄露/直流偏移十分有必要。

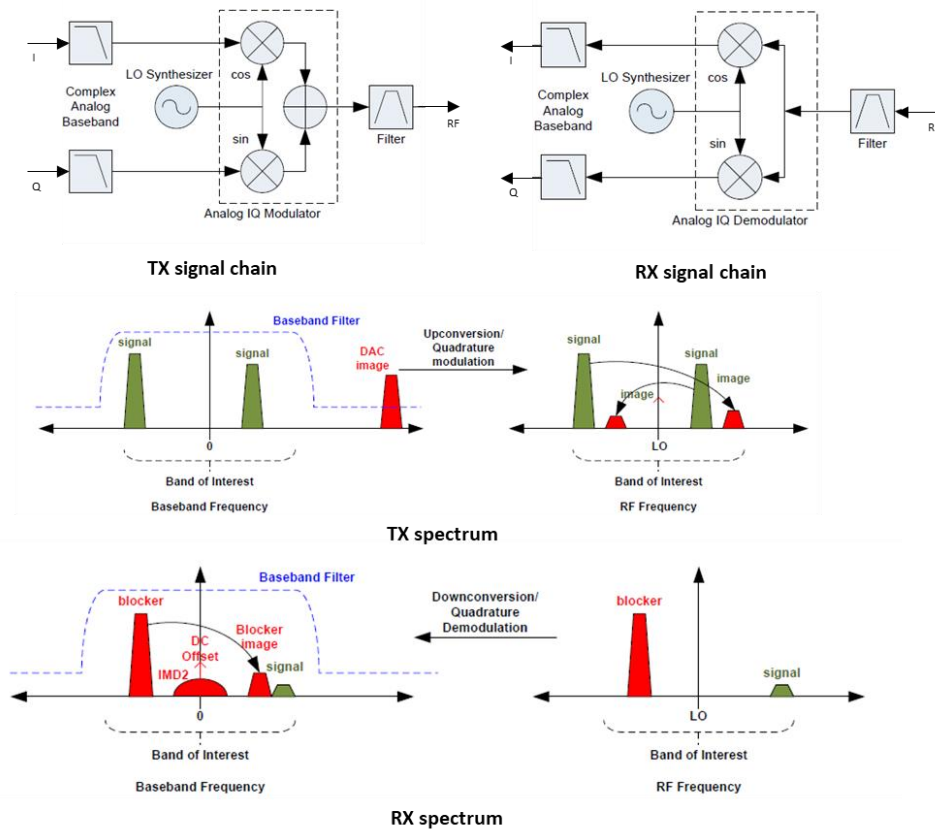


Figure 1. 零中频系统架构及上下变频频谱示意图

数字校正是最常见的一种校正方式。可以通过 ASIC/FPGA 对基带信号进行处理来完成，但是这加重了基带处理器的计算负担，同时增加了基带算法开发的难度。AFE77xx 内置了数字校正所需的功能模块，可以独立完成对 TX 和 RX 通道的镜像和本振泄露/直流偏移的校正。客户可以根据需求，选择 TX 侧校正功能的开启与否，开启该功能需要在启动脚本中进行配置；在 RX 侧，校正功能一般默认都开启。使用 AFE77xx 内置的数字校正功能可以大大降低基带处理器的计算量，降低系统的复杂度。

## 2 TX 镜像和本振泄露校正

相对于 TX 侧的校正，RX 方向的校正功能不涉及到和外部器件的配合，全部功能由 AFE77xx 内部模块完成，因此相对比较简单，应用中遇到的问题也较少。以下内容主要介绍 TX 的镜像和本振泄露校正功能（以下简称为 QMC）及应用注意事项。

### 2.1 镜像和本振泄露的成因

镜像是由于 IQ 链路的增益不平衡、相位非正交导致的。先看理想混频器，假设输入信号为单音：

$$\begin{aligned} V_I &= V_0 \cos(\omega_{in}t) \\ V_Q &= V_0 \sin(\omega_{in}t) \end{aligned}$$

经过理想混频器后为：

$$V_{out} = V_0 \cos(\omega_c t) \cos(\omega_{in} t) - V_0 \sin(\omega_c t) \sin(\omega_{in} t) = \cos[(\omega_c + \omega_{in})t]$$

可以看到只有一个  $\omega_c + \omega_{in}$  的边带出现在输出端。再看实际的混频器，这里假设所有的增益和相位误差均来自于本振，且混频器的转换增益与本振功率线性正相关以简化分析，增益的不平衡度记为  $\varepsilon$ ，相位的误差记为  $\varphi$ ，容易推导得到输出的信号如下式所示：

$$\begin{aligned} V_{out} &= V_0(1 + \varepsilon) \cos(\omega_c t + \varphi) \cos(\omega_{in} t) - V_0 \sin(\omega_c t) \sin(\omega_{in} t) \\ &= \frac{V_0}{2} [(1 + \varepsilon) \cos \varphi + 1] \cos[(\omega_c + \omega_{in})t] - \frac{V_0}{2} (1 + \varepsilon) \sin \varphi \sin[(\omega_c + \omega_{in})t] \\ &\quad + \frac{V_0}{2} [(1 + \varepsilon) \cos \varphi - 1] \cos[(\omega_c - \omega_{in})t] - \frac{V_0}{2} (1 + \varepsilon) \sin \varphi \sin[(\omega_c - \omega_{in})t] \end{aligned}$$

可以看到，输出信号除了  $\omega_c + \omega_{in}$  有关的项之外，还会有  $\omega_c - \omega_{in}$  的项，也就是产生了镜像。对上式的各分量平方求功率，记信号功率为  $P_+$ ，镜像功率为  $P_-$ ，则镜像抑制比为  $P_-/P_+$ ：

$$\frac{P_-}{P_+} = \frac{[(1 + \varepsilon) \cos \varphi - 1]^2 + (1 + \varepsilon)^2 \sin^2 \varphi}{[(1 + \varepsilon) \cos \varphi + 1]^2 + (1 + \varepsilon)^2 \sin^2 \varphi} = \frac{(1 + \varepsilon)^2 - 2(1 + \varepsilon) \cos \varphi + 1}{(1 + \varepsilon)^2 + 2(1 + \varepsilon) \cos \varphi + 1}$$

显然  $\varepsilon$  和  $\varphi$  越小，镜像信号越小。实际系统中，不仅仅是混频器会产生 IQ 相位和增益的误差，其他部分也会产生，影响的机制和上述的分析是一样的。

本振泄露的原因主要是模拟电路有限的隔离度造成的，产生的效果等效于在 IQ 输入信号上增加了直流信号  $V_{os1}$  和  $V_{os2}$ ，经过混频后，除了需要的信号分量， $\omega_c$  处也有信号，因为正好是本振的频点，因此被称为本振泄露。

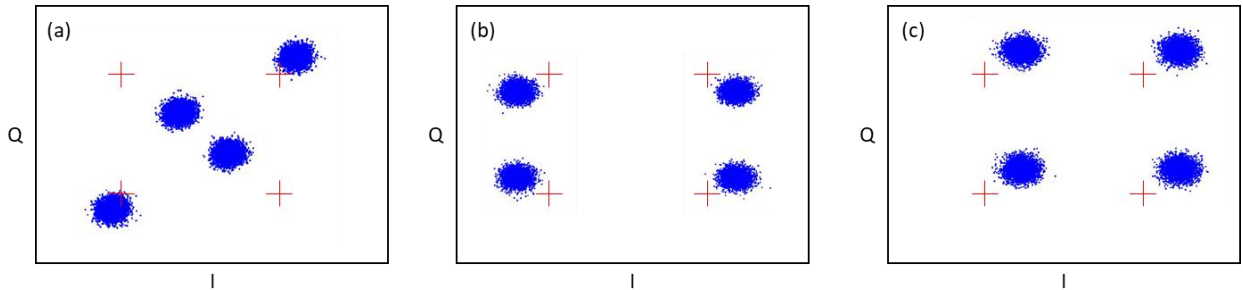
$$V_{out} = [V_0 \cos(\omega_{in}t) + V_{os1}] \cos(\omega_c t) - [V_0 \sin(\omega_{in}t) + V_{os2}] \sin(\omega_c t)$$

$$= V_0 \cos[(\omega_c + \omega_{in})t] + V_{os1} \cos(\omega_c t) - V_{os2} \sin(\omega_c t)$$

类似于镜像抑制比，可以定义载波抑制比：

$$\frac{P_{carrier}}{P_{signal}} = \frac{V_{os1}^2 + V_{os2}^2}{V_0^2}$$

如图 2 所示，镜像和本振泄露会导致星座图的变形和偏移，恶化信号的 BER。



QPSK Constellation with (a) IQ phase imbalance. (b) IQ gain imbalance. (c) LO leakage

Figure 2. 镜像和本振泄露情况下的 QPSK 星座图

## 2.2 TX 和 FB 链路简介

AFE77xx 集成 4 个零中频结构的发射通道，如图 3 所示。从右向左看，第一级数字模块是低中频混频器，可以给基带信号提供额外的频率偏移，该功能在某些特殊的 FDD 场景被使能，一般被 bypass 掉；之后数字信号被送往数字补偿模块，完成镜像、本振泄露、DSA 误差等的数字补偿；之后经过插值，数据流采样率由 JESD 接口速率/基带采样率提高到 DAC 的采样率，送入两路正交的 14bit, 3G 采样率 DAC 生成模拟信号；DAC 之后是镜像抑制滤波器和正交混频器，最后模拟信号送往具有 39dB 增益可调范围的宽带射频放大器送往芯片 TX 端口。

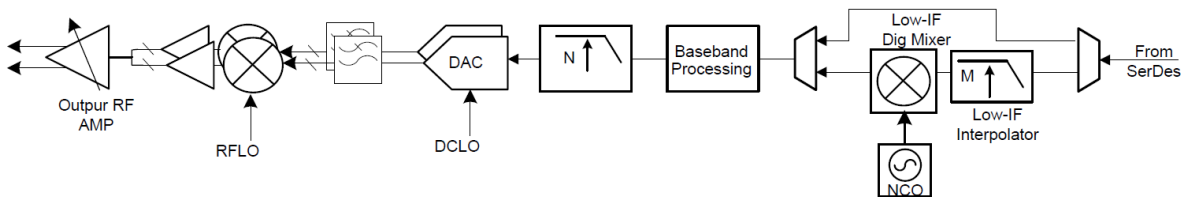


Figure 3. TX 信号链路

AFE77xx 集成 2 个基于 RF sampling 架构的反馈通道，通过在板的耦合器等电路，获取经 PA 放大后的 TX 信号，为 DPD 算法提供反馈数据。在 AFE77xx 中，反馈通道的信号还同时用来提供给内部 TX QMC 模块。反馈通道的结构如图 4 所示，从左向右看，射频信号首先被送进衰减可调范围为 16dB 的 DSA；之后是 14bit 的 RF ADC，将模拟信号转换成实采样的数字信号；数字信号之后被数字混频器下变频成复数域的基带信号（IQ 两路），数字混频器有两个 NCO，在双频场景下可以切换两个 NCO 并保持切换前后 NCO 的相位不跳变；数字混频器的输出经过抽样降低采样率之后，送往数字补偿模块，该模块完成对 DSA 的补偿等工作，同时抽样后的信号也被送往 TX QMC 的有关模块用于 TX QMC 的校正；之后信号送往低中频混频模块，该模块和 TX 的低中频混频器配合使用，不用需要 Bypass；低中频模块之后的信号被送往 JESD。反馈通道采用 RF sampling 架构的优点在于不会产生镜像和直流偏移的问题。

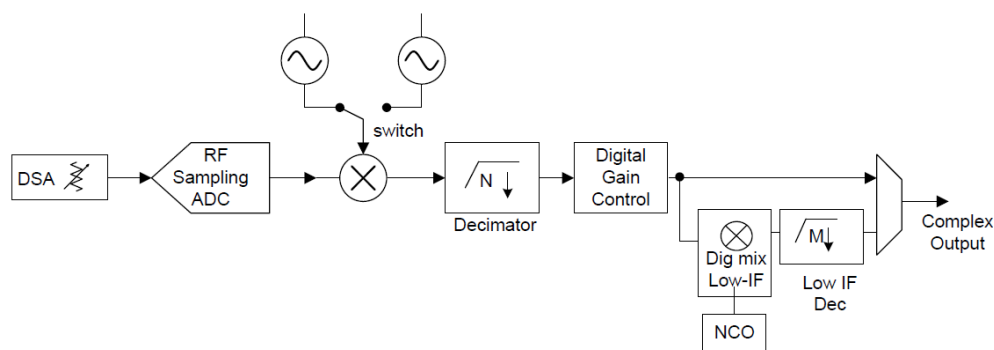


Figure 4. FB 信号链路

### 2.3 TX QMC 链路

AFE77xx 是零中频架构的集成收发器，内部集成了 TX QMC 的硬件和算法对镜像和本振泄露进行监测和校准。如图 5 所示，整个 TX QMC 的环路中起作用的主要是三个部分：监测评估模块（Estimator）、修正执行模块（Corrector）和外部反馈回路。Estimator 通过分析 FB 采数，控制 Corrector 对 TX 的数字码流进行修正；外部的回路通过耦合器将一部分 TX 的能量送到 FB 通道。

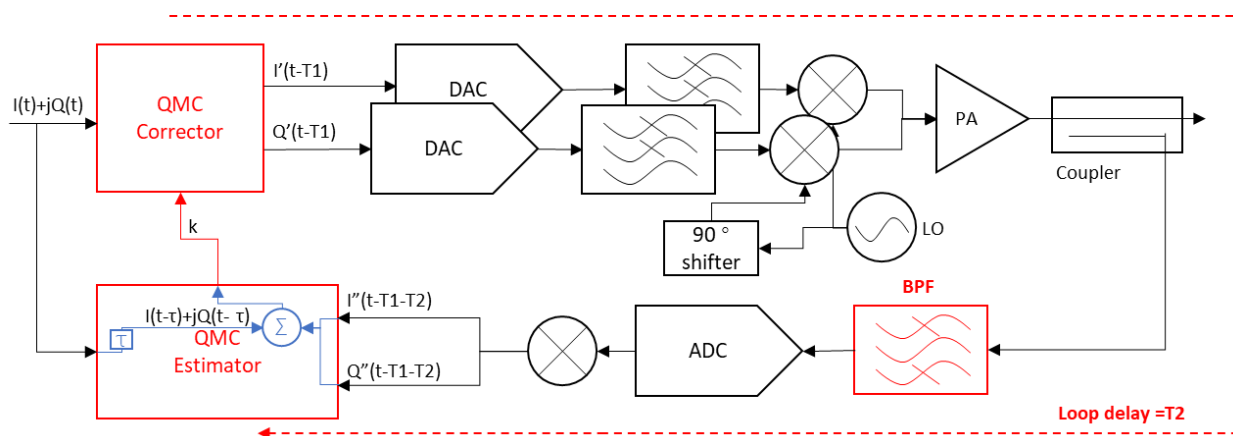


Figure 5. TX QMC 简图

TX QMC 校正环路是一个闭环的反馈系统，假设基带侧送入 TX 的信号为一复信号  $I(t) + jQ(t)$ ，经过 TX 数字补偿模块后，输出的信号为  $I'(t-T1) + jQ'(t-T1)$ ，这里上标'表示 IQ 信号的幅度和相位经过了修正和原始 IQ 已有区别，T1 为补偿模块带来的时延。经过 TX DAC、Mixer、PA、耦合器、BPF、FB ADC 等模块后，QMC Estimator 看到的信号为  $I''(t-T1-T2) + jQ''(t-T1-T2)$ ，T2 为环路带来的时延。Estimator 需要做的是生成合适的校正系数 k（这个 k 是一个向量，包含了对幅度相位的修正信息），控制 Corrector 对信号进行修正，使得  $I(t-\tau) + jQ(t-\tau)$  和  $I''(t-T1-T2) + jQ''(t-T1-T2)$  的误差尽量小，通过一段时间的迭代，最终误差接近于零。可以看到，算法额外引入的时延  $\tau=T1+T2$ ，T1 为芯片内部时延，容易获得具体数值，T2 包含了外部电路的时延，该值无法自适应获得，需要从外部进行设置。

RF sampling ADC 作为 FB 虽然不会引入接收镜像的问题，但是会引入新的问题，就是信号的混叠，如图 6 所示，TX DAC 将 IQ 数据转换成模拟信号，由于 DAC 的离散采样特性，在 DAC 输出口，除了需要的信号之外，还会在其他奈奎斯特区产生镜像信号，后续虽集成了低通滤波器，但是无法将其完全滤除，这些镜像信号经过上变频后在 TX 端口成为杂散信号；FB ADC 的采样时钟和 TX DAC 的时钟频率相同，这导致了 TX 的这些杂散信号击中了 FB ADC 的混迭带，如果不将这些杂散信号滤除，FB 观测到的信号会受到干扰。因此，在 FB 输入端需要加一个带通滤波器抑制这些混迭带内的杂散信号。

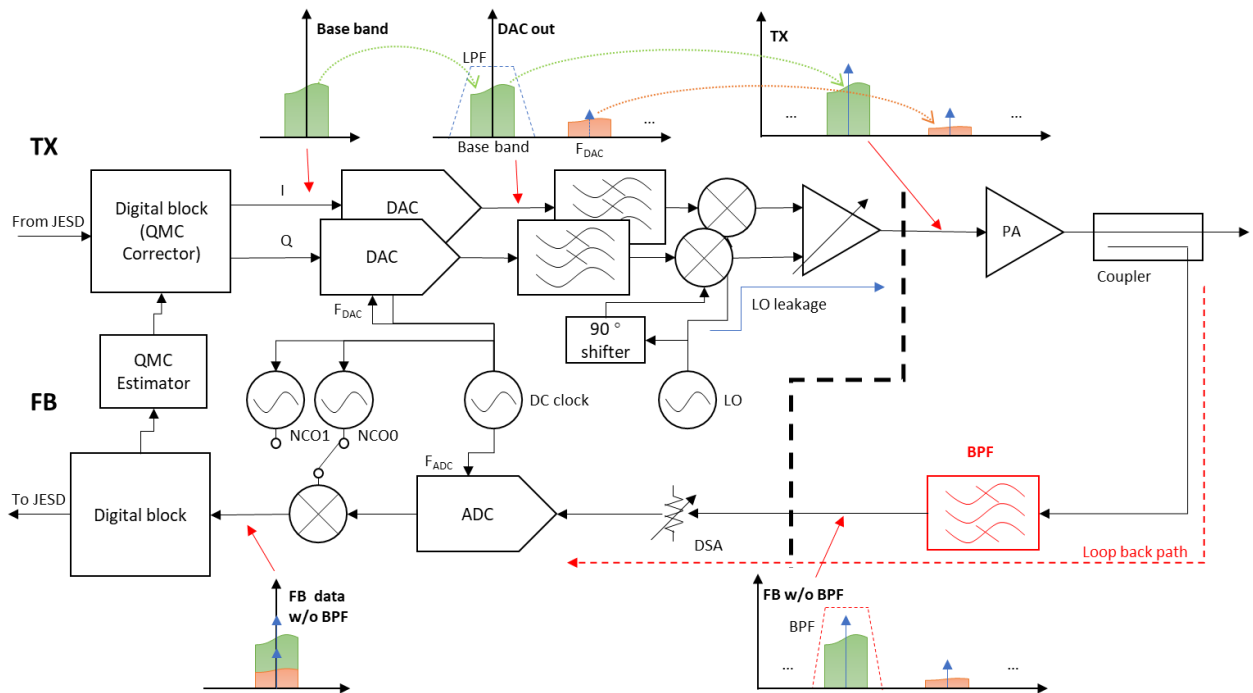


Figure 6. TX QMC 环路

## 2.4 TX QMC 所需外部连接

AFE77xx 的 FB 通道数量仅为 TX 的一半，甚至在某些应用场景，为了降低功耗，仅仅使用一个 FB 通道，这就需要在硬件设计中加入射频开关以时分复用的方式切换 TX 和 FB 的连接，这些开关的切换状态受控于主控的 SW 信号，同时主控需要告知 AFE77xx 当前射频开关所切换的状态，即 TXFB LOOP 指示。AFE77xx 根据 TXFB LOOP 指示更新对应的 Estimator 的系数。其余的通道 Estimator 处于 freeze 状态，此时 Corrector 会基于前一刻的系数对 TX 进行修正。在 TDD 场景下，当 TX TDD 使能为低时，TX 通道的 Estimator 也会被 freeze，TX TDD 回到开启状态时 QMC 校正自动恢复；同样的道理，当 FB TDD 使能为低时 QMC 也不会受到影响。因此在整个 TX QMC 过程中，需要主控配合的只有切换 SW 和切换 TXFBLOOPB（或写 SPI 寄存器）。

AFE77xx 通过和主控之间连接 4 的（或 3）根 TXFBLOOPB GPIO 来获取 TXFB LOOP 指示，如图 7，8 所示。此外，也可以使用如下的寄存器指令来传递 TXFB LOOP 指示。

```
device.writeReg(0x14,0x04)
```

```
device.writeReg(0x108,0x01) #1:enable SPI override, 0: disable SPI override
```

```
device.writeReg(0x109,txFbVal)
```

```
device.writeReg(0x15,0x00)
```

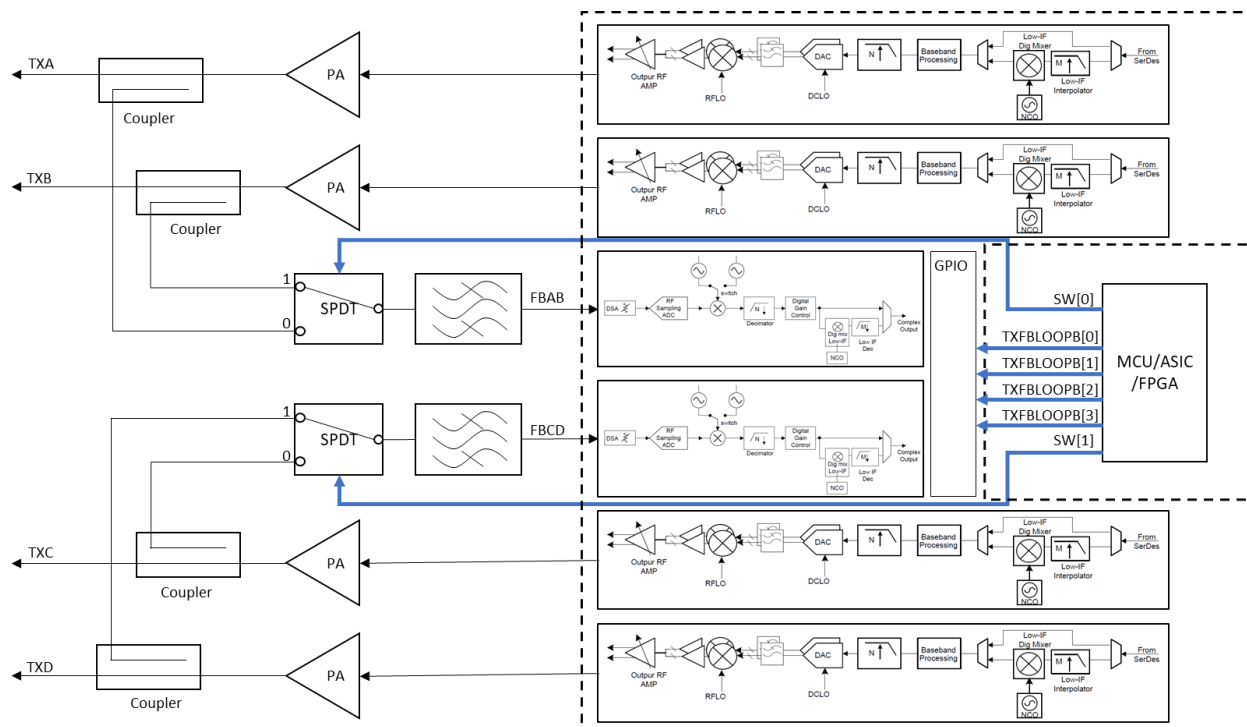


Figure 7. 使用两路 FB 系统框图

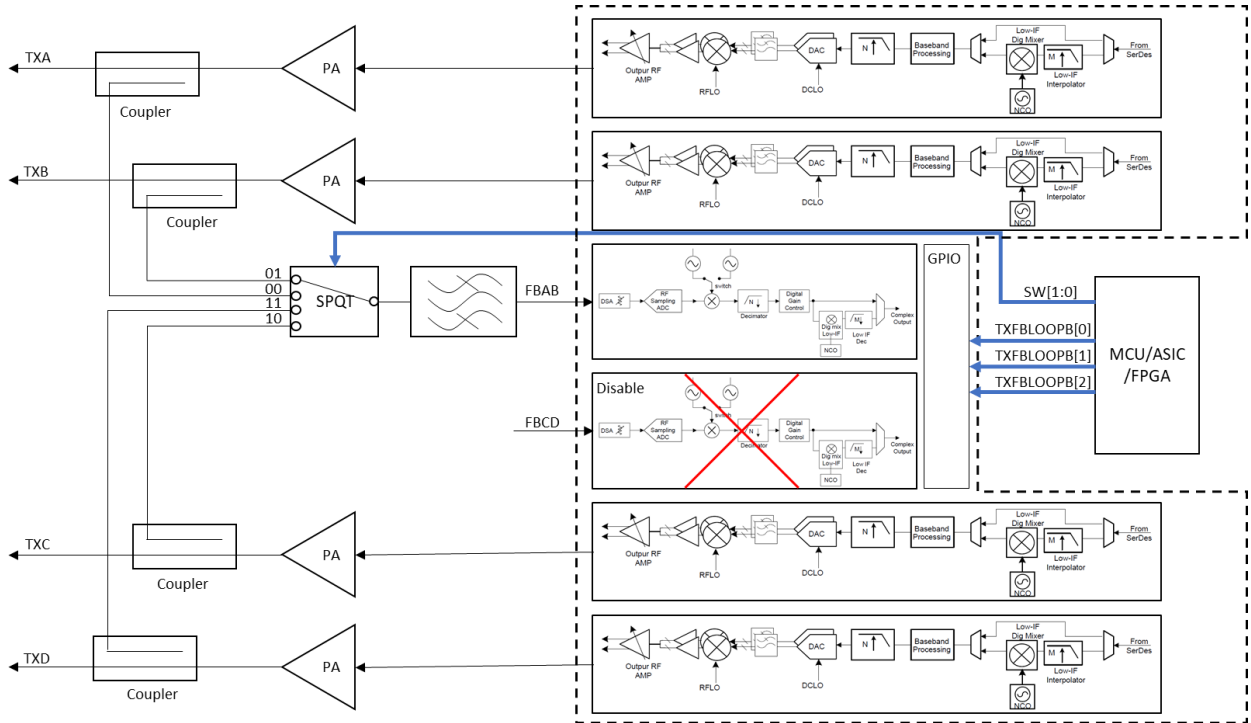


Figure 8. 使用单路 FB 系统框图

TXFBLOOPB、SW 和 SPI 寄存器的真值表如图 9, 10 所示。

Status	TXFBLOOPB[1:0]	TXFBLOOPB[3:2]	SW[1:0]	Register_109[1:0]	Register_109[3:2]
TXA to FBAB & TXC to FBDC	00	00	00	00	00
TXA to FBAB & TXD to FBDC	00	01	01	00	01
TXA to FBAB & FBDC NC	00	1x	0x	00	1x
TXB to FBAB & TXC to FBDC	01	00	10	01	00
TXB to FBAB & TXD to FBDC	01	01	11	01	01
TXB to FBAB & FBDC NC	01	1x	1x	01	1x
FBAB NC & TXC to FBDC	1x	00	x0	1x	00
FBAB NC & TXD to FBDC	1x	01	x1	1x	01
FBAB NC & FBDC NC	1x	1x	xx	1x	1x

Figure 9. 使用两路 FB 各信号真值表



Status	TXFBLOOPB[1:0]	TXFBLOOPB[2]	SW[1:0]	Register_109[2:0]
TXA to FB	00	0	00	000
TXB to FB	01	0	01	001
TXC to FB	10	0	10	010
TXD to FB	11	0	11	011
FB NC	xx	1	xx	1xx

Figure 10. 使用一路 FB 各信号真值表

芯片初始化后，需要首先将 TXFBLOOP 指示切换到某一个确定的状态（假设为 TXA），同时外部射频开关需要接通对应的 TX（这里是 TXA）和 FB，QMC Estimator 需要至少 50ms 的时间完成初次的系数收敛，这个时间随信号功率，频率，温度等变化，建议适当预留更长的时间。之后，就可以对四个通道（或两-两通道并行，取决于使能的 FB 通道数）进行轮询，建议的周期≥50ms。如果系统中使用了 DPD，一般 DPD 需要 200ms 甚至更多时间来完成一次收敛，则可以把 QMC 轮询的时间和 DPD 通道轮询的时间同步起来。TXQMC 的系数默认配置为 10ms 为周期自动更新，AFE77xx 支持使能 GPIO 触发更新，在该模式下，系数在后台周期性更新但是不会被 Corrector 使用，直到该 GPIO 被触发后，Corrector 才会使用新的系数对 TX 进行修正。

为了防止通道轮询过程中，外部射频开关切换过程造成 FB 收到突变的信号影响算法的收敛，需要将 TXFBLOOP 指示切换到 NC 状态，或者使能内部的 freeze 功能将 Estimator 在每次切换后 freeze 一定的时间。如图 11 所示的两个模式的切换示意图，这两个模式在启动配置中设置，且只可选择一种使用。

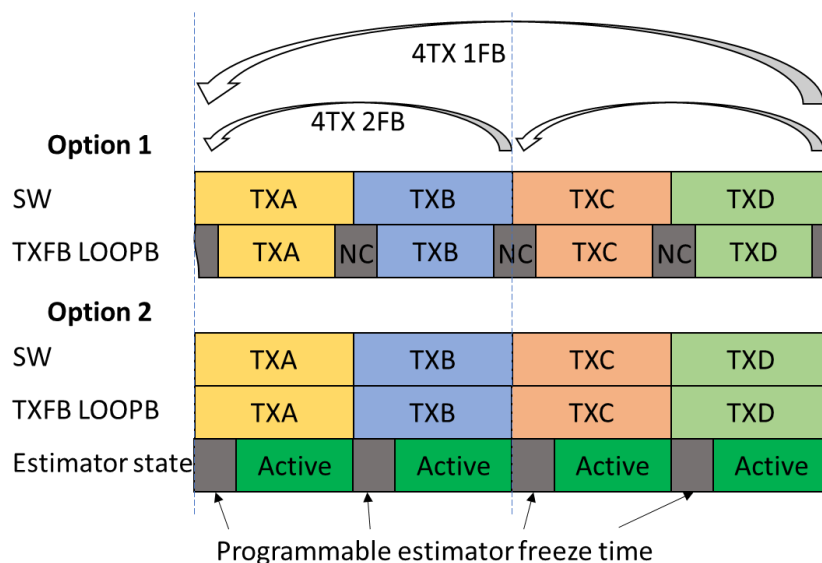


Figure 11. TX QMC 轮询切换示意图

在第二种方案中，使用以下 C 函数可以对 freeze time 进行配置：

```
int txlqmcEstimatorStartDelay(int fd,int delay) // delay in DC_PLL_OUT/4 cycles. Default 750.
```

### 3 常见问题定位

因为 RX QMC 使用的都是芯片内部链路，遇到的问题很少，基本上都是启动脚本加载错误导致的问题，仔细排查下启动脚本加载过程中是否有任何告警或报错，**不要删除启动脚本中任何的 SPIREADCHECK 和 SPIPOLL 命令。**

TX QMC 因为涉及到芯片和外部系统的配合等问题，遇到问题排查起来较困难，下面介绍下基本的排查思路。

1. 首先确保启动脚本被正常加载。一个常见的问题是 QMC 状态与预期不符，启动脚本使能了校正功能，但是发现校正效果不好，比如镜像只有 -40dBc；或者是启动脚本没有开启校正功能，启动后却发现镜像比不校正还要恶化，比如 -10dBc，且幅度上下跳变，一个行之有效的排查方向是使用以下脚本查询当前校正功能的使能状态，如果回读得到的状态和预期不符，可以认为是加载过程中出现了问题，建议排查下 SPI 接口的读写功能是否完好，以及加载启动脚本过程中是否有遗漏 SPI 指令。**TI 不推荐客户自行修改启动脚本。**

*To check TX IQMC status:*

```
device.writeReg(0x16,0x08)
```

```
device.readReg(0x0020) # bit 0 is txlqmcEn
```

```
device.writeReg(0x16,0x00)
```

*To check RX IQMC status:*

```
device.writeReg(0x18,0x10)
```

```
device.readReg(0x0020) # bit 0 is rxlqmcEn
```

```
device.writeReg(0x18,0x00)
```

2. 排查一切非 TI 推荐的流程和脚本，回退到最原始的启动脚本，查看 QMC 的状态。一个常见的故障是客户在每次发射信号之前，使用了 `configurePll` 函数重新配置了频点，重配 PLL 后需要 `sysref` 重新同步内部数字模块，进一步要求在此之前必须先 `freeze` QMC 模块，若直接使用 `configurePll` 会导致概率性的 QMC 系数不收敛，而使用 `setPllLoFbNcoFreezeQec` 函数就可以避免这个问题。
3. 使用单音信号进行观察。宽带信号的自身会和镜像发生重叠，会掩盖掉一部分问题，所以建议使用单音信号观察 QMC 的性能；如果系统基带侧发数功能暂时没有完成，可以使用内部单音功能，但需要注意的是，必须 JESD 建链之后才能使用内部单音功能，因为数字模块需要建链过程中的 `sysref` 信号完成同步。内部单音函数如下：

```
U32 txSigGenTone(int fd, int channelNo, int enable, double power, double frequency)
```

4. 检查 FB TDD 是否使能。如前文所述，FB TDD 在 `disable` 状态下，QMC 会处于 `freeze` 状态，可以通过采集 FB 基带的信号来确认下，若暂时无法通过基带采数，可以使用以下 C 函数开启 FB TDD：

```
void overrideTdd(int fd,int overrideEn,int rxTdd,int fbTdd,int txTdd)
```

5. 若故障还是没有消除，可以停止轮询，将固定为校准某一 TX 通道的状态。一个常见的错误是 TXFBLOOP 指示和外部射频开关状态不匹配 / 不可控，针对 TXFBLOOP 指示，如果是 GPIO 模式，可以使用 2.4 节的命令，固定 TXFBLOOP 指示，同时为了避免可能存在的 SPI 写入故障，可以使用下面的命令确认 SPI 寄存器是否被正常写入，如果回读到多于 1 个非零值则说明 SPI 命令未成功写入：

```
#Expected Non-zero readout from active channel
```

```
device.writeReg(0x16,0x08)
```

```
#TXA
```

```
device.readReg(0x00000095)
```

```
device.readReg(0x00000094)
```

```
#TXB
```

```
device.readReg(0x00000097)
```

```
device.readReg(0x00000096)
```

```
#TXC
```

```
device.readReg(0x00000099)
```

```
device.readReg(0x00000098)
```

```
#TXD
```

```
device.readReg(0x0000009B)
```

```
device.readReg(0x0000009A)
```

```
device.writeReg(0x16,0x00)
```

需要指出的是，SPI 固定 TXFBLOOP 指示仅仅是指定了 AFE77xx 认为的外部连接状态，需要主控配合把射频开关固定到相同状态。如果无法保证主控是否对射频开关进行了有效的控制，比如 SW 还在轮询状态，并没有停下来，可以通过采集多次 FB 数据的方法确认下。

6. 若终止轮询后 QMC 工作正常，建议排查 TXFBLOOP 和 SW 的配合是否正确；同时试着延长轮询的周期、延长 NC 的时隙长度看看故障是否消除。
7. 终止轮询后，QMC 还是无法正常收敛，试着 freeze DPD。
8. 确保外部环路是否正常工作。可以分别采集 TX 端口，FB 引脚和 FB 基带的频谱进行对比，三者应一致，若不一致则该两点间的链路可能出现了故障。尤其要注意 FB 基带，是否存在额外的杂散信号，如果有可能是外部 BPF 选型有问题。

9. 回读下 JESD 告警，并多次重建链试试。JESD 告警可能是 SYSREF 概率性没有正确收到，SYSREF 也会影响 QMC 部分，多次重建链则会发现概率性 QMC 不收敛。需要排查下 sysref 的共模电平，摆幅等等信号质量。
10. 如前文所述，QMC 算法依赖于对环路时延的估计，启动脚本中对环路时延有一个预估的默认值，大部分应用场景下，该值都能使算法正常收敛。但是在某些特殊情况下，板上器件引入的时延与预估的时延产生较大差别时，QMC 算法就会变得不稳定，一个显著的特点就是基带信号的频率接近 0 时，QMC 性能急剧恶化，而基带信号频偏较大时，QMC 算法又可以正常收敛，且该现象非常稳定，不会随着芯片的不同而概率性出现。更进一步的，在环路中加入更多的时延（比如串入很长的同轴线缆），QMC 不收敛的基带频偏下限会进一步提高。

此时就可以怀疑下环路时延是否设置恰当。获取环路的时延需要单独的启动脚本，请联系本地 FAE 获得支持。

## 4 参考文献

1. Datasheet “AFE7769 Quad-Channel RF Transceiver With Feedback Path”

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司