

不同使用场景下的 TLV320ADCx120 和 PCMx120-Q1 功耗矩阵



Gaurav Rana, Pedro Gelabert

Precision ADC

摘要

本应用报告详细介绍了 TLV320ADCx120/PCMx120-Q1 器件在各种使用场景下的功耗。

内容

1 引言.....	2
2 启用 PLL 时的目标模式功耗.....	3
3 禁用 PLL 时的目标模式功耗.....	5
4 数字麦克风功耗.....	9
5 最低功耗设置.....	10
6 相关文档.....	11
7 修订历史记录.....	11

表格清单

表 2-1. 典型电流消耗 (PLL 已启用).....	3
表 3-1. 典型电流消耗 (PLL 已禁用).....	5
表 4-1. 使用外部 PDM 4 阶调制器时的 PDM 典型电流消耗.....	9
表 4-2. 使用外部 PDM 5 阶调制器时的 PDM 典型电流消耗.....	9

商标

Burr-Brown™ and PurePath™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

TLV320ADCx120/PCMx120-Q1 器件的功耗在很大程度上取决于这些器件的使用场景和其上启用的功能。以下各表中总结了以下条件下的功耗：

- 电源电压
- 采样频率 (FS)
- 通道数量
- DRE 已启用或已禁用
- 抽取滤波器选项
- 位时钟 (BCLK) 与帧同步 (FSYNC) 比率
- PLL 已启用或已禁用
- 转换的字长

这些表格报告了模拟电源 AVDD 上消耗的平均有功电流消耗。此电源包括所有内部模拟和数字电路，但不包括 I/O 引脚上因其应用依赖关系而消耗的电流。I/O 电源取决于以下因素：

- 系统总线接口的负载电容
- 数据输出时钟速率
- 数据转换输出活动
- 总线接口上拉或下拉
- 微处理器发送 ADC 命令的频率

2 启用 PLL 时的目标模式功耗

表 2-1 介绍了当 PLL 处于启用状态且 AVDD 设置为 1.8V 和 3.3V 时，TLV320ADCx120/PCMx120-Q1 的典型电流消耗。PLL 通过以下方式启用：

- 设置 PWR_CFG 寄存器的位字段 PLL_PDZ
- 向 FSYNC 和 BCLK 施加所需采样率和 BCLK 与 FSYNC 比率

在该表格中，当 DRE 已启用时，DRE 阈值会设置为 -36dB。电流消耗测量是在双二阶滤波器禁用且输入端接地的情况下完成的。

表 2-1. 典型电流消耗 (PLL 已启用)

采样频率 (kHz)	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)	
8	1	禁用	线性相位	32	32	7.66	7.34	
	2			48	24	11.52	10.92	
				96		11.56	10.95	
16	1	禁用	线性相位	24	24	7.84	7.56	
			低延迟			7.91	7.63	
	2		线性相位	48		11.88	11.26	
			低延迟			12.02	11.41	
	2		启用	线性相位		96	11.88	11.27
				低延迟			12.02	11.41
		1		线性相位	24	8.11	7.84	
				低延迟		8.19	7.91	
	2	启用	线性相位	48	12.43	11.82		
			低延迟		12.57	11.95		
			2	线性相位	96	12.43	11.82	
				低延迟		12.57	11.96	
24	1	禁用	线性相位	24	24	7.98	7.70	
			低延迟			8.12	7.84	
	2		线性相位	48		12.08	11.47	
			低延迟			12.36	11.73	
	2		启用	线性相位		96	12.08	11.46
				低延迟			12.36	11.75
		1		线性相位	24	8.31	8.03	
				低延迟		8.46	8.17	
	2	启用	线性相位	48	12.84	12.23		
			低延迟		13.13	12.51		
			2	线性相位	96	12.84	12.22	
				低延迟		13.12	12.51	

表 2-1. 典型电流消耗 (PLL 已启用) (continued)

采样频率 (kHz)	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)				
32	1	禁用	线性相位	24	24	8.10	7.82				
			低延迟			8.10	7.82				
	2		线性相位	48		12.27	11.66				
			低延迟			12.27	11.65				
			线性相位	96		12.25	11.67				
			低延迟			12.28	11.66				
	1	启用	线性相位	24		8.49	8.21				
			低延迟			8.49	8.21				
	2		线性相位	48		13.16	12.53				
			低延迟			13.15	12.53				
			线性相位	96		13.17	12.54				
			低延迟			13.16	12.54				
48	1	禁用	线性相位	24	24	8.39	8.10				
			低延迟			8.29	8.01				
	2		线性相位	48		12.78	12.16				
			低延迟			12.59	11.97				
			线性相位	96		12.81	12.19				
			低延迟			12.62	12.00				
	1	启用	线性相位	24		8.90	8.61				
			低延迟			8.81	8.52				
	2		线性相位	48		14.18	13.55				
			低延迟			13.99	13.37				
			线性相位	96		14.21	13.59				
			低延迟			14.03	13.40				
96	1	禁用	线性相位	24	24	9.45	9.16				
			低延迟			9.26	8.97				
	2		线性相位	48		15.15	14.51				
			低延迟			14.75	14.12				
			线性相位	96		15.23	14.59				
			低延迟			14.83	14.20				
	1	启用	线性相位	24		10.47	10.18				
			低延迟			10.27	9.98				
	2		线性相位	48		17.13	16.49				
			低延迟			16.74	16.10				
			192	1		禁用	线性相位	24	24	9.96	9.67
							低延迟			11.13	10.84
2	线性相位	48		15.80	15.16						
	低延迟			18.12	17.47						
	线性相位	96		15.97	15.35						
	低延迟			18.07	17.66						
1	启用	线性相位		24	11.69	11.39					
		低延迟			13.16	12.86					
384		1		禁用	线性相位	24	24	11.53		11.24	

3 禁用 PLL 时的目标模式功耗

表 3-1 介绍了当 PLL 处于禁用状态且 AVDD 设置为 1.8V 和 3.3V 时，TLV320ADCx120/PCMx120-Q1 的典型电流消耗。PLL 通过以下方式禁用：

- 清除 PWR_CFG 寄存器的位字段 PLL_PDZ
- 通过 BCLK、GPIO1 或 GPIx 引脚施加控制器时钟
 - 如果 GPIO1 配置为 MCLK，则设置 GPIO_CFG0 寄存器中的相应 GPIO1_CFG 位字段
 - 如果 GPIx 配置为 MCLK，则设置 GPI_CFG0 寄存器中的相应 GPIx_CFG 位字段
- 通过 CLK_SRC 寄存器的 DIS_PLL_SLV_CLK_SRC 位字段指示控制器时钟源
- 通过 CLK_SRC 寄存器的 MCLK_RATIO_SEL 位字段和 MCLK_FREQ_SEL_MODE 位字段设置合适的 MCLK 至 FSYNC 比率
- 设置 MST_CFG0 寄存器的 AUTO_MODE_PLL_DIS 位字段和相应的 MCLK_FREQ_SEL 位字段

在该表格中，当 DRE 已启用时，DRE 阈值会设置为 -36dB。功耗测量是在双二阶滤波器禁用且输入端接地的情况下完成的。

表 3-1. 典型电流消耗 (PLL 已禁用)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)		
8	12.288	1536	1	禁用	线性相位	32	32	5.68	5.41		
			2			48	24	9.91	9.33		
16	12.288	768	1	禁用	线性相位	24	24	5.67	5.59		
				启用				6.13	5.87		
				禁用	低延迟			5.74	5.66		
				启用				6.20	5.94		
				禁用	超低延迟			5.63	5.55		
				启用				5.90	5.83		
			2	禁用	线性相位	48		10.24	9.65		
				禁用				低延迟	10.38	9.79	
				禁用					超低延迟	10.15	9.57
				启用				10.15		9.57	
16	24.576	1536	1	禁用	线性相位	24	24	6.16	5.83		
				启用				6.24	6.11		
				禁用	低延迟			6.23	5.85		
				启用				6.50	6.19		
				禁用	超低延迟			6.16	5.79		
				启用				6.39	6.07		
				2	禁用			线性相位	48	10.58	9.91
					启用					11.13	10.46
					禁用			低延迟		10.72	9.97
					启用					10.91	10.60
			禁用		超低延迟	10.50		9.82			
			启用			11.05		10.37			
			96		禁用	线性相位		96		10.59	9.91
					启用					11.11	10.47
					禁用	低延迟				10.73	10.06
					启用					11.28	10.61
				禁用	超低延迟	10.14			9.83		
				启用		10.70			10.38		

表 3-1. 典型电流消耗 (PLL 已禁用) (continued)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)					
16	36.864	2304	1	禁用	线性相位	24	24	6.46	6.21					
				启用				6.74	6.48					
				禁用	低延迟			6.53	6.17					
				启用				6.81	6.46					
				禁用	超低延迟			6.42	6.05					
				启用				6.70	6.35					
			2	禁用	线性相位	48		10.89	10.09					
				启用				11.44	10.63					
				禁用	低延迟			11.03	10.23					
				启用				11.58	10.79					
				禁用	超低延迟			10.80	10.01					
				启用				11.35	10.59					
				1	512			1	禁用	线性相位	24	24	5.97	5.58
									启用				6.31	5.93
									禁用	低延迟			6.11	5.73
									启用				6.28	6.07
									禁用	超低延迟			5.93	5.54
									启用				6.27	5.88
2	1024	2	禁用	禁用	48	10.05	9.69							
			48		10.35	9.56								
			96		10.45	9.70								
			96		10.32	9.62								
24	24.576	1024	1	禁用	线性相位	32	32	6.29	5.95					
				启用				6.36	6.29					
				禁用	低延迟			6.44	6.09					
				启用				6.52	6.43					
				禁用	超低延迟			6.25	5.91					
				启用				6.34	6.25					
			2	禁用	线性相位	64		10.77	10.11					
				启用				10.90	10.78					
				禁用	低延迟			11.06	10.40					
				启用				12.46	10.81					
				禁用	超低延迟			10.32	10.02					
				启用				10.84	10.49					
				1	128			1	禁用	线性相位	128	10.79	10.12	
									启用			10.91	10.79	
									禁用	低延迟		11.07	10.41	
									启用			12.32	11.08	
									禁用	超低延迟		10.70	10.04	
									启用			10.86	10.70	

表 3-1. 典型电流消耗 (PLL 已禁用) (continued)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)			
24	36.864	1536	1	禁用	线性相位	24	24	6.58	6.20			
				启用				6.91	6.53			
				禁用	低延迟			6.72	6.35			
				启用				7.06	6.68			
				禁用	超低延迟			6.53	6.17			
				启用				6.87	6.50			
			2	禁用	线性相位	48		11.09	10.26			
				启用				11.72	10.94			
				禁用	低延迟			11.37	10.58			
				启用				12.03	11.22			
				禁用	超低延迟			11.00	10.22			
				启用				11.45	10.89			
				禁用	线性相位			96	11.10	10.27		
									启用	11.76	10.96	
									禁用	低延迟	11.38	10.59
									启用		11.73	11.25
									禁用	超低延迟	11.01	10.23
									启用		11.67	10.92
32	12.288	384	1	禁用	线性相位	24	24	6.05	5.65			
				启用				6.45	6.05			
				禁用	低延迟			6.05	5.65			
				启用				6.45	5.99			
				禁用	超低延迟			5.93	5.53			
				启用				6.33	5.93			
			禁用	线性相位	48	10.56		9.84				
						超低延迟		9.79	9.36			
						线性相位		96	10.57	9.85		
									超低延迟	10.33	9.61	
						禁用			线性相位	24	6.40	5.96
											启用	6.81
	禁用	低延迟	6.40	5.97								
	启用		6.81	6.38								
	禁用	超低延迟	6.29	5.86								
	启用		6.69	6.27								
	24.576	768	768	2	禁用	线性相位		48	10.97	10.02		
					启用				11.76	10.80		
					禁用	低延迟			10.73	10.04		
					启用				11.59	10.82		
					禁用	超低延迟			10.73	9.82		
					启用				11.52	10.60		
				禁用	线性相位	96			10.98	10.03		
									启用	11.77	10.82	
禁用							低延迟		10.98	10.06		
启用									11.76	10.84		
禁用							超低延迟		10.74	9.82		
启用									10.27	10.61		

表 3-1. 典型电流消耗 (PLL 已禁用) (continued)

采样频率 (kHz)	MCLK 频率 (MHz)	MCLK 比率	ADC 通道	DRE	抽取滤波器	BCLK 比率	字长	3.3V 时的 AVDD 电流 (mA)	1.8V 时的 AVDD 电流 (mA)		
48	12.288	256	1	禁用	线性相位	24	24	6.37	5.99		
					低延迟			6.27	5.89		
					超低延迟			6.10	5.72		
	24.576	512		禁用	线性相位	32		32	6.70	6.35	
					启用				7.22	6.87	
					禁用				6.60	6.26	
				低延迟	7.13				6.78		
					禁用				6.43	6.09	
				启用	6.95				6.61		
	2	禁用	线性相位	64	11.48	10.82					
					低延迟	11.30	10.63				
					超低延迟	10.95	10.28				
线性相位			128		11.51	10.85					
					低延迟	11.33	10.66				
					超低延迟	10.98	10.31				
48	36.864	768	1	禁用	24	24	6.78	6.72			
							启用	7.28	7.24		
							禁用	6.71	6.63		
				低延迟			7.26	7.14			
							禁用	6.55	6.45		
							启用	7.09	6.97		
			2	禁用	线性相位		48	11.34	11.21		
								启用	12.37	12.22	
								禁用	11.20	11.02	
					低延迟			12.21	12.03		
								禁用	10.87	10.68	
								启用	11.88	11.68	
			2	禁用	线性相位		96	11.36	11.23		
								启用	12.37	12.24	
								禁用	11.22	11.04	
					低延迟			12.23	12.05		
								禁用	10.89	10.70	
								启用	11.88	11.70	
96	24.576	256	1	禁用	32	32	7.80	7.45			
							低延迟	7.60	7.25		
							超低延迟	7.25	6.90		
	36.864	384		禁用	24		线性相位	24	7.83	7.80	
									启用	8.85	8.83
									禁用	7.68	7.60
				低延迟			8.70		8.63		
							禁用		7.34	7.26	
							启用		8.37	8.28	
	2	禁用	线性相位	48	13.25		13.17				
					低延迟		12.94	12.76			
					超低延迟		12.25	12.08			

4 数字麦克风功耗

表 4-1 和表 4-2 介绍了当数字麦克风输入分别与外部 PDM 调制器 4 阶和 5 阶配合使用时，TLV320ADCx120/PCMx120-Q1 的典型电流消耗。数字麦克风通过以下方式选择：

- 在 CHx_INSRC 寄存器中为数字麦克风输入配置相应的通道
- 分别在 GPO_CFG0 或 GPIO_CFG0 寄存器中将相应的 GPO1 或 GPIO1 引脚配置为 PDMCLK 输出。
- 分别在 GPI_CFG0 或 GPIO_CFG0 寄存器中将相应的 GPIx 或 GPIO1 引脚配置为 PDM 输入

表 4-1. 使用外部 PDM 4 阶调制器时的 PDM 典型电流消耗

PDM 时钟		6.144 MHz	3.072 MHz	1.536 MHz	0.768 MHz
采样率 (kHz)	数字麦克风通道	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)
8	2	3.81	3.70	3.70	3.70
	4	-	4.57	4.56	4.56
16	2	4.14	4.04	4.04	4.03
	4	-	5.16	5.16	5.15
24	2	4.31	4.21	4.21	-
	4	-	5.49	5.48	-
32	2	4.49	4.40	4.40	-
	4	-	5.84	5.84	-
48	2	5.00	4.90	4.91	-
	4	-	7.06	7.07	-
96	2	7.38	7.28	7.32	-
	4	-	10.80	10.86	-
192	2	8.17	8.01	7.98	-
	4	-	11.65	11.62	-

表 4-2. 使用外部 PDM 5 阶调制器时的 PDM 典型电流消耗

PDM 时钟		6.144 MHz	3.072 MHz	1.536 MHz	0.768 MHz
采样率 (kHz)	数字麦克风通道	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)	3.3V 时的 AVDD 电流 (mA)
8	2	3.80	3.71	3.70	3.70
	4	-	4.56	4.57	4.56
16	2	4.13	4.05	4.04	4.03
	4	-	5.17	5.16	5.15
24	2	4.29	4.22	4.21	-
	4	-	5.48	5.49	-
32	2	4.50	4.40	4.40	-
	4	-	5.84	5.84	-
48	2	4.99	4.90	4.91	-
	4	-	7.07	7.08	-
96	2	7.37	7.30	7.33	-
	4	-	10.83	10.85	-
192	2	8.18	8.00	7.97	-
	4	-	11.66	11.58	-

5 最低功耗设置

为尽可能降低 TLV320ADCx120/PCMx120-Q1 器件的功耗，请确保未使用的模块均已禁用，使用应用所需的最低采样率、位时钟和控制器时钟，并采用尽可能低的 AVDD 和 IOVDD 电源电压工作。以下列表总结了最低功耗运行的设置和寄存器：

- 采用尽可能低的电源电压工作。AVDD 和 IOVDD 独立支持 1.8V 或 3.3V 电源 (AVDD 和 IOVDD 可以具有不同的电源电压)。
 - 未使用的模拟输入，连接到模拟地。
 - 未使用的数字输入，连接到数字地。
 - 未使用的输出，保持未连接状态。
- 通过 IN_CH_EN 寄存器禁用未使用的 ADC 和 PDM 通道。
- 通过 ASI_OUT_CH_EN 寄存器禁用任何未使用的输出通道。
- 通过 PWR_CFG 寄存器禁用 MICBIAS 电源 (如果未使用) 。
- 采用尽可能低的采样率工作。
- 禁用 PLL，如果系统提供低抖动控制器时钟。请参阅节 3，了解禁用 PLL 的设置说明。
- 禁用未使用的后处理块：
 - 通过 DSP_CFG1 寄存器的 BIQUAD_CFG 位字段禁用双二阶滤波器 (如果未使用) 。
 - 通过 CHx_CFG0 寄存器的 CHx_DREEN 位字段禁用 DRE、AGC 或 DRC (如果未在活动通道中使用) 。
- 通过 DSP_CFG0 寄存器的 DECI_FILT 位字段选择超低延迟抽取滤波器或线性相位抽取滤波器 (如果应用允许) 。
- 通过 ASI_CFG0 寄存器的 ASI_WLEN 位字段使用应用允许的最小字长。

6 相关文档

请参阅如下相关文档：

- PCM6120-Q1
 - 德州仪器 (TI) , [PCM6120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- PCM5120-Q1
 - 德州仪器 (TI) , [PCM5120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- PCM3120-Q1
 - 德州仪器 (TI) , [PCM3120-Q1 2 通道、768kHz、Burr-Brown 音频 ADC 数据表](#)
- TLV320ADC6120
 - 德州仪器 (TI) , [TLV320ADC6120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC6120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- TLV320ADC5120
 - 德州仪器 (TI) , [TLV320ADC5120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC5120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- TLV320ADC3120
 - 德州仪器 (TI) , [TLV320ADC3120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)
 - 德州仪器 (TI) , [具有 106dB SNR 的 TLV320ADC3120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)
- 德州仪器 (TI) , [ADCx120EVM-PDK 用户指南](#)
- 德州仪器 (TI) , [PurePath™ 控制台](#)

7 修订历史记录

Changes from Revision * (June 2021) to Revision A (April 2022)	Page
• 在整个出版物中添加了 PCMx120-Q1。.....	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司