Application Note

TAS2x63QFN 原理图和布局指南

摘要

更新的 PCB 截图显示改进了引脚 28 的 GND 连接

在音频应用中，务必最大限度地减少可能由外部条件甚至由 PCB 相同元件导致的噪声影响。所有音频放大器要实现卓越性能，都离不开干净稳定的电源。任何电源噪声问题都可能导致高 THD+N 和 SNR。此外，模拟输入和输出也要求具有良好的抗噪性能，不受附近器件数字活动的影响。

本文档介绍了 TAS2x63 器件在单声道配置中的优化布局。这些布局指南旨在最大限度地减少噪声问题并确保出色的器件性能，

本建议指南引用 TAS2x63EVM 展开介绍。

内容

1 布局指南.....2
1.1 典型应用电路.....2
1.2 VBAT.....4
1.3 DREG.....5
1.4 GREG.....6
1.5 PVDD 和 VBST.....7
1.6 VDD.....8
1.7 IOVDD.....9
1.8 输出引脚.....10
1.9 感测引脚.....11
1.10 数字部分.....12
1.11 接地平面.....13
2 原理图.....16
2.1 推荐的外部组件.....17
3 去耦电容器.....18
4 修订历史记录.....18

商标

所有商标均为其各自所有者的财产。

English Document: SLAA988

Copyright © 2022 Texas Instruments Incorporated

1 布局指南

1.1 典型应用电路

图 1-1 所示为 TAS2563 器件的典型应用方框图。

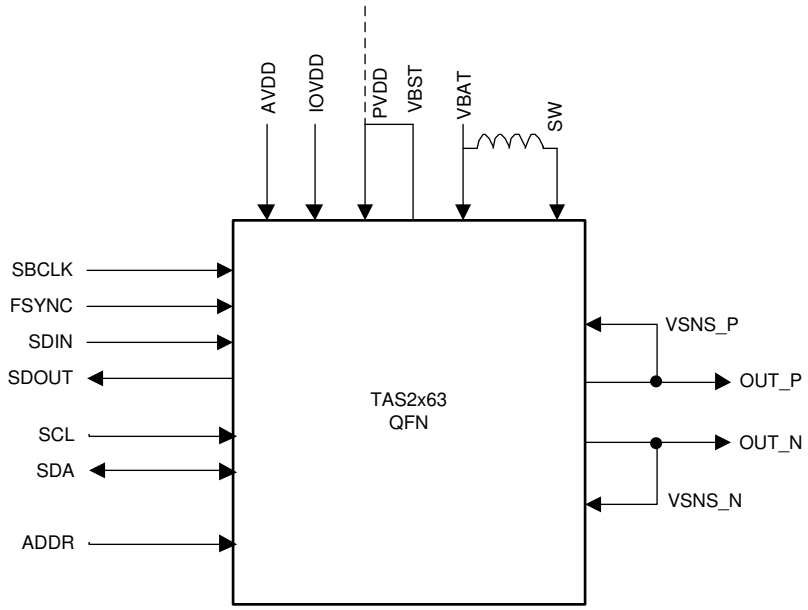

图 1-1. TAS2x63 方框图

图 1-2 和 图 1-3 所示为元件在 PCBA 参考布局中的位置。

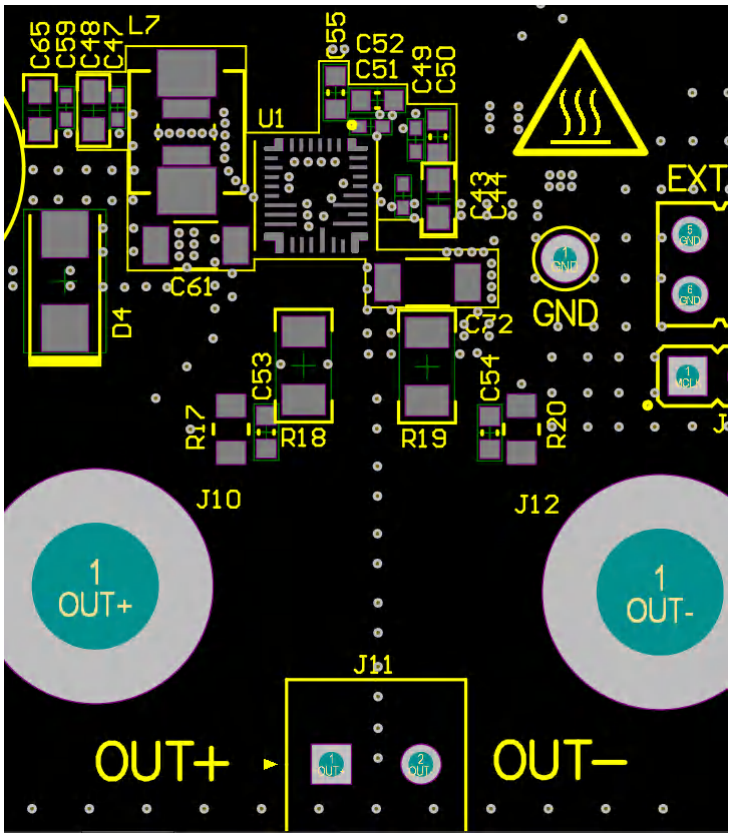

图 1-2. TAS2x63EVM 元件位置

Copyright © 2022 Texas Instruments Incorporated

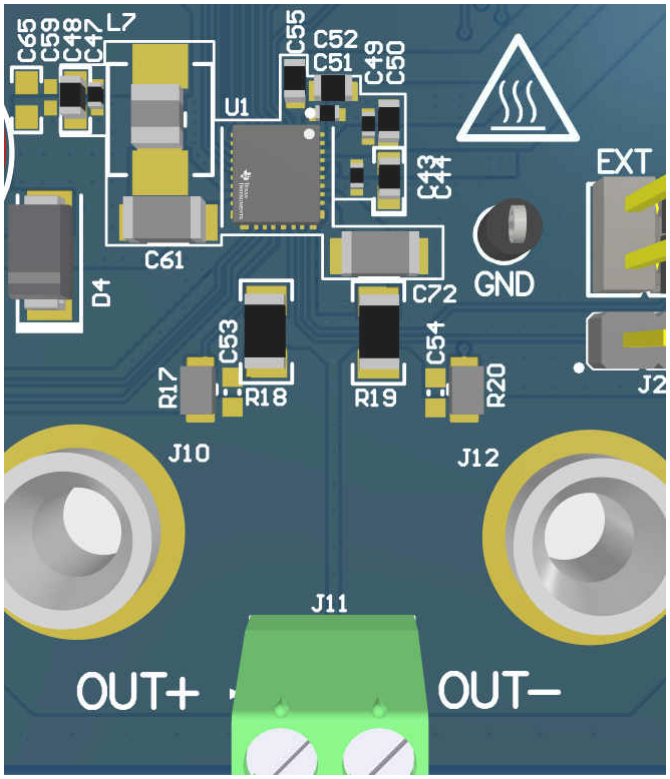

图 1-3. TAS2x63EVM 元件位置（3D 视图）

Copyright © 2022 Texas Instruments Incorporated

1.2 VBAT

VBAT 为电池电源的输入端，进行内部升压时会承载相当大的电流。VBAT 迹线可分为两条，一条为升压电感器供电（高电流），另一条从器件为 VBAT 引脚供电（低电流）。必须对 VBAT 电源的每个终端进行去耦，因此去耦电容器必须放置在升压电感器和 IC 的 VBAT 引脚附近。

必须使用容值至少为 0.1uF 和 10uF 的电容器将 VBAT 旁路至靠近升压电感器的 GND，且必须使用容值至少为 1uF 的电容器将 VBAT 旁路至靠近 IC 的 VBAT 引脚的 GND。

对于 VBAT，务必考虑以下建议：

- 包括额外大容量电容器，在高功率下降低总体 THD+N，最重要的是使用低 VBAT 电压电平。
- VBAT 采用宽迹线，以便应对总输出功率。
- 请勿在器件引脚、电感器端子和相关电容器之间使用过孔。

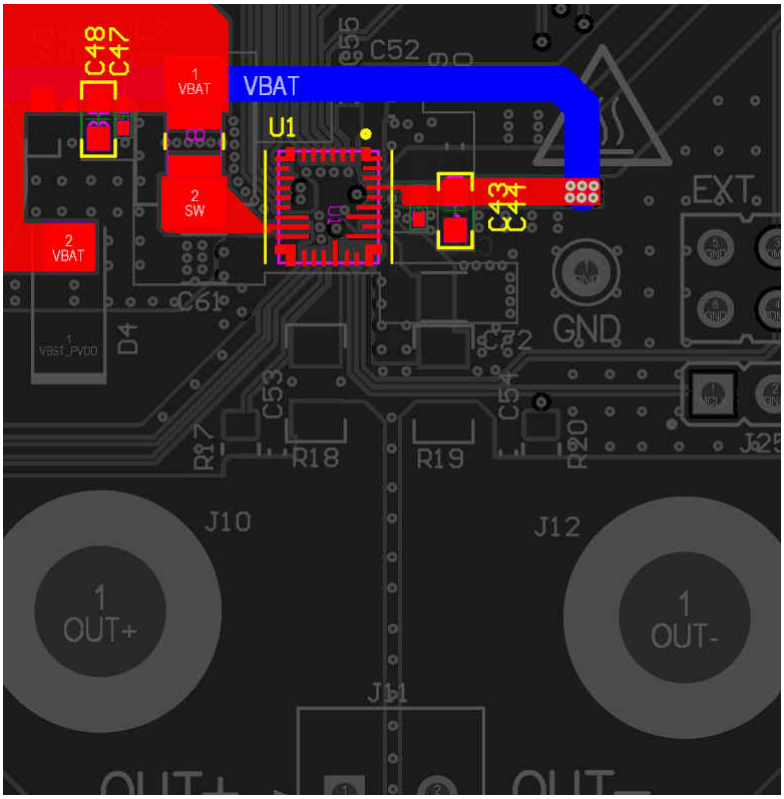

图 1-4. VBAT 连接

Copyright © 2022 Texas Instruments Incorporated

1.3 DREG

DREG 为数字核心稳压器的输出端。该引脚必须经 1μF 电容器旁路至 GND，且不能连接至外部负载。TI 建议，在该 DREG 引脚和 GND 之间，要确保去耦电容器两端的电感尽量低。建议使用多个过孔来降低电感。有关详细信息，请参阅去耦电容器一节。

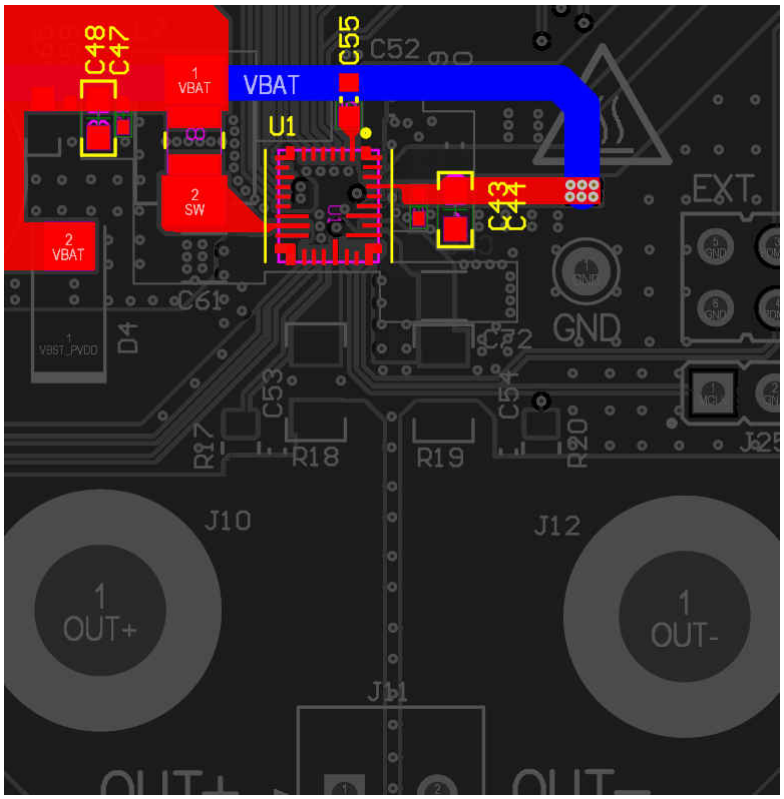

图 1-5. DREG 连接

Copyright © 2022 Texas Instruments Incorporated

1.4 GREG

GREG 引脚为高侧栅极电荷泵稳压器的输出端。该引脚不能连接到外部负载。GREG 引脚和 PVDD 引脚之间必须连接一个容值至少为 0.1μF 的电容器（有关详细信息，请参阅图 1-6）。

TI 建议验证 PCB 设计是否不会产生高于 200pH 的寄生电感。此外，务必要将 GREG 引脚电容器连接到具有星形连接的 PVDD，而非升压层。这种方法可降低产生 EMI 辐射的可能性。

与接地引脚连接类似，层更改也应使用多个过孔，从而尽量减小寄生电感。

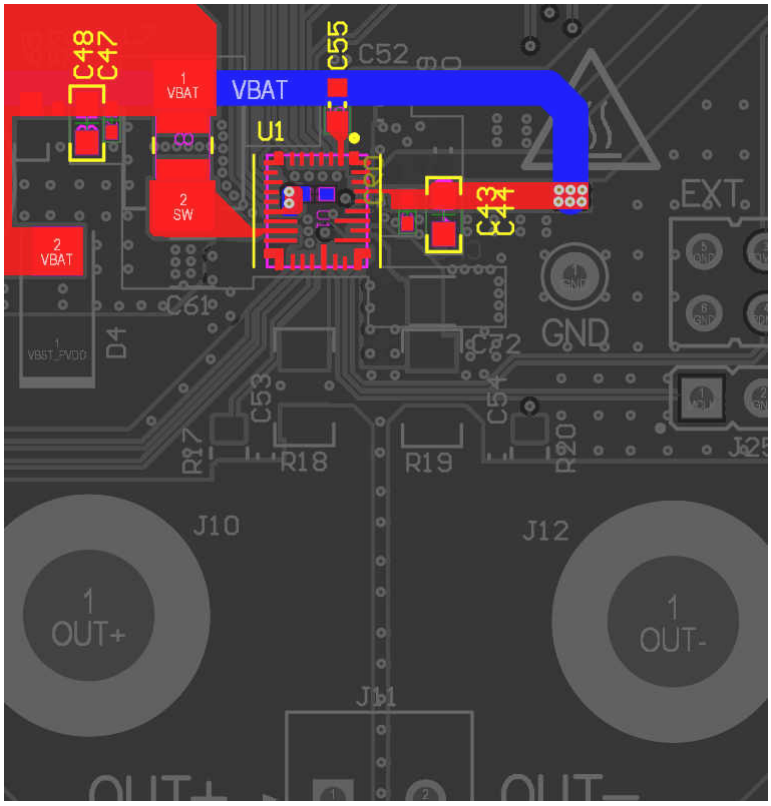

图 1-6. GREG 连接

Copyright © 2022 Texas Instruments Incorporated

1.5 PVDD 和 VBST

VBST 为内部升压转换器的输出端，是为功率级电源引脚 (PVDD) 供电的引脚。必须通过可靠连接将 PVDD 短接至 VBST 引脚。

对于 PVDD 到 VBST 的连接，必须注意以下因素：

- VBST 不能连接到外部负载。应使用去耦电容器将该引脚旁路至 GND。在 VBST 引脚和 BGND 引脚之间，去耦电容器两端的电感应尽可能低。有关详细信息，请参阅 LINK。
- 从器件引脚到去耦电容器的寄生电感不应超过 100pH。
- VBST 应通过加厚层连接到 PVDD（使用多个过孔，以降低寄生电感）。
- PVDD 应通过星形连接方式连接至 GREG 电容器。
- VBST 和 PVDD 迹线承载高电流，应支持高达器件过流限值的电流。
- 升压电容器降额与升压电感器之比应满足：L/C < 1/3 • 陶瓷电容器因所施加直流电压而产生的降额。通常情况下，在 10V 至 12V 范围内，10μF 电容器会损失标称值的 80%（例如，10μF 电容值变为 2μF）。通常情况下，TI 建议使用 20μF 电容器（或一对 10μF 电容器）作为去耦电容器。

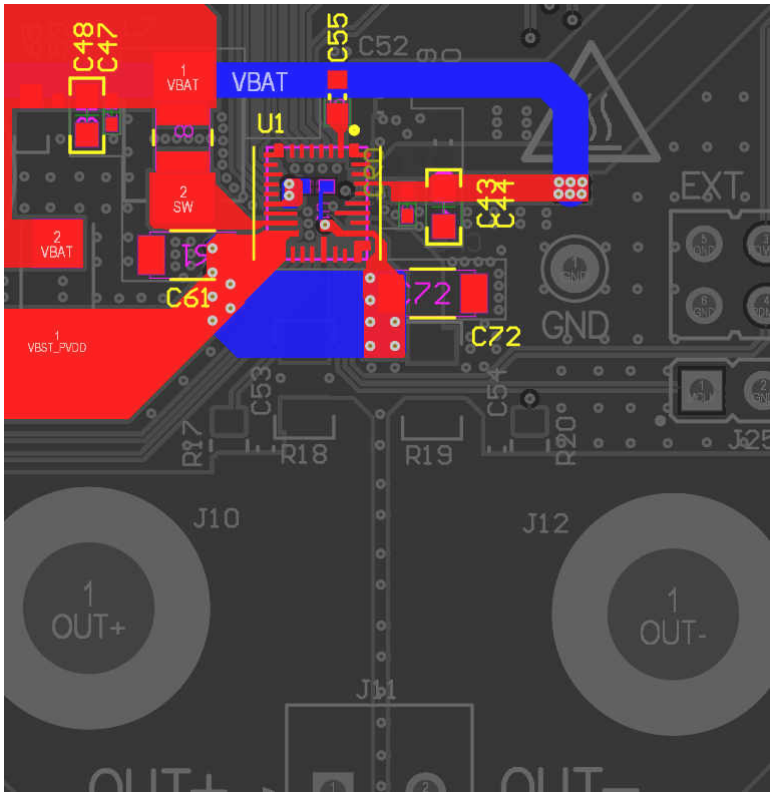

图 1-7. PVDD 和 VBST 连接

Copyright © 2022 Texas Instruments Incorporated

1.6 VDD

VDD 为模拟和数字电源的输入端。与 VBAT 引脚类似，该电源引脚也需要去耦电容器。建议使用容值至少为 4.7μF 的电容器将 VDD 旁路至 GND。有关详细信息，请参阅去耦电容器一节。

该引脚需要最大 200pH 的寄生电感。

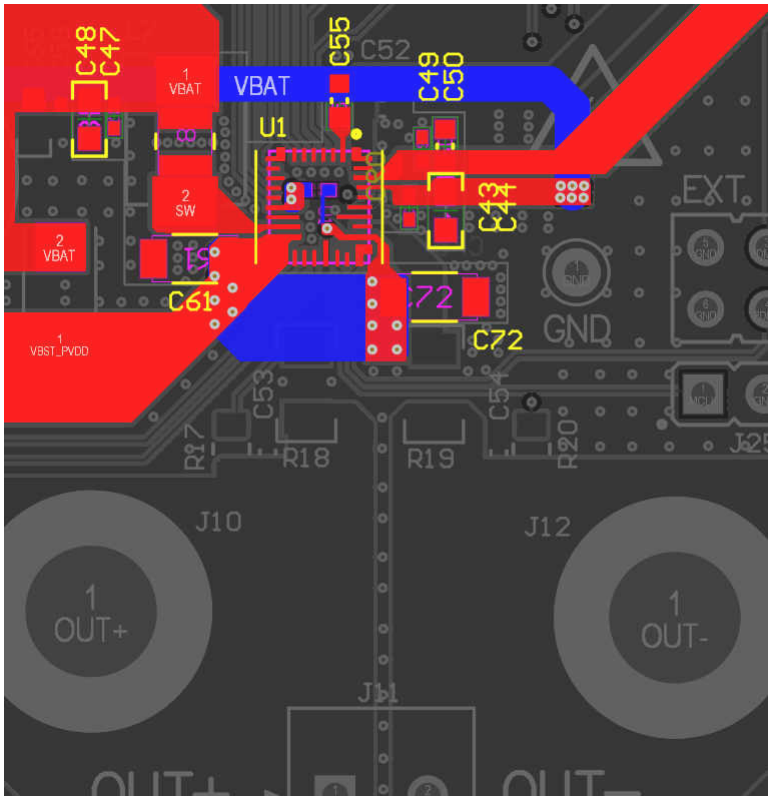

图 1-8. VDD 连接

Copyright © 2022 Texas Instruments Incorporated

1.7 IOVDD

与 VDD 类似，IOVDD 为 I/O 电源的输入端，需要配备去耦电容器。建议使用容值至少为 1μF 电容器将 VDD 旁路至 GND。有关详细信息，请参阅去耦电容器一节。

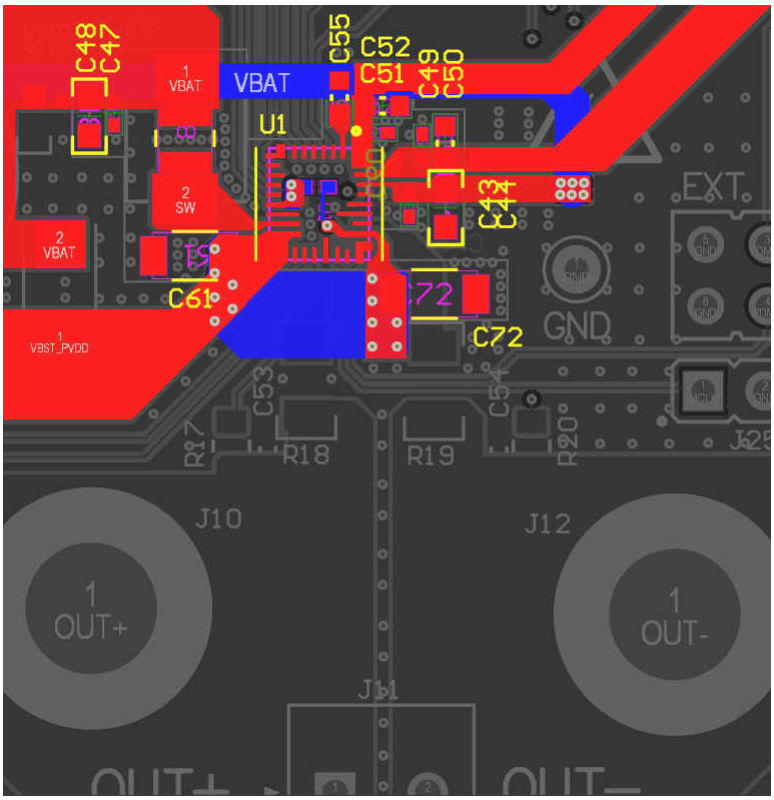

图 1-9. IOVDD 连接

Copyright © 2022 Texas Instruments Incorporated

1.8 输出引脚

OUT_N 和 OUT_P 分别是 D 类通道的负输出和正输出。由于其开关特性，TI 建议缩短布线，以限制辐射。

为获得理想电流，在输出引脚附近，PCB 迹线必须加宽。此外，需要使用多个过孔在两个层上为输出布线，从而尽可能减少寄生阻抗。

使用 EMI 滤波器（LC 阵列）时，务必考虑以下方面：

- 首先是滤波器中的电感。
- 到 GND 或其他输出的电容将拉高电流尖峰，触发过流保护。
- TI 建议，将转角频率下限值固定为 1.5MHz，从而简化滤波器的调试和噪声问题。
- 为 VSNS 引脚串联 1kΩ 电阻器，防止较高的电流尖峰损坏感测引脚的内部结构。

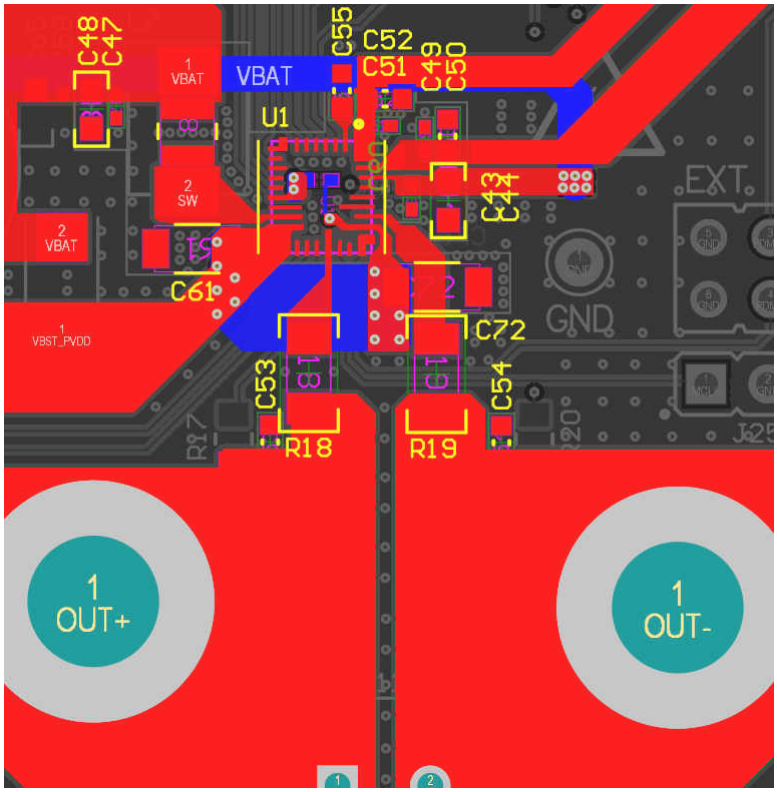

图 1-10. OUT_P 和 OUT_N 连接

Copyright © 2022 Texas Instruments Incorporated

1.9 感测引脚

VSNS_N 和 VSNS_P 分别是电压感测负输入和正输入。在铁氧体磁珠滤波器后，这两个输入连接到 D 类输出（VSNS_N 连接到 OUT_N，VSNS_P 连接到 OUT_P）。

将这些引脚布线到铁氧体磁珠滤波器时，在扬声器端子处必须连接各自的输出，而非引脚或迹线。此外，TI 建议为每条电压感测路径添加一个 1kΩ 电阻器。这种方法有助于降低辐射并减少由 EMI 滤波器导致的 ICN 增量。

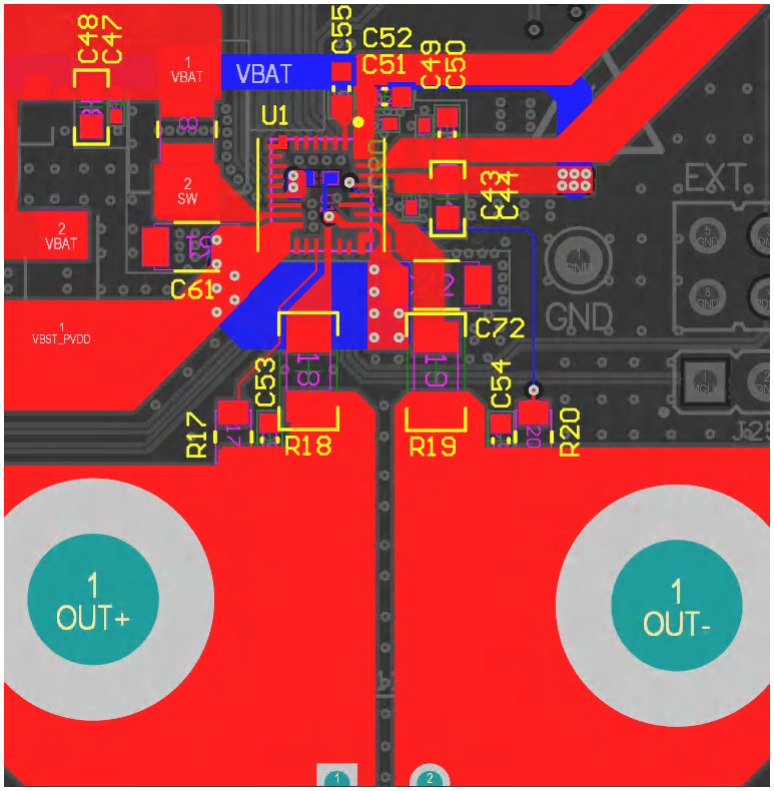

图 1-11. VSNS_P 和 VSNS_N 连接

Copyright © 2022 Texas Instruments Incorporated

1.10 数字部分

TAS2563 器件涉及数字和模拟活动。布线不同信号时必须小心谨慎，否则可能导致噪声问题，尤其是从数字线路到模拟部分的布线。

在超快速模式中，I²C 线路的数字线路频率可达 1MHz，I²S 线路的数字线路频率可达 50MHz。这类高频成分会影响模拟信号的性能。在测量方面，数字噪声电平可能影响示波器捕获或 THD+N 测量结果。

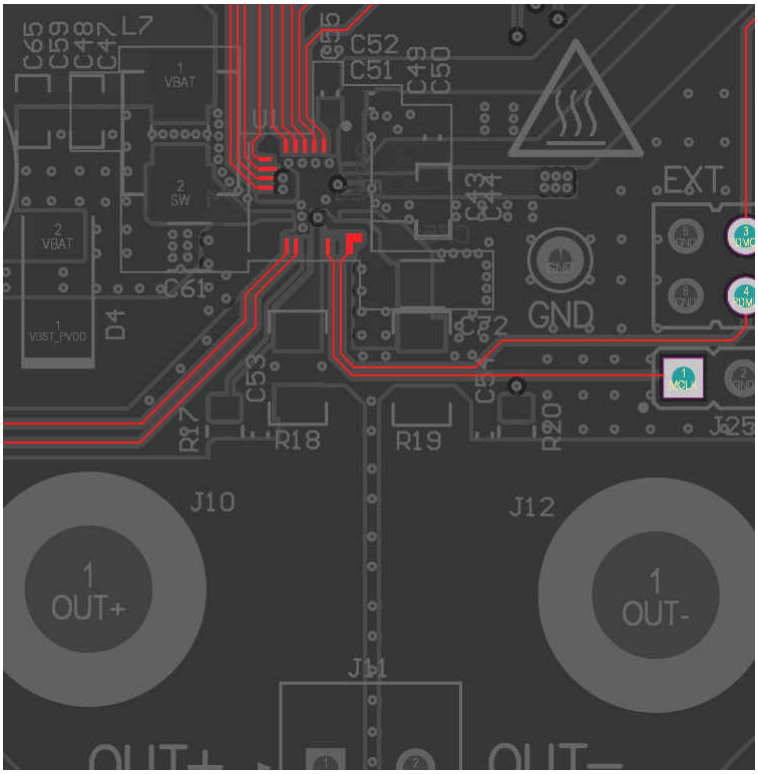

图 1-12. 数字连接

Copyright © 2022 Texas Instruments Incorporated

1.11 接地平面

设计 PCB 布局时，接地平面的布线非常重要。这些平面旨在充分散热并尽可能减少寄生阻抗。不同接地引脚的设计技巧列举如下：

- 应将 GND 引脚 28 视为信号，并通过过孔单独连接到 GND。请勿在引脚 27 和 28 上铺设 GND 平面。
- 其他所有接地引脚都必须在封装下方进行短接，并通过多个过孔连接到 PCB 接地平面。
- 过孔是电路板各部分进行散热的理想方式。GND 平面需要快速散发积聚的热量，因此有必要在接地引脚附近增加多个过孔。
- 建议寄生电感不超过 150pH。增加过孔可降低额外阻抗，并提供良好的导电和导热性能。
- 最佳做法是使顶层下方的整个层专用于 GND。

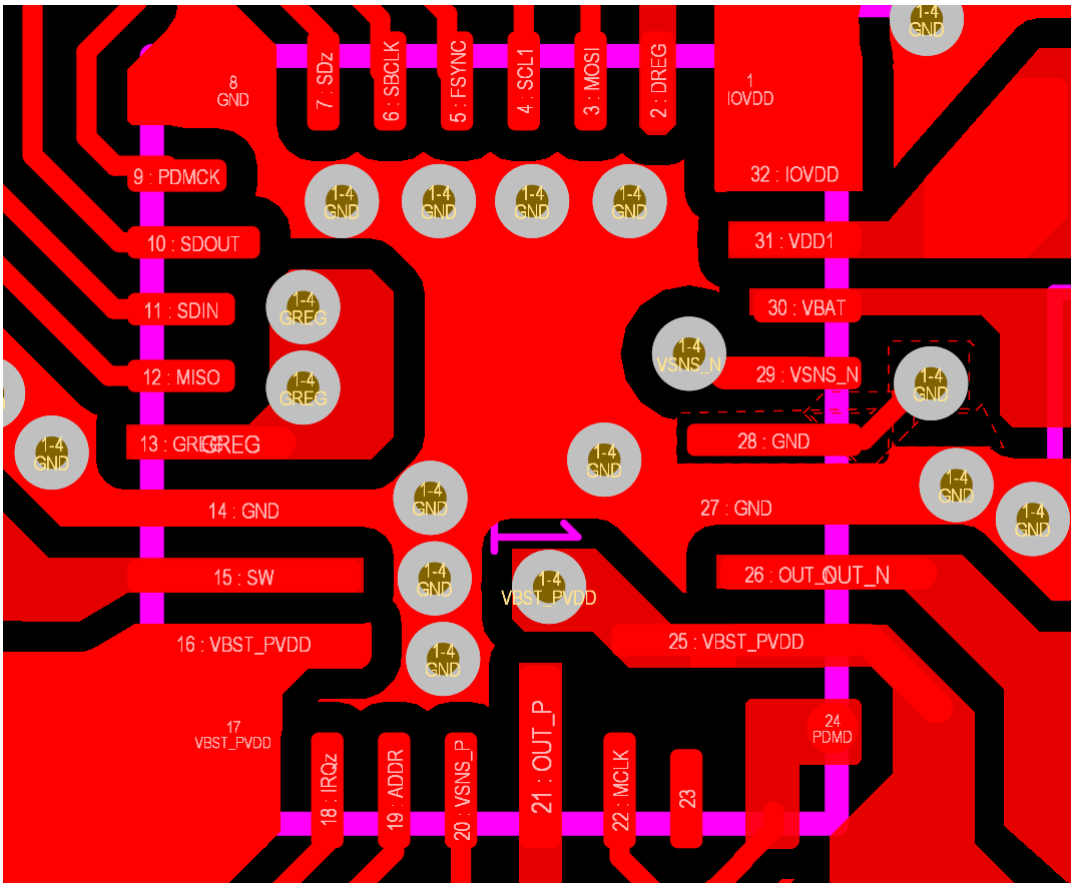

图 1-13. GND 引脚 28

Copyright © 2022 Texas Instruments Incorporated

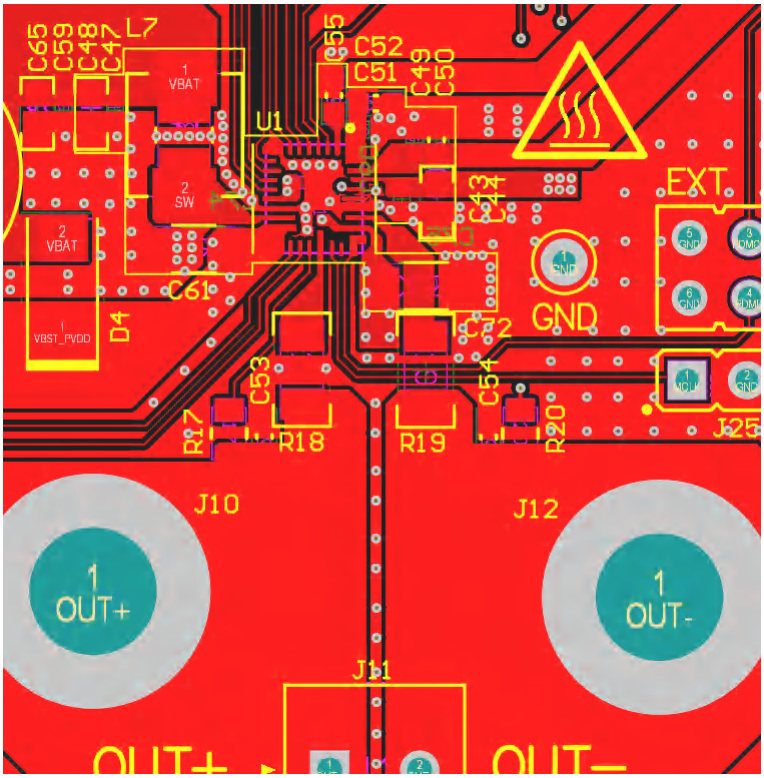

图 1-14. TAS2x63 顶层

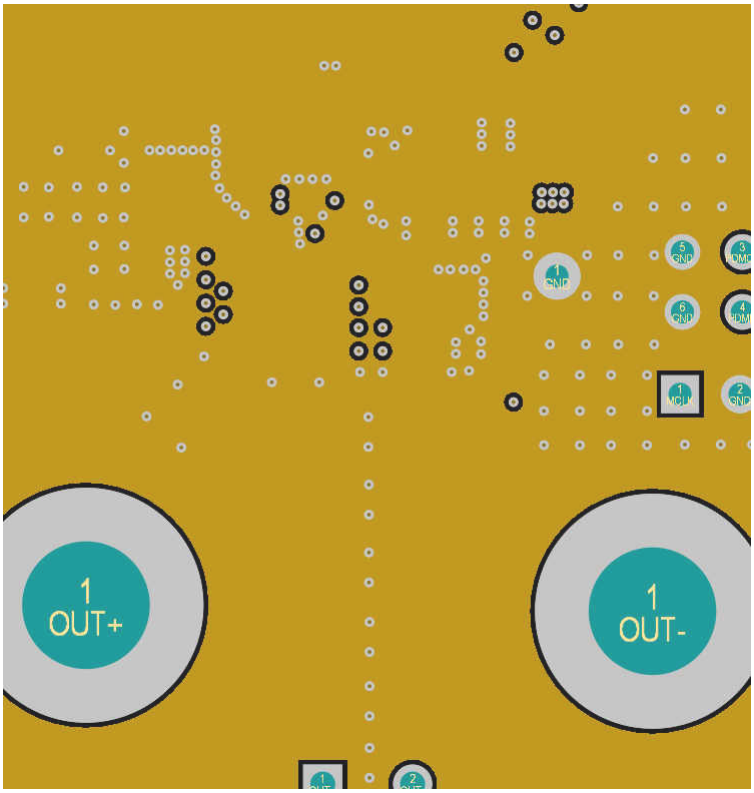

图 1-15. TAS2x63 第 2 层

English Document: SLAA988
Copyright © 2022 Texas Instruments Incorporated

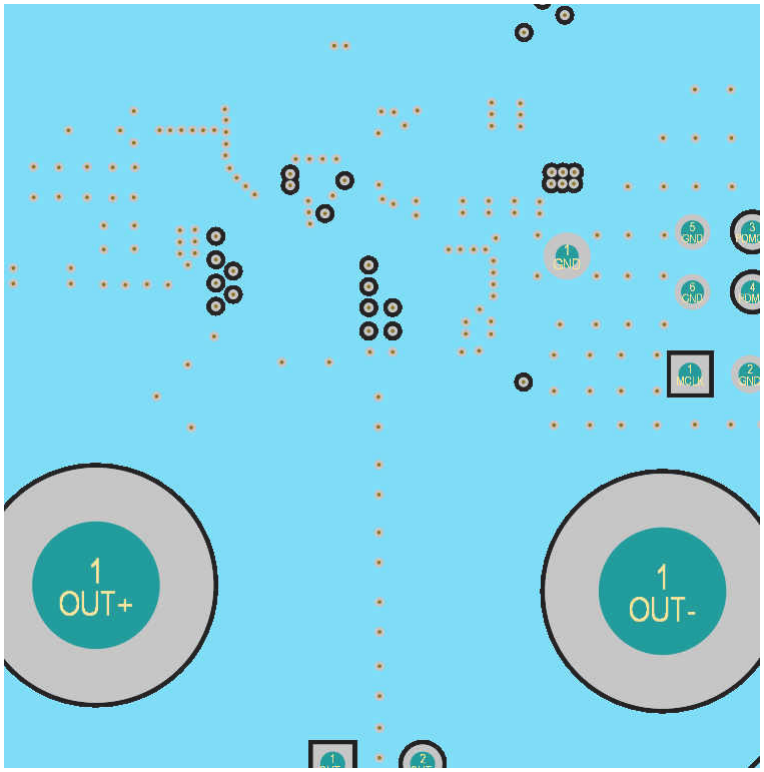

图 1-16. TAS2x63 第 3 层

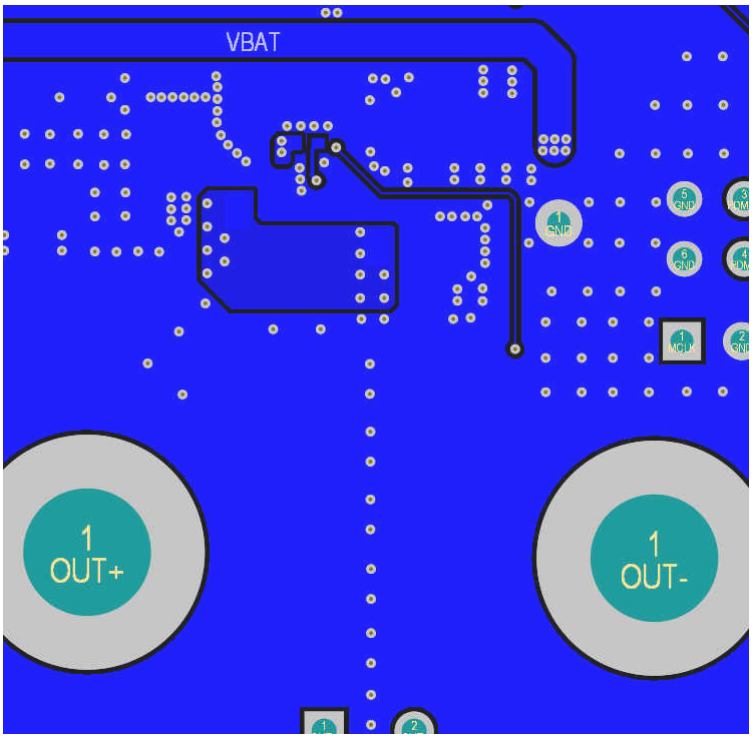

图 1-17. TAS2x63 底层

Copyright © 2022 Texas Instruments Incorporated

2 原理图

图 2-1 所示为 TAS2563 的典型应用电路以及本文所用的元件名称。

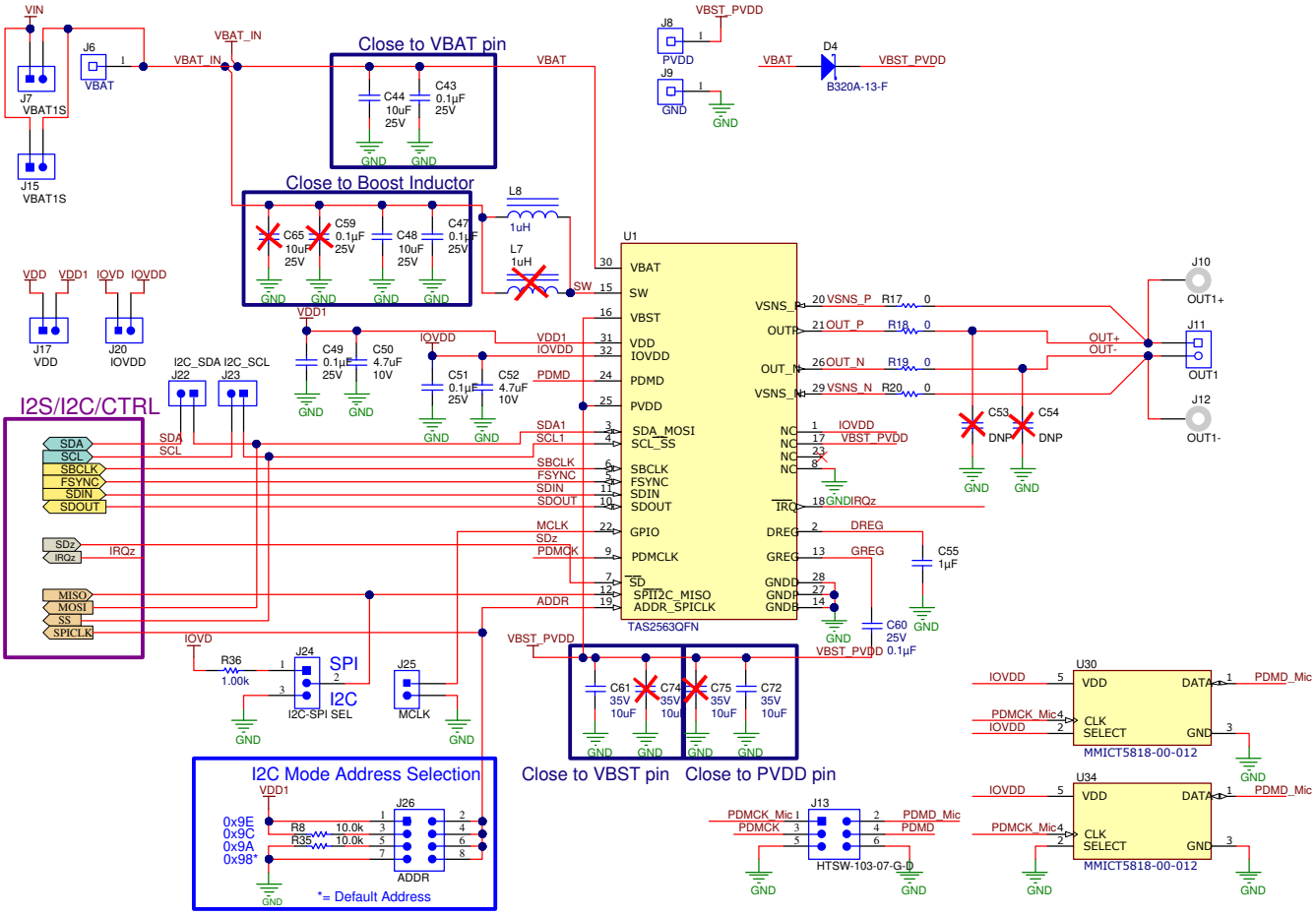

图 2-1. TAS2x63 原理图

Copyright © 2022 Texas Instruments Incorporated

2.1 推荐的外部组件

组件	说明	技术规范	最小值	典型值	最大值	单位
C43、C44	VBAT 去耦电容器 — VBAT 引脚	类型	X7R			
		电容，容差为 20%	10、0.1			µF
		额定电压	10			V
C47，C48	VBAT 去耦电容器 — 升压电感器	类型	X7R			
		电容，容差为 20%	10、0.1			µF
		额定电压	10			V
C61、C72	PVDD 去耦电容器	类型	X7R			
		电容，容差为 20%	10			µF
		额定电压	35			V
C49，C50	VDD 去耦电容器	类型	X7R			
		电容，容差为 20%	4.7			µF
		额定电压	6			V
C55	DREG 去耦电容器	类型	X7R			
		电容，容差为 20%	0.68	1	1.5	µF
		额定电压	6			V
C51、C52	IOVDD 去耦电容器	类型	X7R			
		电容，容差为 20%	1			µF
		额定电压	6			V
C60	GREG 去耦电容器	类型	X7R			
		电容，容差为 20%	0.1			uF
		额定电压	10			V
如果需要用到 EMI 滤波器，请用这些电感器替换 R18 和 R19	EMI 滤波电感器（可选）。不建议使用，因为会使 THD+N 性能降低。该器件为无滤波 D 类器件，无需这些磁珠电感器。	100MHz 时的阻抗		120		Ω
		直流电阻			0.095	Ω
		直流电流	5			A
C53、C54	EMI 滤波电容器（可选，如果使用 C37、C49、C106、C115，则必须使用 EMI 电感器）	电容		1		nF

Copyright © 2022 Texas Instruments Incorporated

3 去耦电容器

所有 PCB 布线均已定义阻抗，在各设计阶段都必须考虑这些阻抗。这些信号路径将作为电路板中的附加元件。另外，PCB 线路具有可导致不同功率分布的寄生电感和电容。

为减少所有这些寄生阻抗的负面影响，TI 建议，VBAT 和 VDD 去耦电容器连接应遵循以下规则：

- **在同一层且靠近器件引脚的地方放置去耦电容器。**去耦电容器存储本地电荷，并在需要时提供较大瞬态电流。TAS2563 器件具有许多开关活动和电压波动，需要在短时间内产生较大电流瞬态。此外，由过孔、迹线和焊盘引起的寄生效应会在电源中产生压降。将去耦电容器靠近电源引脚放置，可补偿这些影响，并在需要时提供较大的瞬态电流。对于多层板，电容器应放置在 TAS2563 器件所在层。否则，因过孔连接而产生的附加电容可能会降低去耦电容值。
- **将去耦电容器放置在尽可能靠近 VDD 和 GND 过孔的地方。**如果可能，将过孔直接放置在电容器安装焊盘上或其附近。过孔定义阻抗取决于其长度和直径。该阻抗可能导致压降（在高频应用中，信号完整性受显著影响）和电流，必须减小或加以避免。因此，TI 建议，在安装焊盘周围增加多个过孔。这种方法可降低寄生阻抗。

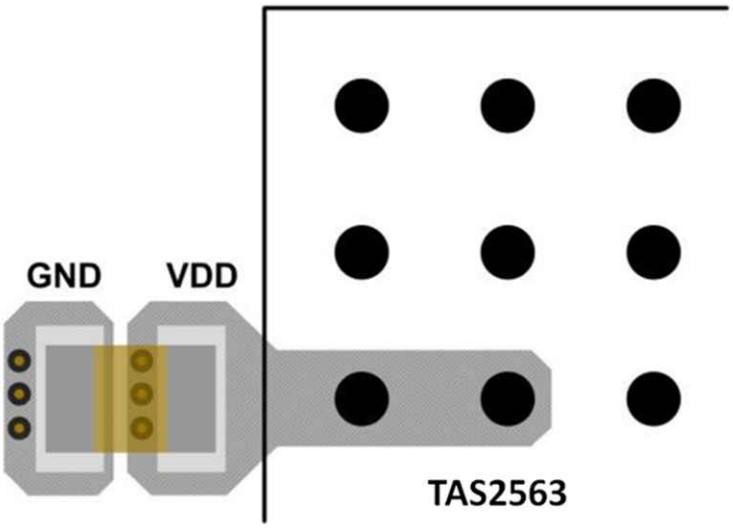

图 3-1. 去耦电容器

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2020) to Revision A (January 2022)	Page
• 更新了“PCB 截图显示，改进了引脚 28 的 GND 连接”	1
• 在 节 1.11 中添加了引脚 28 说明	13
• 添加了 图 1-13，GND 引脚 28	13

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司