



Kazunobu Shin, Systems & Architecture, Member Group of Technical Staff
Venkateswar Kowkutla, Senior Member of Technical Staff

内容

1 引言.....	2
2 AM62x 电源管理特性.....	3
2.1 低功耗模式.....	3
2.2 主动电源管理.....	4
2.3 电源简化.....	4
2.4 电源解决方案.....	4
3 低功耗处理器架构注意事项.....	5
4 AM62x 功耗.....	6
5 功耗估算工具.....	7
6 总结.....	8

商标

所有商标均为其各自所有者的财产。

1 引言

嵌入式系统在各种应用中的日益普及促使在单个 SoC 上实现更高的集成。这种高度集成度会导致更高的功耗、增加热系统成本、降低性能，并缩短电池寿命。为了克服这些挑战，SoC 应根据其在目标嵌入式系统中的使用情况来定义、架构和设计。由于每个应用都不尽相同，因此为 SoC 选择正确的运行设置将实现最佳性能和功耗。本文介绍了德州仪器 (TI) 新一代 Sitara MPU 器件 AM62x 处理器的新特性和新技术。

AM62x 处理器具有采用 64 位架构的高性能四核 Cortex A53、强大的 3D 图形引擎、用于一般用途或安全用途的集成 M4F MCU 通道，配备来自应用领域的完全自由接口 (FFI)、用于基础和汽车/工业安全的双核 M4F，以及用于器件资源和低功耗管理的专用 R5F 内核。该器件的模块化架构提供了支持多种低功耗模式的性能，而不会影响关键系统资源，例如连接性、电源、安保性、安全性和成本。图 1 显示了高电平 AM62x 处理器的简要方框图。

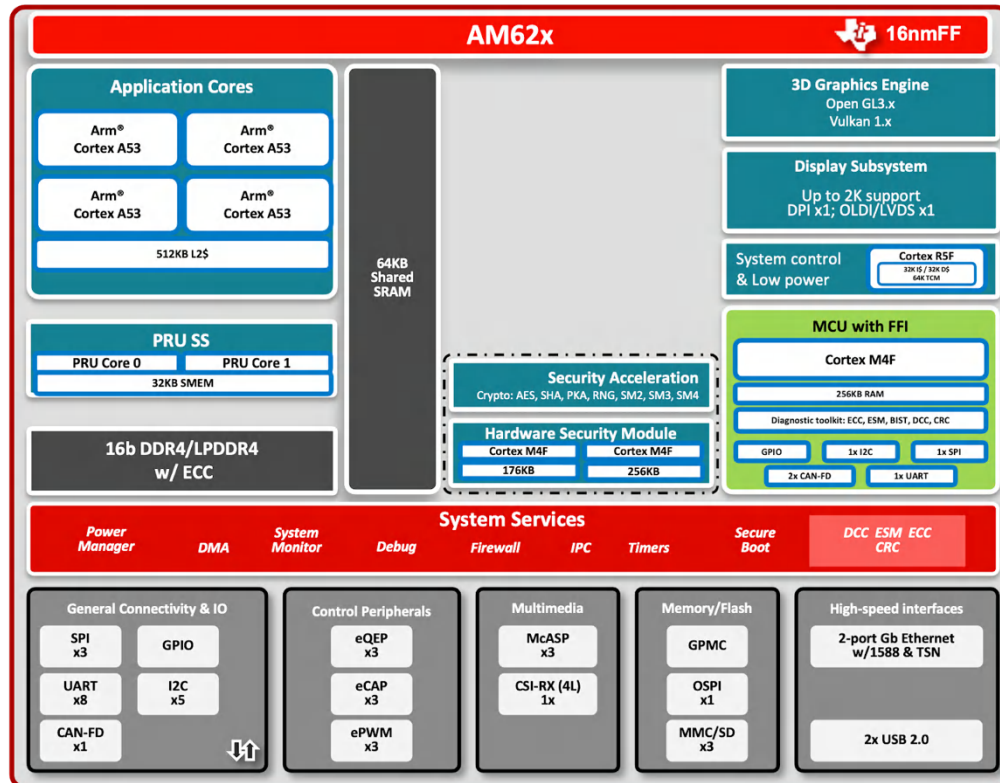


图 1-1. Sitara™ AM62x 处理器方框图。

2 AM62x 电源管理特性

AM62 处理器使用多种基本技术来降低工作和静态功耗。表 2-1 显示了 AM62x 电源管理特性和优势。

表 2-1. AM62x 电源管理特性

关键特性	AM62x 电源管理	优势
低功耗模式	DeepSleep, 仅 MCU, 待机, 部分 I/O	更长的电池工作寿命
主动电源管理	在 125MHz 下的低总线时钟工作频率 (OPP low)	在低活跃度用例中的低工作功耗
	动态频率调整 (DFS)	热管理
电源简化	电压为 0.75V 时高达 1.25GHz (A53)	通过 0.75V 内核电源实现差分低功耗功能
	电压为 0.85V 时高达 1.4GHz (A53)	通过 0.75V 内核电源实现更高性能
	单核电源 更简单的电源域	用于电源管理的成本更低的电源解决方案和更简单的软件控制
	通过集成 LDO 简化电源时序, 实现低成本的分立式电源解决方案	更容易优化整个系统的电源解决方案 低成本的电源解决方案
配套 PMIC	低成本的新型 PMIC	为 AM62x 而优化的低成本 PMIC

2.1 低功耗模式

AM62x 处理器支持具有不同功率耗散水平的优化低功耗模式：部分 I/O 模式、DeepSleep 模式再到待机模式 (亚 mW 到几 mW)。表 2-2 显示了 AM62x 处理器上支持的各种低功耗模式的高电平说明。

表 2-2. AM62x 低功耗模式

低功耗模式	唤醒源	应用状态和用例
部分 I/O	CANUART I/O 库引脚	除了 CANUART I/O 库中的 I/O 引脚外, , 整个 SoC 都处于关闭状态, 以保持 CANUART I/O 库 I/O 引脚的 I/O 唤醒能力。
DeepSleep	GP 计时器、RTC 计时器、UART、I2C、MCU GPIO0、I/O 菊花链、USB 唤醒事件	内核域寄存器信息将丢失。在进入该模式之前, 需要应用程序将内核域的片上外设寄存器 (上下文) 信息保存到 DDR。DDR 处于自更新状态。引导 ROM 执行并分支到外设上下文恢复以进行唤醒, 然后是系统恢复。此模式主要用于“挂起至 RAM”以延长电池寿命或执行备份操作。
仅 MCU	DeepSleep 唤醒事件, MCU 通道支持中断事件	MCU 子系统在 MCU PLL 时钟上运行。SoC 状态的其余部分与 DeepSleep 相同。DDR 处于自更新状态。在这种低功耗模式下, MCU 可以使用 MCU 域外设运行应用程序。
待机	任何 SoC 中断事件	片上内容被完全保留。任何 SoC 中断事件都可能导致从此各低功耗模式中唤醒事件。A53 和 MCU M4F 处于 WFI 或断电状态。DDR 存储器处于自更新状态。该器件可以使用非唤醒/MCU 域外设运行低级处理, 并支持从这些外设唤醒。

部分 I/O : CANUART I/O 库中的 I/O 引脚和小型逻辑处于活动状态, 而 SoC 的其余部分则关闭。用户可以使用 I/O 引脚来聚合多个 I/O 唤醒事件, 并在触发 I/O 唤醒事件时切换 PMIC_LPM_EN 引脚以启用 PMIC 或离散电源解决方案。I/O 唤醒事件的信息记录在 CANUART I/O 库的 MMR 中, 帮助软件区分冷启动和唤醒以更快地响应唤醒事件。该模式可用于支持 CAN 唤醒或以太网唤醒。

DeepSleep : DeepSleep 模式比待机模式或仅 MCU 模式的功耗更低。当用户在等待需要处理或更高性能的事件时需要非常低的功耗, 通常在不活动期间使用 DeepSleep 模式。DeepSleep 是最低功耗模式, 它仍然包括 DDR 自更刷新, 因此唤醒事件不需要完全冷启动, 显著缩短了唤醒延迟。当不需要 RTC 或其他计时器功能时, 可以通过禁用两个振荡器来实现此模式下的最低功耗。

仅 MCU : 仅 MCU 可用于在低功耗模式下需要低电平处理的低功耗用例。SoC 的状态与 DeepSleep 相同, 只是 MCU 通道完全处于活动状态, 以使用 MCU 通道资源和外设运行应用程序。MCU 通道中的任何中断事件都可以从仅 MCU 模式中唤醒, DeepSleep 中支持的唤醒事件也可以从仅 MCU 模式中触发唤醒。

待机 : 该器件可以置于待机模式以在低活动电平期间降低功耗。第一级电源管理允许您维护器件上下文以实现快速恢复时间。待机状态的功耗比活动模式的功耗低, 但需要用户将关闭的电源域上下文保存到片上存储器或 DDR, 并在唤醒时恢复上下文以正确恢复。

2.2 主动电源管理

动态频率调整 (DFS) 是一种动态调整器件运行性能点 (OPP) 工作频率的电源管理技术。OPP 是定义特定电源状态的电压/频率对。软件控制每个 OPP 的时钟频率，以将性能和功率调整到最优点。该器件仅对 Cortex-A53 支持 DFS。

AM62x 处理器支持作为 OPP Low 的较低总线频率运行。OPP Low 必须在引导时配置。在 OPP Low 中，主 CBASS 时钟频率减半以降低工作功耗并降低性能。在此运行条件下，某些外设模块的性能受到限制或不可用。

2.3 电源简化

当涉及到电源优化时，必须考虑 SoC 在给定系统中的使用方式，同时考虑整体系统电源优化，而不仅仅是 SoC 电源 — 这是整体方法的关键部分。最大限度地减少 SoC 所需的专用电源轨数量不仅可以简化电源解决方案。

AM62x 器件采用共享内核 vdd 架构，可灵活调整电压电平以满足广泛应用的需求。

为给定应用选择正确的内核电压可优化系统功率。AM62x 器件能够证明，将核心电源从 0.8V (工艺节点的标准核心电压) 调整到 0.75V，有功功率总共降低了 15%。另一方面，在性能是关键问题时，将核心电源从 0.8V 调整到 0.85V 可使器件性能提高 15%。

AM62x 处理器支持没有 DVFS/AVS 的简单内核电源，并为整个 SoC 提供 100K POH 和固定内核电压，具有完整的性能授权。

2.4 电源解决方案

通过利用上述简化的电源要求，TI 为 AM62x 处理器开发了两种类型的低成本电源解决方案。TPS65219 是专为 AM62x 处理器设计的 PMIC，充分利用简化的电源要求为 AM62x 处理器提供最低成本的 PMIC。分立式电源解决方案可以提供可扩展性和灵活性，以调整电源解决方案使其符合整体系统的要求，或满足不同的电流容量或客户所需的电源数量。表 2-3 比较了为 AM62x 处理器设计的两种低成本电源解决方案。

表 2-3. AM62x 电源解决方案

	分立式电源	单个 PMIC 解决方案
可用性	现在: (TPS6282x、TPS745xx、TLV7103318、TLV75518)	TPS65219
电源特性	利用 AM62x 模拟集成来简化电源	2.7 至 5.5V 输入电源
	支持多个输入电源: 3.3V 和 5V	专为 AM62x/AM64x 处理器开发的单个 PMIC 解决方案
	可扩展性, 可满足当前容量的不同定制要求, 并且成本最低	汽车支持
电源管理特性	不适用	可编程电源时序和默认电压
功能安全	利用 AM62x 功能实现客户驱动	不适用
电源解决方案尺寸评估	可根据系统要求进行扩展	81.54mm ² , 带 4 x 4mm ² QFN, 间距为 0.4mm 69.66mm ² , 带 5 x 5mm ² QFN, 间距为 0.5mm
AM62x EVM	AM62x SK	AM62Q SK

3 低功耗处理器架构注意事项

硬件和软件协同设计对于电源和延迟优化至关重要。找出正确的硬件-软件边界，在定义过程中尽早识别硬件中的功能以及软件中的功能是关键。通过消除 USB 和 DDR 复位隔离和保留方案等创新型新功能所支持的配置设置的保存和恢复，简化低功耗模式进入和退出模式的软件序列。根据低功耗用例优化 IO 状态（上拉和下拉）以及保持 IO 的能力可增强系统稳健性和可靠性。

在开发阶段的早期，对几个不同的硬件/软件分区进行了评估，以确定满足整体系统用例和目标（成本、性能、功耗和延迟）的最佳实施方式。AM62x 处理器主要分为 4 个域，如图 3-1 所示。

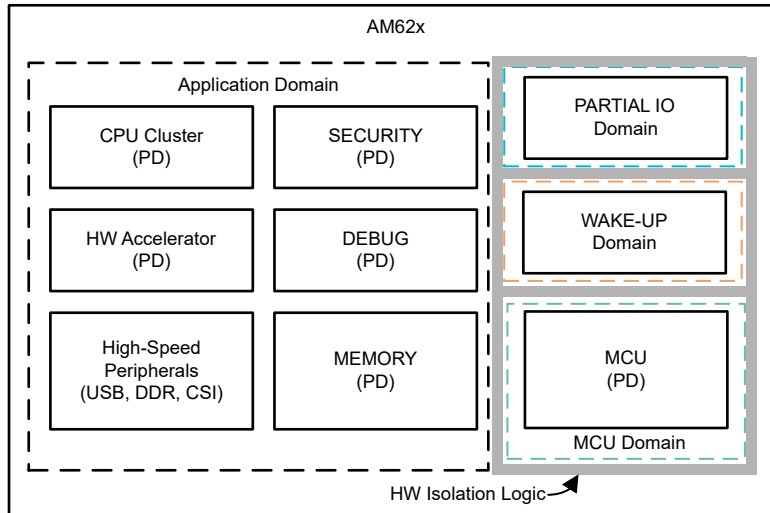


图 3-1. SoC 分区

应用领域，由高性能 CPU、硬件加速器和高速外设组成。该域进一步分为具有内部电源开关的各种子系统。根据系统用例，这些子系统可以使用内部电源域开关完全断电。例如：集群中未使用的 CPU 内核、硬件加速器（图形、显示）等。此外，在 DeepSleep 和仅 MCU 低功耗模式期间，应用域通过内部子系统电源门控进入最低功耗模式。

MCU 域，由实时 CPU 和外设组成。该域可以配置为完全独立于应用域运行：这是多个汽车、工业和电池供电应用中的关键区别特性。在 DeepSleep 模式下，MCU 域可通过内部电源开关进行断电。

唤醒域，包括电源管理 CPU 和系统组件，例如时钟、复位、电源和唤醒。该域负责器件启动、资源配置和管理以及低功耗管理。围绕该域建立硬件隔离，以确保应用程序域和 MCU 域之间的明确分离。通过仔细划分硬件和软件功能之间的职责，Sitara MPU 器件实现了更简单和强大的低功耗模式进入和退出序列。此外，为了改善低功耗模式进入/退出延迟，Sitara MPU 器件开发了创新型新功能，例如 USB 和 DDR 复位隔离和保留方案，以避免需要外设配置保存和恢复的复杂软件序列。

4 AM62x 功耗

表 4-1 显示了各种 SoC 状态下的功耗以及功率和性能的可扩展性。通过利用低功耗模式实施和技术，AM62 处理器在运行频率为 1GHz 的单个 A53 内核上实现了低于 500mW 的功耗。其功耗几乎是前几代类似的低功耗低成本处理器所实现的功耗的一半。当四核 A53 在全部四个内核 (1.4GHz) 上运行压力应用程序时，AM62x 处理器功率仍可低于 1W。

表 4-1. AM62x 功耗

	在 1GHz 下的 Cortex A53 0.75V VDD_CORE			在 1.4GHz 下的 Cortex A53 0.85V VDD_CORE		
	空闲 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)	空闲 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)
VDD_CORE	343	395	570	466	565	880
VDDR_CORE	3	4	7	2	4	8
VDDS_DDR	45	45	45	45	45	45
总计 (无 I/O 和模拟)	391	444	622	513	614	933

5 功耗估算工具

TI 根据从测量和模拟数据创建的处理器电源模型提供了功率估算工具 (PET)。在开始设计硬件和软件之前，开发人员可以深入了解 AM62x 处理器在各种应用场景、电气参数、器件工艺变化和环境条件下的功耗。该工具的功耗估算可用于确定 AM62x 处理器的工作性能点、评估热设计或估算最终产品的电池寿命。该工具允许开发人员选择不同的工作条件和处理器配置，以通过各种节能技术在工作性能和功耗之间进行权衡。该工具估算了实际工作模式下的功耗，并不旨在用于作为电源电压选择依据。

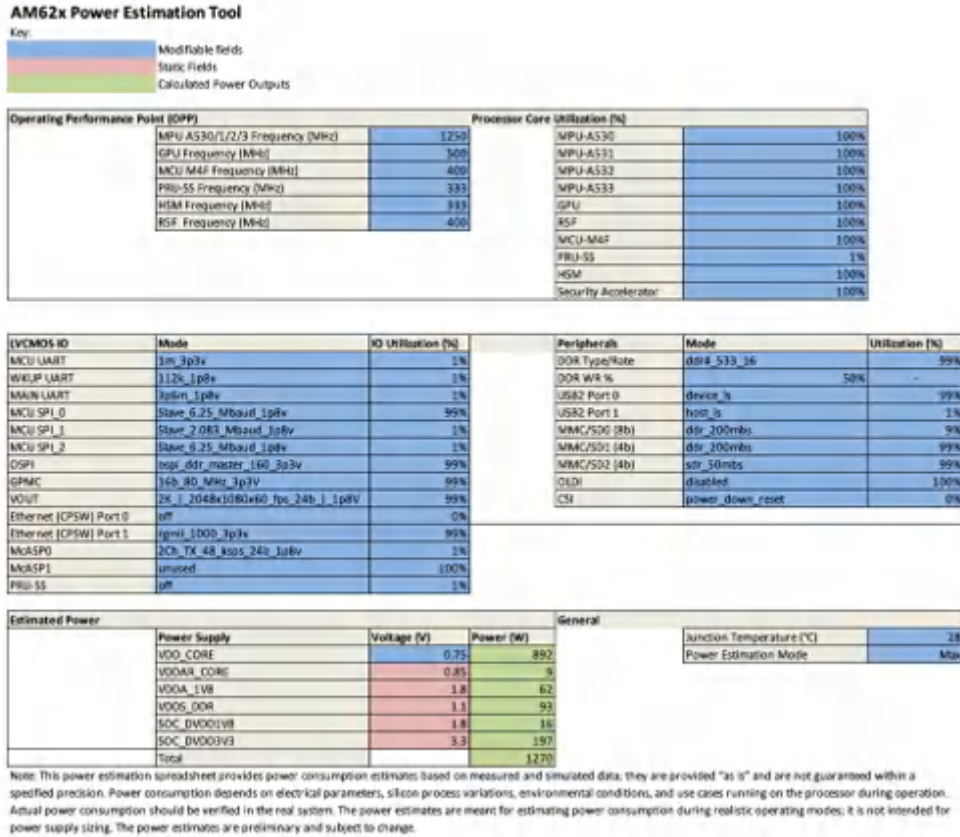


图 5-1. AM62x 功耗估算工具

6 总结

AM62 处理器为具有分析或人机界面功能的边缘器件提供低功耗嵌入式系统。低功耗模式和低工作功耗支持各种电池供电应用和小型产品设计，无需散热器或风扇。独特的 0.75V 内核电压运行和电源管理特性支持调整性能和功耗，以达到每个客户应用的最佳效果，并通过利用先进的模拟集成来帮助实现简单且成本低的电源解决方案。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司