

*Application Note*同步采样系统中使用多个宽带宽  $\Delta$ - $\Sigma$  ADC 的设计注意事项

Josh Brown, Keith Nicholas

**摘要**

在同步采样模式下运行的多个 ADC 器件通常用于数据采集系统。示例包括[声音和振动传感器](#)、[电网监测](#)和医疗设备，包括[ECG](#)和[体外诊断](#)。德州仪器 (TI) 的宽带宽  $\Delta$ - $\Sigma$  ADC 系列具有小封装尺寸、菊花链连接选项和同步功能，专为这些应用而设计。本应用手册讨论了这些多通道系统的许多设计要求。

**内容**

<b>1 简介</b>	<b>2</b>
<b>2 时钟信号</b>	<b>3</b>
2.1 单个时钟缓冲器	3
2.2 多个时钟缓冲器	4
2.3 时钟抖动	4
<b>3 同步</b>	<b>6</b>
<b>4 抗混叠滤波器群延迟</b>	<b>7</b>
<b>5 基准电压</b>	<b>9</b>
<b>6 电源旁路和接地</b>	<b>10</b>
<b>7 SPI 菊花链连接</b>	<b>11</b>
7.1 SPI 菊花链通信	12
7.2 SPI 菊花链配置的系统要求	13
7.3 单通道 ADC 的 SPI 菊花链连接中的器件数量	14
<b>8 单通道 ADC 的并行 SPI SDO 或 DRDY 连接</b>	<b>15</b>
<b>9 确定新的转换数据何时可用于单通道 ADC</b>	<b>16</b>
<b>10 多通道 ADC 的帧同步菊花链连接</b>	<b>17</b>
10.1 帧同步菊花链配置的系统要求	19
10.2 帧同步菊花链连接中的通道数量	21
<b>11 总结</b>	<b>22</b>
<b>12 参考资料</b>	<b>23</b>
<b>13 修订历史记录</b>	<b>24</b>

**商标**

所有商标均为其各自所有者的财产。

## 1 简介

本应用手册综述了多器件同步采样系统中的时钟设计、同步、菊花链注意事项及电路板布局建议，所使用的 ADC 详见 [表 1-1](#) 部分。在整个应用手册中，这些 ADC 称为 ADS1x7Lxx 系列。请注意这些器件之间的任何差异，否则该信息通常适用于所有器件。

**表 1-1. 宽带宽  $\Delta$ - $\Sigma$  ADC**

器件型号	分辨率	通道计数	最大数据速率	可编程滤波器系数	数据接口端口
<a href="#">ADS117L11</a>	16	1	1067kSPS	否	SPI：配置和输出数据
<a href="#">ADS127L11</a>	24	1	1067kSPS	否	SPI：配置和输出数据
<a href="#">ADS127L21</a>	24	1	1365kSPS	是	SPI：配置和输出数据
<a href="#">ADS127L21B</a>	24	1	1365kSPS	是	SPI：配置和输出数据
<a href="#">ADS117L14</a>	16	4	1365kSPS	否	SPI：配置帧同步：Output Data
<a href="#">ADS117L18</a>	16	8	1365kSPS	否	SPI：配置帧同步：Output Data
<a href="#">ADS127L14</a>	24	4	1365kSPS	否	SPI：配置帧同步：Output Data
<a href="#">ADS127L18</a>	24	8	1365kSPS	否	SPI：配置帧同步：Output Data

## 2 时钟信号

同步采样系统要求所有 ADC 使用相同的时钟信号，并与相同的时钟周期同步。有两种对时钟信号进行布线的选项：一种是单个时钟缓冲器，用于将时钟信号驱动到所有 ADC；另一种是来自同一个时钟源的多个独立时钟缓冲器，用于驱动各个 ADC。

对于任一时钟树设计，若时钟走线长度不超过（信号上升时间  $\times$  5cm/ns），则通常无需源端接串联电阻器。如果超过此时钟长度，则使用串联电阻器源端接时钟布线，以便匹配微带布线的特性阻抗（减去缓冲器输出的特性阻抗）。源端接电阻吸收来自高阻抗时钟输入端的反射能量，防止该能量反弹回输入端并降低噪声容限（即高或低输入逻辑阈值的差值）。对于快速时钟驱动器，上升时间可以远小于 1ns。使用较大电阻值对 PCB 布线进行过阻尼，以减少时钟信号过冲和下冲，从而增加时钟信号噪声容限。

TI 建议的时钟上升时间为 1ns，以减少多个 ADC 之间的时序差异。此类时序差异是由于工艺容差导致各时钟输入的逻辑阈值电平不同所引起的。

### 2.1 单个时钟缓冲器

在通道数量较少的系统中，可以使用单个时钟缓冲器来驱动所有 ADC。这得益于 ADS1x7Lxx ADC 的小尺寸，可实现紧凑的电路板布局，从而缩短 ADC 与时钟源之间的 PCB 布线长度。在单个时钟缓冲器布局中，从时钟缓冲器到 ADC 的 PCB 布线必须具有相等的路径长度，以便尽可能地减小 ADC 之间的采样偏移。鉴于微带 PCB 设计的典型传播延迟为 60ps/cm，时钟布线之间的 5cm 差异会导致 ADC 之间的采样偏移达到 300ps。该采样偏移表现为输入信号中额外的 0.3ns 群延迟，当通道之间的相位角很重要时，必须将其包含在测量误差预算中。

除了采样偏移之外，匹配的 PCB 布线长度还可以减少来自 ADC 时钟输入的多条线路反射。多条线路反射会导致过度振铃和过冲，从而降低时钟信号噪声容限。

图 2-1 展示了有关匹配的时钟布线长度的示例。TI 建议在布线长度不超过 5cm、ADC 数量最多为四个时采用此配置。使用更长的 PCB 布线或更多的 ADC 会导致过多的时钟上升和下降时间，从而降低时钟信号噪声容限。

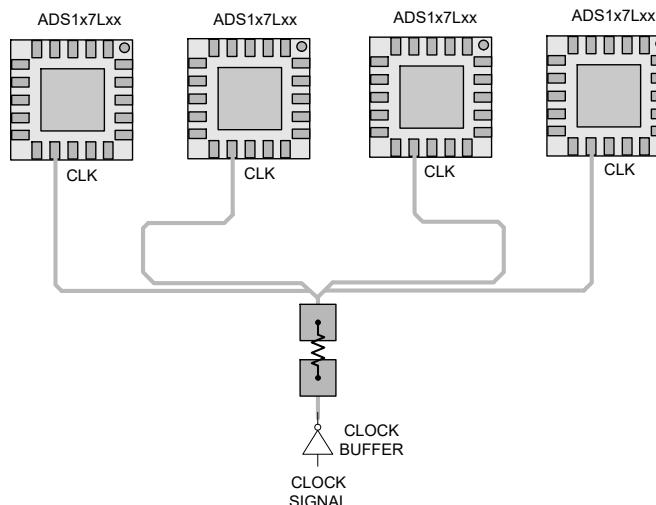


图 2-1. 单个时钟缓冲器

## 2.2 多个时钟缓冲器

在通道数量较多的系统中，为每个 ADC 使用单独的时钟缓冲器很有助益。但是，时钟缓冲器可能会引入通道间时钟偏移，这会导致 ADC 之间出现采样偏移。[LMK1C1104](#) 等此类高速时钟缓冲器具有明确规定了 50ps 通道间输出偏移规格。通用逻辑缓冲器通常未指定或具有数纳秒的过大输出偏移规格。这些通用逻辑缓冲器通常可用于低时钟速度，但必须根据特定的应用要求进行评估。图 2-2 显示有关使用多个时钟缓冲器的示例布局。这是具有多个 ADC 及较长布线长度的优选时钟布局配置。

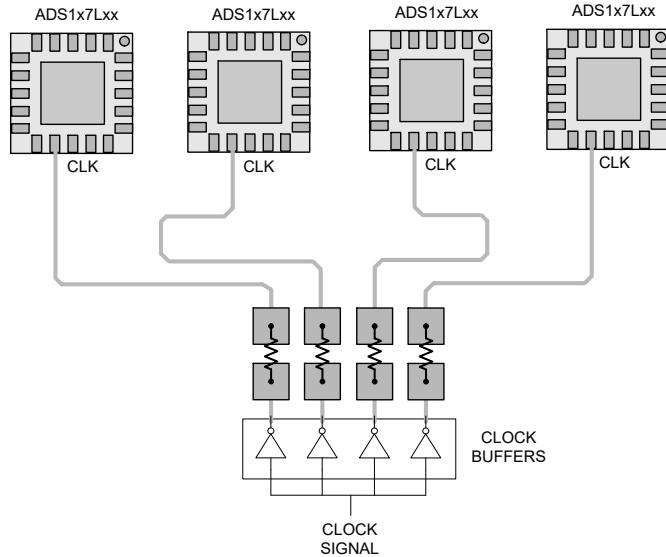


图 2-2. 多个时钟缓冲器

## 2.3 时钟抖动

所有  $\Delta$ - $\Sigma$  ADC 依据过采样原理工作，其中调制器的采样数据被数字滤波器滤波和下采样。除了通过对数据求平均值来降低调制器内的热噪声之外，时钟抖动引起的噪声效应也通过相同的过程进行平均。过采样的最终效果是改善由热噪声引起的额定 SNR 和由时钟抖动引起的  $\text{SNR}_j$ 。相对于器件的热噪声，内部时钟路径中抖动产生的噪声很小。过采样提供的抖动噪声降低对于不相关的时钟抖动噪声源（其中假设噪声为宽带）是有效的。

验证时钟信号是否具有低抖动且无干扰，从而实现数据表性能。过度的时钟抖动可能导致在大振幅输入信号周围出现能量泄漏或裙板效应，并可能影响用于检测接近大信号的低电平信号的能力。

通常情况下，控制器或 ADC 中集成的 RC 振荡器不具备测量交流输入信号所需的抖动性能，必须避免。[LMK6C](#) 和 [CDC6C](#) 时钟振荡器具有非常低的抖动，满足所有 ADS1x7Lxx ADC 的时钟抖动要求。

可接受的时钟抖动量与输入信号频率成正比，与用户编程的过采样率 (OSR) 的根成反比。方程式 1 和 图 2-3 展示了时钟抖动对  $\text{SNR}_j$  的影响。

$$\text{SNR}_j(\text{dB}) = -20 \times \log\left(\frac{2\pi \times f_{IN} \times t_j}{\sqrt{\text{OSR}}}\right) \quad (1)$$

其中：

- $\text{SNR}_j$ ：时钟抖动导致的理论 SNR 限制 (dB)
- $f_{IN}$ ：输入信号频率 (Hz)
- $t_j$ ：时钟抖动 (s-rms)
- OSR：ADC 过采样率（有关 OSR 值，请参阅 [表 1-1](#) 的特定 ADC 数据表）

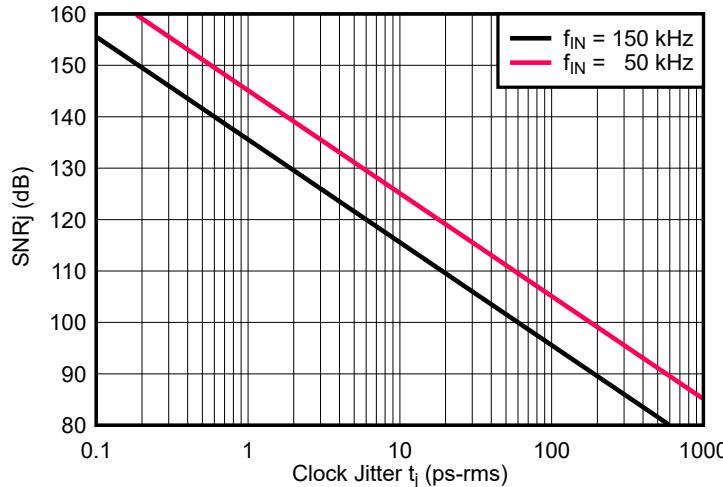


图 2-3.  $SNR_j$  与时钟抖动间的关系

例如，当输入信号频率 = 150kHz 且 OSR = 32 ( $f_{DATA} = 400$ kHz) 时，时钟抖动小于 10ps，以使  $SNR_j = 116$ dB。理想情况下， $SNR_j$  必须比 ADC 的额定 SNR 大 6dB。

时钟抖动的相关噪声源不会因过采样而降低到与不相关噪声源相同的程度。要减少单通道 ADS1x7Lxx 器件内一种可能的相关噪声源，请使用 ADC 时钟信号的相位同调频率来运行串行时钟 (SCLK)。系统中存在的非相位同调 SCLK 和其他时钟频率可能会与 ADC 时钟信号进行互调，这会导致在 ADC 输出频谱中产生不必要的和频倍数和差频倍数。由于多通道 ADC 中的数据转换传输使用帧同步接口，因此数据传输时钟始终是相位同调的，从而在 SPI SCLK 未激活时消除了这种可能的相关噪声源。

相关类型的时钟信号抖动可能发生在系统中的其他位置，并通过各种机制与 ADC 时钟信号耦合。这些机制包括：附近开关电源产生的 PCB 地平面噪声，并联时钟布线之间的电容和电感耦合，或通过与 ADC 时钟信号相同的缓冲器封装来对不相关的时钟信号布线。DRDY 对于单通道器件，应尽可能缩短 SCLK 和 SDO/DRDY 布线，并将其与时钟信号分离，以减少耦合。也可使 SCLK 持续运行，以便将 SCLK 时钟信号能量均匀分散在整个转换周期内。

### 3 同步

由于内部上电阈值的工艺容差，多器件系统中的 ADC 最初不同步，直到在外部同步。更改器件的配置后还需要同步。ADS1x7Lxx ADC 通过 START 引脚或 SPI 起始位进行同步。同步多个 ADC 时，请勿使用任何 ADC 内部时钟分频器。如果使用内部时钟分频器，则每个 ADC 生成的分频时钟信号可能具有不同的相位，从而导致 ADC 之间的多个时钟周期不确定性。所有的内部时钟分频器必须使用默认值 1 才能正确同步。

推荐的同步方法是使用与每个 ADC 的 START 引脚并联的单条控制线。在将 START 置为高电平后，ADC 在时钟信号的下一个上升沿同步。在时钟的下降沿将 START 置为高电平，避免用于锁存 START 的时钟上升沿的不确定性。否则，可能会导致 ADC 之间出现一个时钟周期计时误差。此外，使用同步控制模式时，应始终在下降时钟沿施加连续 START 信号。START 信号 PCB 布线长度失配的影响不如匹配的时钟布线那么严重，因为 ADC 在时钟的上升沿锁存 START 输入，前提是失配小于  $\frac{1}{2}$  时钟周期。

或者，也可为每个 ADC 单独布线独立 START 线路，以实现 ADC 之间精细的通道相位调整，分辨率可高达一个时钟周期。在这种情况下，ADC 之间的时钟信号偏移不是问题。

如果到达系统的同步信号与系统时钟异步并直接路由到 ADC，则同步后 ADC 之间可能存在一个时钟周期的不确定性。在这种情况下，使用外部电路同步用于所有 ADC 的同步信号。同步电路在时钟信号的下降沿释放同步信号，确保 ADC 同步到相同的时钟周期。图 3-1 展示了一个使用 **SN74AUP2G79** 双路 D 型触发器的同步电路示例。

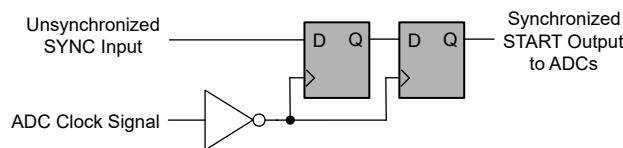


图 3-1. 同步 SYNC 信号

除同步控制模式外，所有控制模式也可通过 SPI 同步转换（详情请参阅 ADS1x7Lxx 数据表）。要通过 SPI 同步 ADC，请使用连接到所有 ADC 的单芯片选择（CS）信号。移入针对 CONTROL 寄存器的寄存器写入命令，以设置 START 位。当  $\overline{CS}$  置为高电平以结束帧时，ADC 同时对命令数据进行操作，从而实现系统同步。要将 ADC 同步到同一时钟周期，SCLK 必须与 ADC 时钟相位同调，并且  $\overline{CS}$  必须在时钟的下降沿上置为高电平。

## 4 抗混叠滤波器群延迟

ADS1x7Lxx 系列使用的数字滤波器采用线性相位设计，使得所有输入信号频率分量都具有相同的时长偏移。这种行为会产生可预测且不变的线性相位以及恒定群延迟。恒定的群延迟可维持多通道同步采样系统的信号完整性，例如测量加速度幅度和方向，其中尽可能减小相位误差至关重要。

但是，外部模拟抗混叠滤波器 (AAF) 可能会在信号通带内增加非线性群延迟。AAF 的非线性群延迟会影响同一通道上具有不同频率分量的信号、施加于不同通道的相同输入频率信号，或两种情况同时发生。非线性量取决于滤波器调优和元件匹配。

例如，图 4-1 展示了 550kHz、四阶 AAF 临界阻尼滤波器对齐 (13dB 峰值) 时，整个输入频率范围内的群延迟。这个特定滤波器会产生 15ns 的群延迟变化，从 10kHz 时的 0.575  $\mu$ s 变为 100kHz 时的 0.590  $\mu$ s。将一个包含 10kHz 和 100kHz 频率分量的复合信号施加于此特定 AAF 的输入端，会导致这些频率在 AAF 输出端出现相对相位差。

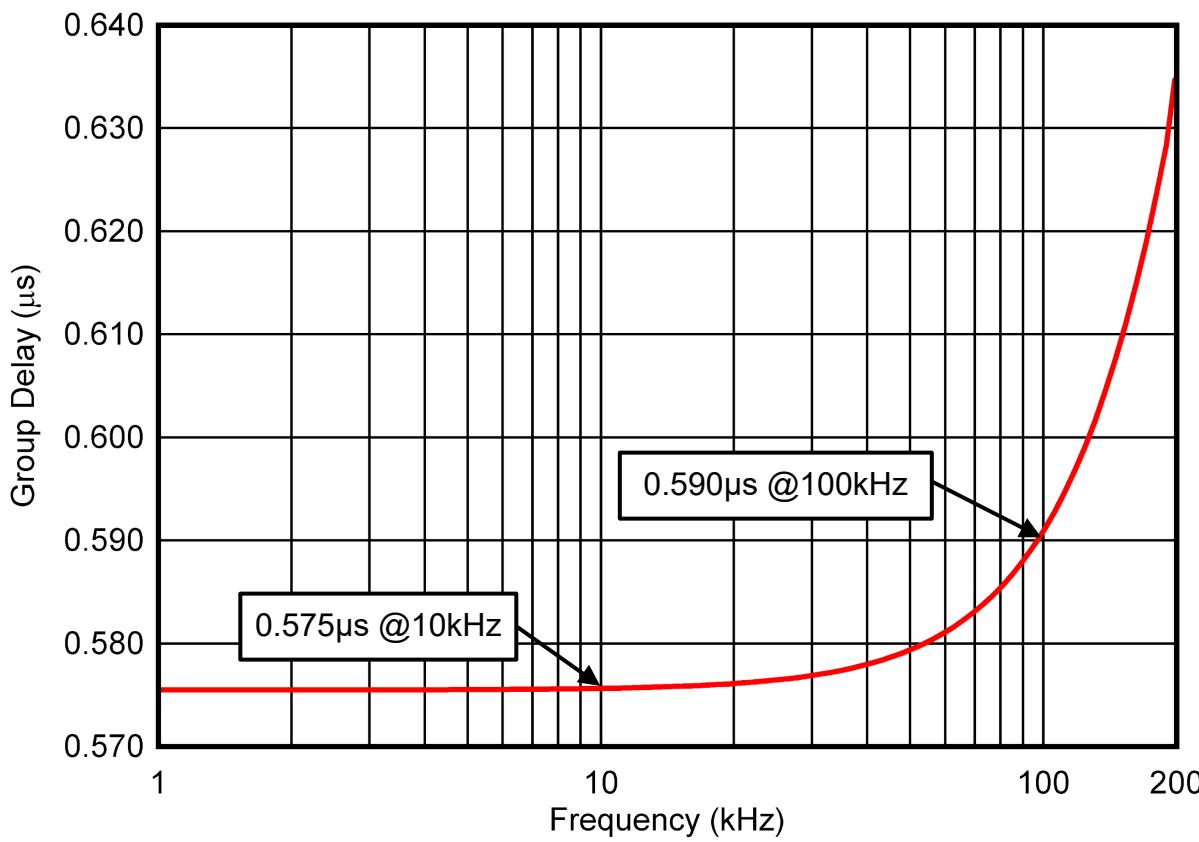


图 4-1. 抗混叠滤波器群延迟

在多通道系统中，通道间匹配的滤波器响应对于保持测量精度（例如测量加速度幅度和方向）至关重要。使用精密电阻器和电容器值对于在通道之间保持类似的响应非常重要，否则不同输入通道上相同的信号可能具有不同的振幅、相位和群延迟。使用 0.1% 容差的电阻器和 1% 电容器以获得更佳效果。

此外，由于通道之间的元件不匹配，AAF 可能在多通道同步采样系统中引入额外的相位误差。无论是每个通道测量具有多个频率分量的复杂信号还是具有单个频率分量的简单信号，都存在这种行为。

图 4-2 展示了在每个 ADC 通道的输入端具有 AAF 的多通道系统示例。这些滤波器的特性与前一示例中使用的 AAF 完全相同，仅在 ADC 输入端的电容器上有所不同。如图所示，通道 1 上的电容器 (C05) 具有 2.2nF 的理想电容，而通道 8 上的 2.222nF 电容器 (C75) 包含 1% 的容差变化。

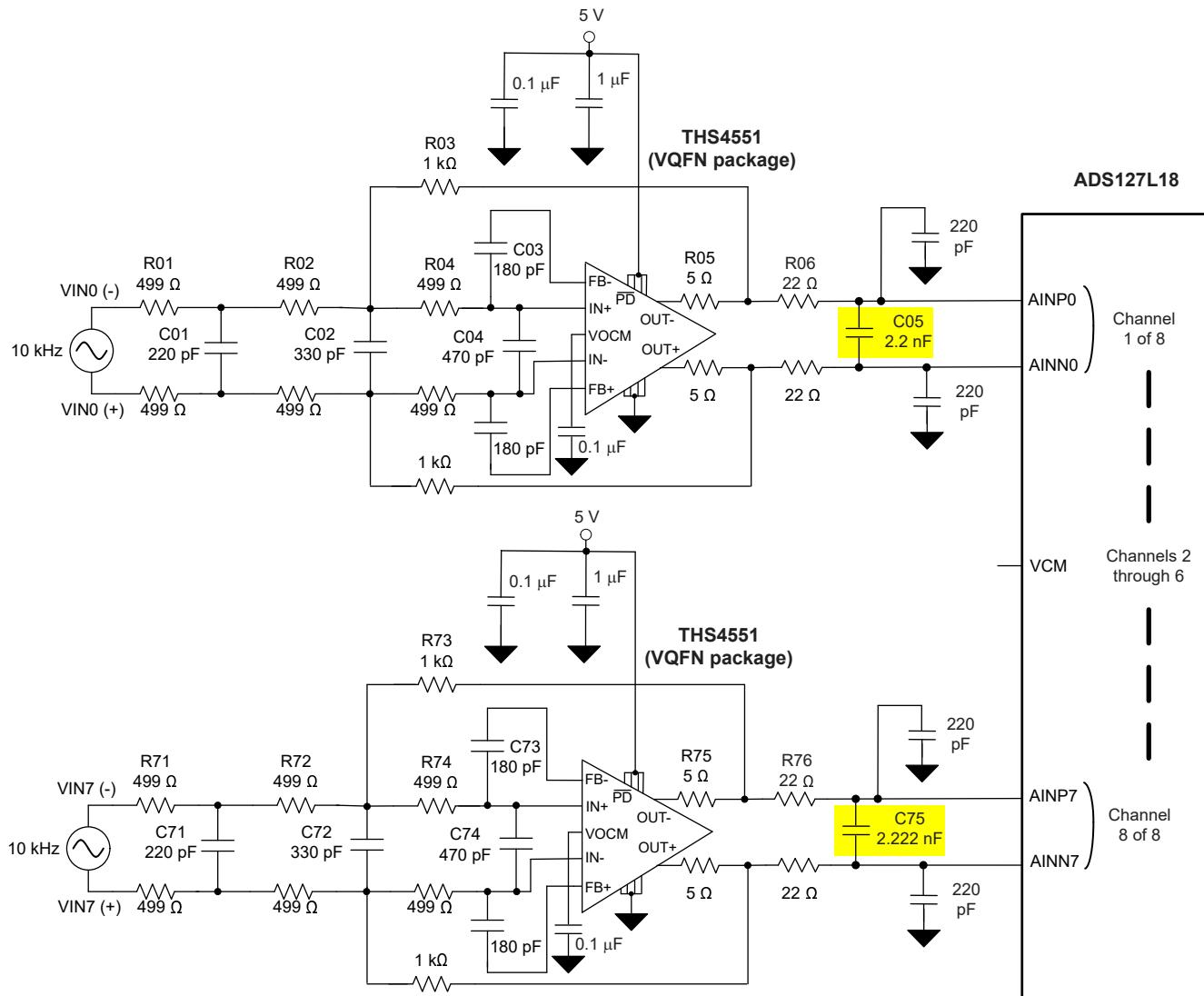


图 4-2. 抗混叠滤波器通道间容差变化

图 4-2 中所示的两个电容器之间的 1% 变化会增加 10kHz 下, 从 0.575  $\mu$ s 到 0.576  $\mu$ s 的通道间群延迟。假设电阻器容差为 0.1%、电容器容差为 1%, 并计入所有电阻器与电容器的容差影响, 则在 10kHz 频率下, 群延迟的变化范围为 0.573  $\mu$ s 至 0.578  $\mu$ s。因此, 应使用精密电阻器和电容值来更大限度地减小通道间在信号振幅、相位和群延迟方面的差异。

## 5 基准电压

多个 ADC 可以共享单个电压基准，并符合数据表规范。除了在电压基准输出端使用大容量去耦电容器外，还应在 ADC 的 REFP 和 REFN 引脚上使用本地去耦电容器。TI 建议启用 ADS1x7Lxx 内部 REFP 缓冲器以减少电压基准的加载。

将 REFP 和 REFN 布线为差分对，务必与对输入信号布线时一样小心。在不使用中间接地连接的情况下，将从电压基准接地引脚开始的 40mil(1mm) 宽或以上的 PCB 布线连接到 REFN 引脚。对 REFN 布线使用接地连接可能导致基准信号中出现接地噪声。图 5-1 展示了有关 ADC 处的 REFP 和 REFN 布线和基准输入引脚旁路的示例。

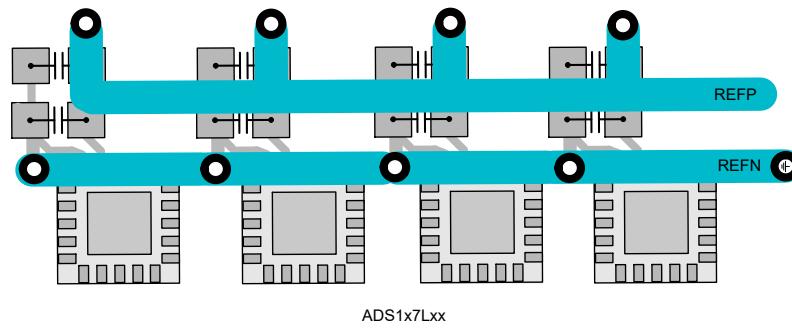


图 5-1. 基准电压布线

## 6 电源旁路和接地

为了在使用多个 ADC 的系统中获得最佳性能，请遵循与单个 ADC 系统相同的电源旁路和接地平面建议。有关电源旁路建议，请参阅 **ADS1x7Lxx** 器件系列数据表。针对多通道系统中的 ADC 使用共享模拟和数字接地的专用、不间断的接地层在多数情况下可提供更佳结果。图 6-1 展示了使用实心接地层的示例布局。

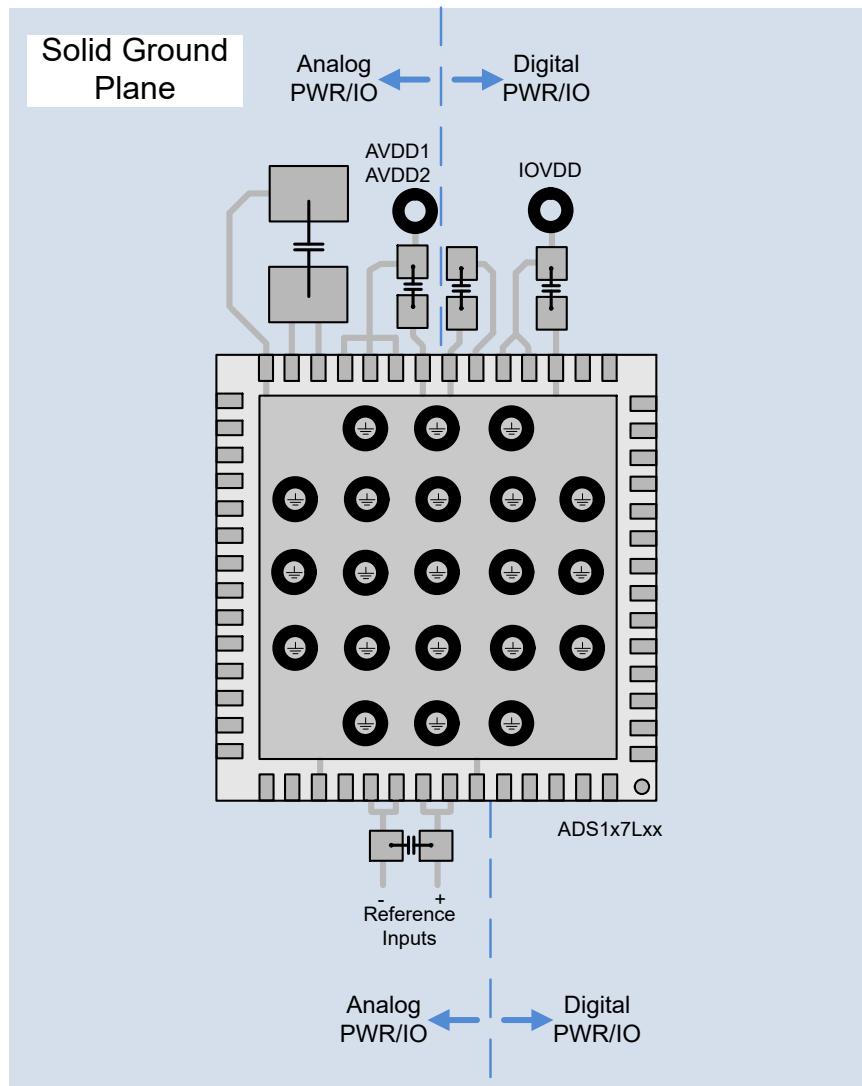


图 6-1. ADS1x7Lxx 示例电路板布局

## 7 SPI 菊花链连接

使用多个 ADC 的挑战之一是增加了在 ADC 和主机控制器之间路由数字信号的复杂性。ADS1x7Lxx 系列提供了菊花链选项以简化数字信号连接。单通道 ADC 将 SPI 用于数据和配置。多通道 ADC 仅使用 SPI 进行配置，使用帧同步端口传输转换数据。以下各节仅讨论 SPI 端口的菊花链。[帧同步菊花链配置的系统要求](#)中稍后会讨论帧同步菊花链。

菊花链选项将一个 ADC 的 SPI 数据输出连接到链中下一个 ADC 的 SPI 数据输入中。这些连接将各个 ADC 移位寄存器链接到一个长度更长的移位寄存器。从 SPI 的角度来看，主机控制器作为单个虚拟器件连接到以菊花链方式连接的器件。图 7-1 说明了各个 ADC 移位寄存器如何通过菊花链连接模拟单个移位寄存器。

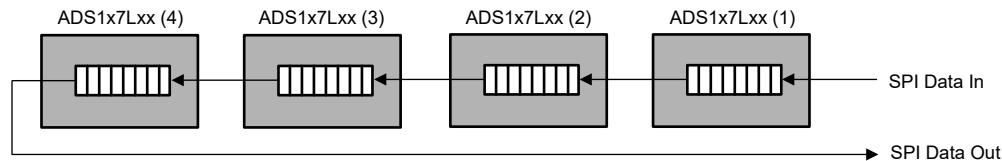


图 7-1. 菊花链概念

菊花链连接将连接到主机控制器的 SPI 线路数量保持为四条，而无论链中连接的 ADC 数量是多少。相比之下，标准 SPI 级联连接需要七条 SPI 线路来连接到四个 ADC。

图 7-2 和图 7-3 分别展示了标准 SPI 级联连接和菊花链连接所需的 SPI 信号。如果使用标准 SPI 级联或菊花链连接，则可能需要额外的控制线路。附加控制线路通常用于 ADC 同步 (START)、ADC 复位 (RESET)，在单通道 ADC 的情况下，还可用于数据就绪输出 ( $\overline{DRDY}$ )。

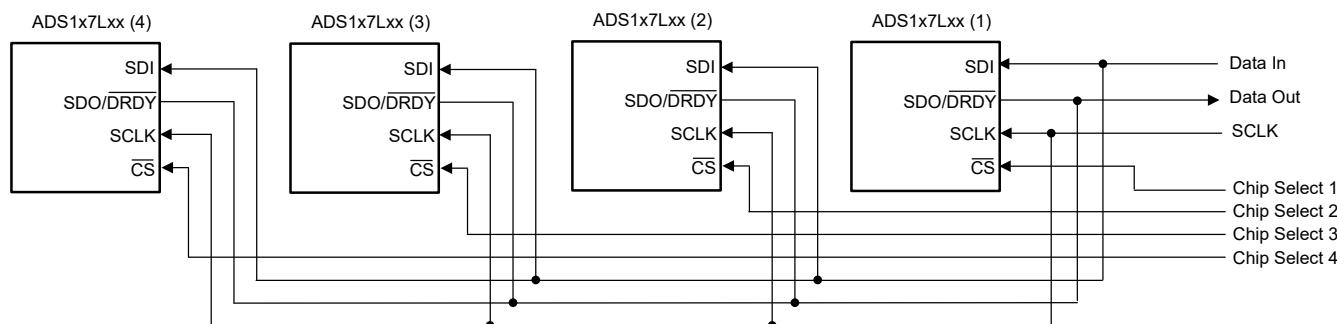


图 7-2. 常规 SPI 级联连接

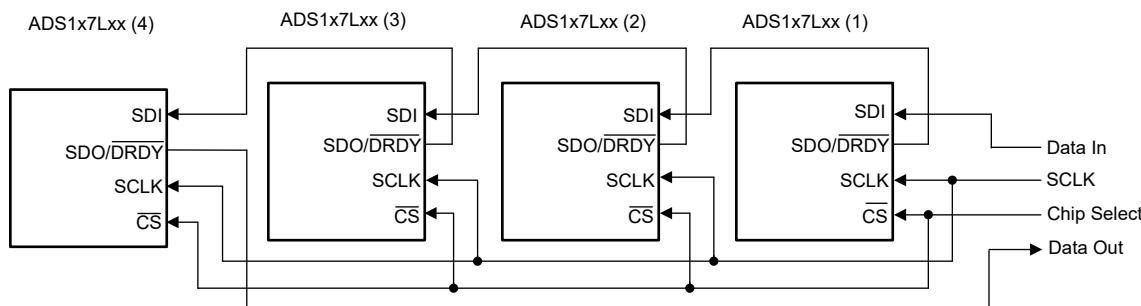


图 7-3. 菊花链 SPI 连接

## 7.1 SPI 菊花链通信

ADS1x7Lxx 系列的菊花链运行无需特殊编程。用户配置主机控制器，以将数据帧扩展到从链中连接的所有 ADC 访问数据所需的长度。要设置的新数据帧长度应与（链中的器件数乘以 ADC 的每帧位数）相匹配。例如，链中使用 24b ADC 数据包的四个器件需要用户将控制器帧长度设置为 96 位。

当将数据移入菊花链时，第一个数据块将对应于链连接中的最后一个器件（在图 7-3 中为 ADC 4）。当  $\overline{CS}$  置为高电平时，ADC 仅会解读其各自移位寄存器中的数据。这意味着，当数据通过每个 ADC 时，对于移位操作的数量没有限制，只有最后移入每个 ADC 的位才是重要的。图 7-4 展示了每个 ADC 的 24b 输入数据包的示例，以匹配 24b 输出数据大小。有关菊花链输入命令格式的更多详细信息，请参阅 ADS1x7Lxx 系列数据表。

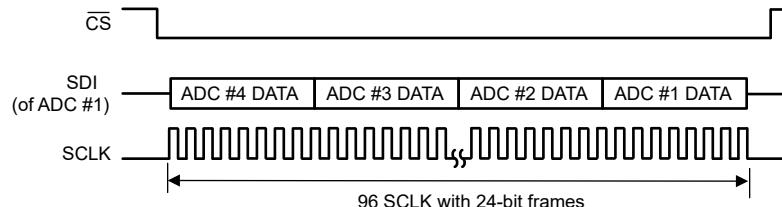


图 7-4. SPI 菊花链数据输入序列

从 ADC 读取数据时， $\overline{SDO/DRDY}$  上的第一个数据输出来自链中的最后一个器件（图 7-3 中为 ADC 4），然后是来自链中下一个器件（ADC 3）的数据，依此类推（请参阅 图 7-5）。器件之间的数据流没有中断或间隙。例如，如果将 ADC 编程为 24b SPI 数据包，则执行 96 次移位运算来从四个器件读取数据。

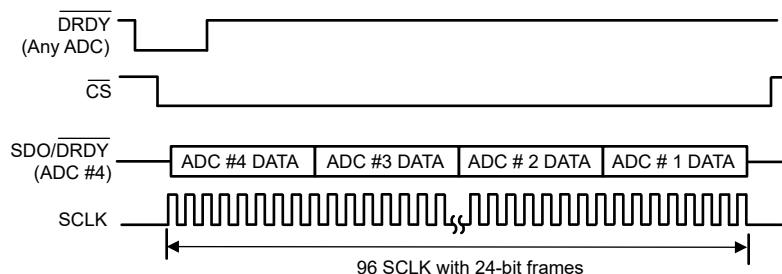
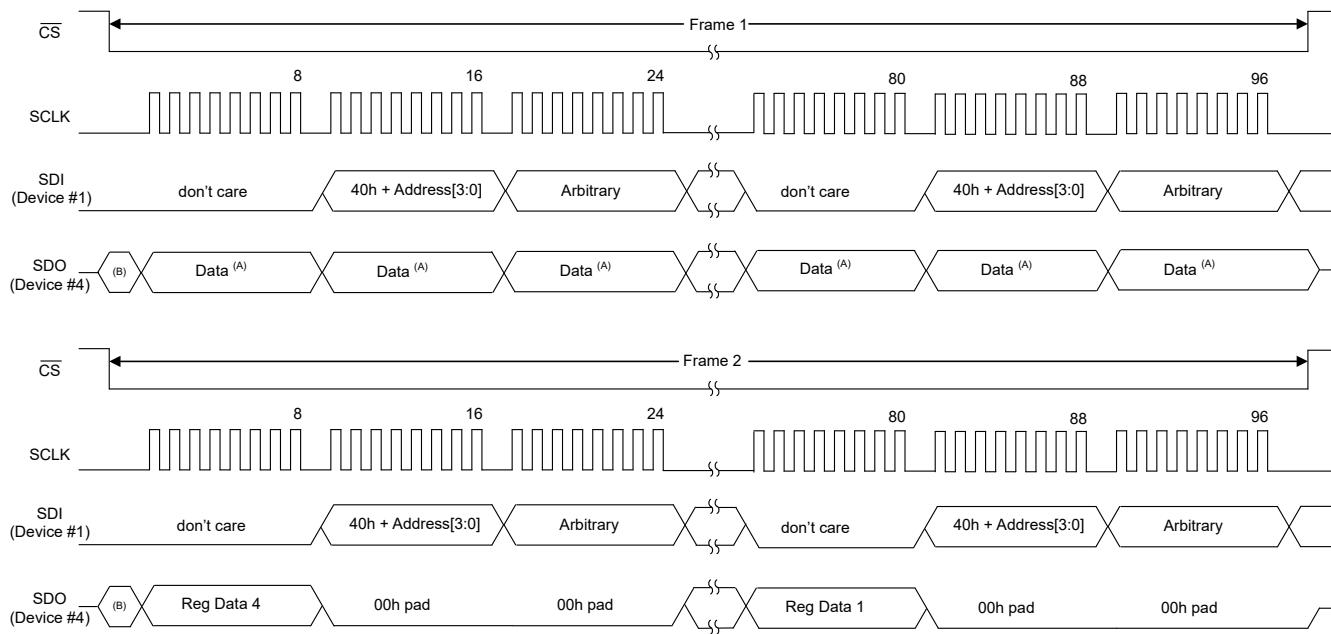


图 7-5. SPI 菊花链数据输出序列

读取寄存器数据需要两个帧。第一个帧以图 7-4 中显示的通用格式输入读取寄存器命令。第二个帧以图 7-5 中显示的通用格式输出寄存器数据。第一个寄存器输出数据来自器件 #4，在寄存器数据字节之后插入了两个额外的字节。其他字节填充各个 ADC 帧，以等于 24b 数据大小。即使寄存器数据字节的总数为四（每个 ADC 中一个字节），也需要 96 次移位操作才能从所有 ADC 中读取寄存器数据。额外的字节可以是 00h 填充字节或其他值，具体取决于特定的 ADC 和配置。有关所返回数据确切内容的详细信息，请参阅 ADS1x7Lxx 数据表。图 7-6 是一个 4 ADC 菊花链读取寄存器数据的示例，每个 ADC 的帧大小为 24b。



A. 根据之前的操作，数据字段为转换数据或寄存器数据 + 两个 00h 填充字节。

B. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

**图 7-6. 菊花链读取寄存器数据**

## 7.2 SPI 菊花链配置的系统要求

当 ADC 以菊花链进行配置时，有多项要求：

1. 使用四线 SPI 模式和一条  $\overline{CS}$  控制线来同时选择和取消选择链中的 ADC。
2. 对于单通道器件，SDO/DRDY 引脚必须编程为仅数据输出模式。请勿使用 SDO/DRDY 的双功能模式和菊花链操作。
  - a. ADS117L11 和 ADS127L11 ADC 复位后默认为仅数据输出模式，无需额外更改寄存器设置即可用于菊花链配置。
  - b. 复位后，ADS127L21 和 ADS127L21B 默认为双 SDO/DRDY 模式，并且必须通过将 00b 写入 FILTER3 寄存器中的 DATA\_MODE 字段来重新配置为仅数据输出模式。对于以下过程，请参阅 [图 7-3](#)。
    - i. 首先，使用寄存器写入帧将 ADC1 SDO/DRDY 编程为仅数据输出模式。
    - ii. 正确对 ADC1 进行编程后，即可在下一个寄存器写入帧中对 ADC2 进行编程。
    - iii. 继续该过程，直到菊花链中的所有 ADC 均已编程为仅数据输出模式。
    - iv. 请注意，对于 4 个 ADC，菊花链中的每个 ADC 都需要一个单独的写入寄存器帧或 4 个寄存器写入帧。
3. 为了降低与 ADC 连接的复杂性，请使用并行写入操作，将 ADC 编程为相同的数据包长度。对于单通道器件，将各个数据包编程为 16、24、32 或 40 位，对于多通道器件，将各个数据包编程为 16 或 24 位。
4. 在 SDI-SDO 组合连接与 IOVDD 之间安装上拉电阻器。这些电阻器可防止 SDI 输入在任何情况下悬空，因为  $\overline{CS}$  信号会使 SDO 进入三态。

### 7.3 单通道 ADC 的 SPI 菊花链连接中的器件数量

以下部分仅适用于单通道器件。有关多通道器件，请参阅 [帧同步菊花链连接中的通道数量](#)。

链中连接的最大单通道器件数量受 SPI 时钟速度、ADC 数据帧的长度和 ADC 数据速率的限制。换句话说，SPI 时钟速度必须足够快，以便在一个转换周期内从所有器件读取数据，否则将丢失数据。该要求对于使用标准的 SPI 级联连接也是如此，因为在这种模式下数据也是按顺序读取的。

单通道 ADS1x7Lxx 器件支持高达 50MHz 的 SCLK 速度。但是，实现 50MHz 运行需要非标准 SPI 时序配置，其中数据在同一时钟沿随时钟输出并传入。菊花链模式中不支持这种非标准 SPI 时序配置。通过使用标准的相边沿时钟输出和时钟输入 SPI 操作，并考虑到 SPI 传播延迟和建立时间，在菊花链配置中 SCLK 速度限制为大概 16.5MHz。在 2V 或更高的电压下运行 IOVDD 可以减少传播延迟时间，将最大 SCLK 速度增加至大约 20MHz。

[方程式 2](#) 显示在单个菊花链中连接的 ADC 数量受 SCLK 频率、数据速率和每个 ADC 的每帧位数决定。

$$\text{Maximum number of devices in a daisy - chain connection} = \left\lfloor \frac{f_{\text{SCLK}}}{f_{\text{DATA}} \times \text{bits per frame}} \right\rfloor \quad (2)$$

例如，如果  $f_{\text{SCLK}} = 20\text{MHz}$ ， $f_{\text{DATA}} = 100\text{kSPS}$  且 ADC 输出为每帧 24 位，则单个菊花链中的器件数量限制为以下值的向下取整： $20\text{MHz} / (100\text{kHz} \times 24) = 8$ 。

如果根据 [方程式 2](#)，最大器件数量小于所需数量，则可以通过使用另一个具有单独数据输出线路 (SDO/DRDY) 的菊花链来增加器件数量。两条数据输出线路可实现来自两个菊花链的并行输出数据移位操作。可以在菊花链之间共享 CS、DIN 和 SCLK 线路，以便将 SPI 线路的数量保持为更小的值。[图 7-7](#) 展示了此配置。

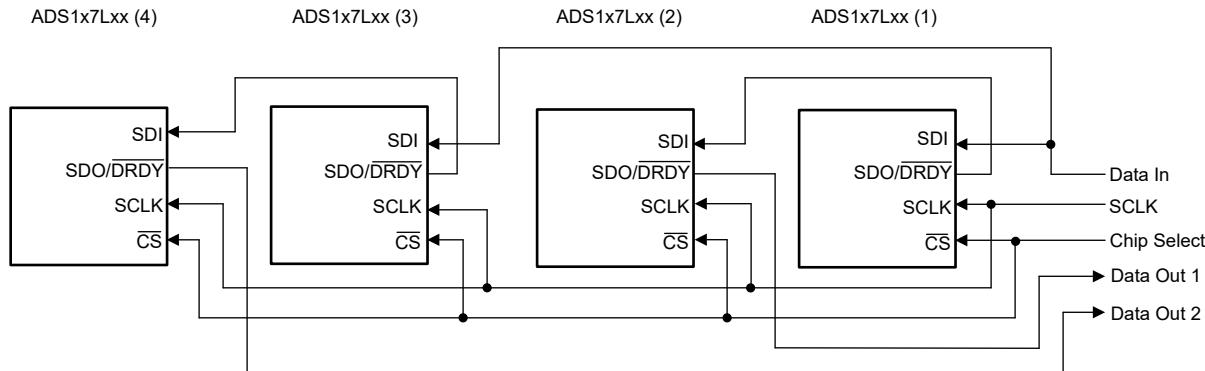


图 7-7. 具有 2 个并行输出的菊花链 SPI 连接

## 8 单通道 ADC 的并行 SPI SDO 或 DRDY 连接

以下部分仅适用于单通道器件。对于多通道器件，请参阅 [多通道 ADC 的帧同步菊花链连接](#)。

在多个 ADC 以高数据速率（例如 1MSPS）进行采样的系统中，由于两种连接方式均仅使用一个 SPI 端口，常规 SPI 级联连接 [图 7-2](#) 和菊花链连接 [图 7-3](#) 无法提供所需的数据吞吐量。在这种情况下，将每个 SDO/DRDY 引脚与主机控制器并联。为了减少连接数量，其余信号可以对每个 ADC 使用通用的 CS、SCLK 和 SDI 信号。并行 SDO/DRDY 连接的主要缺点是系统中的每个 ADC 都需要单独的 SPI 端口。

[图 8-1](#) 展示了四个 ADC 分别使用四个 SDO 连接至主机的示例。此示例使用单条 CS、SCLK 和 SDI 控制线路，因此所有 ADC 必须具有相同的器件配置。或者，使用单独的 CS 控制线路来启用 ADC，从而实现独立的输入通信。

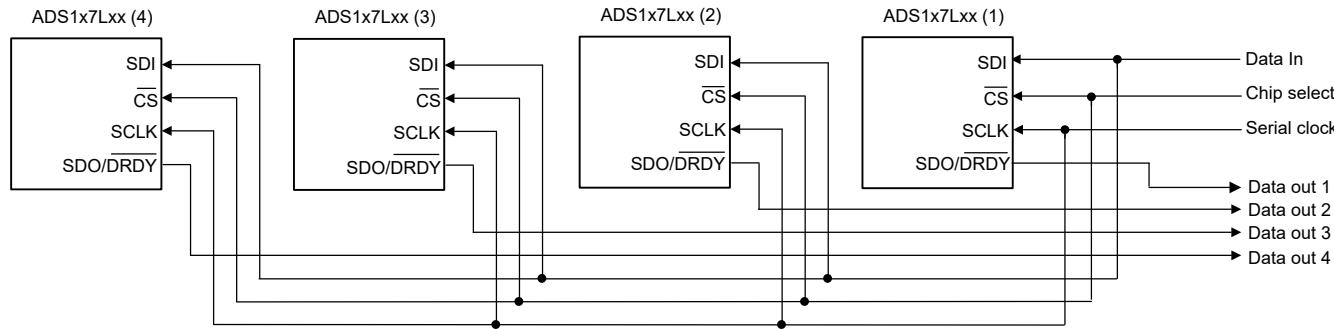


图 8-1. 并行 SDO/DRDY 连接

## 9 确定新的转换数据何时可用于单通道 ADC

用户可通过多种方法确定新的 ADC 数据何时准备就绪：

1. 监控  $\overline{\text{DRDY}}$  信号。
2. 对 ADC 时钟进行计数。
3. 轮询 STATUS 字节的 DRDY 位。

如 [节 7.2](#) 中所示，当以菊花链配置连接时， $\text{SDO}/\overline{\text{DRDY}}$  信号无法用于数据就绪监控。

ADC 同步后，监控来自任何所选 ADC 的一个  $\overline{\text{DRDY}}$  输出信号就足够了。在某些情况下，用户可以选择监控所有  $\overline{\text{DRDY}}$  输出以验证 ADC 是否同步。例如，当在 ADC 之间使用有意的相位偏移时，用户必须监控每个单独的  $\overline{\text{DRDY}}$  引脚，以验证器件之间的相位。对于这些情况，应监控来自每个 ADC 的  $\overline{\text{DRDY}}$  输出。

或者，可以在同步后对时钟周期进行计数，来预测何时读取转换数据。数字滤波器在同步时重新启动，需要额外的时间才能生成第一次转换结果。第一个转换结果的净延时时间在 [表 1-1](#) 的相关 ADC 数据表中指定为延迟时间。

转换数据就绪也可以通过软件轮询 STATUS 字节来确定。当 DRDY 位置为高电平时，转换数据为新数据（或就绪）。使用寄存器读取命令读取 STATUS 字节，或在启用 STATUS 字节的情况下连续读取转换数据并轮询 DRDY 位。设置 DRDY 位后，自上次读取转换数据以来的数据是新数据。使用这些方法中的任何一种都需要额外的 SPI 帧，或增加帧大小，从而降低可支持的最大数据速率。

## 10 多通道 ADC 的帧同步菊花链连接

ADS1x7Lxx 多通道 ADC 使用专用的帧同步数据端口，以获得与 SPI 端口分离的转换结果。相反，SPI 端口仅用于读取和写入寄存器配置数据。但是，与 SPI 类似，帧同步数据端口也可以采用菊花链配置连接。

ADS1x7Lxx 多通道系列的帧同步数据端口在控制器模式下运行，因此 ADC 会生成数据时钟 (DCLK) 和字时钟 (FSYNC)。此外，ADC 可以在菊花链配置中的 1、2 或 4 个数据通道 (DOUT0、DOUT1、DOUT2 和 DOUT3) 上提供数据。虽然使用全部 4 个数据通道确实有助于提高吞吐量，但这种方法的代价是需要与 ADC 进行更多物理连接。

要使用帧同步菊花链模式，DP\_CFG1 寄存器中的 DP\_DAIKY 位必须设置为 0b，这也是默认值。在此配置 (1、2 或 4 个数据通道) 中，DINx 数据移入并附加到原始通道数据。更多详细信息，请参阅 ADS1x7Lxx 系列数据表。

与 SPI 菊花链类似，帧同步菊花链可以有效地将各个 ADC 移位寄存器链接到长度更长的寄存器。图 10-1、图 10-2 和图 10-3 分别展示了 1、2 和 4 个数据通道的这些配置选项。

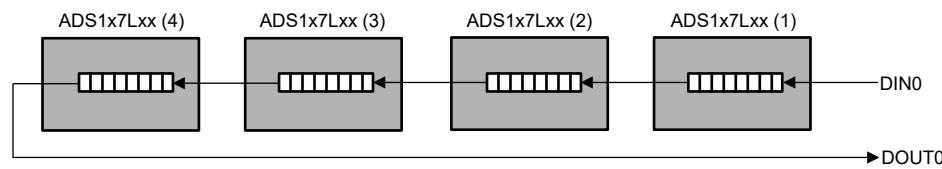


图 10-1. 帧同步单通道菊花链概念

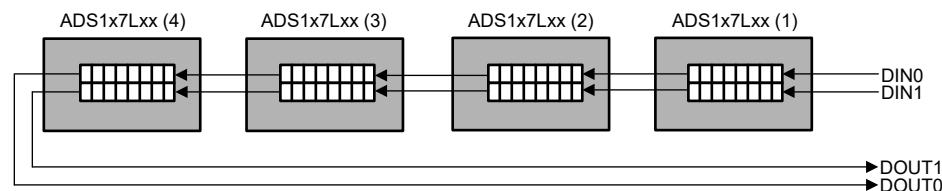


图 10-2. 帧同步双通道菊花链概念

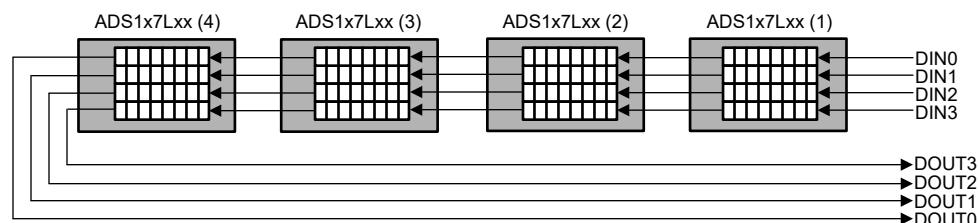


图 10-3. 帧同步四通道菊花链概念

使用菊花链连接可减少主机控制器上所需的 IO 引脚数量，并简化电路板的布线。菊花链帧同步信号包括 1 条 DCLK 线路、1 条 FSYNC 线路，以及 1 条、2 条或 4 条 DOUT 线路。除了帧同步信号外，还需要一个公共 CLK 和 START 信号来实现正确同步。也可以使用额外的硬件线路，尤其是在使用硬件编程模式时。

图 10-4、图 10-5 和图 10-6 分别显示了单通道、双通道和四通道配置的帧同步菊花链连接。请注意，帧同步接收器只需要一个 FSYNC 和一个 DCLK 连接，因为所有 ADC 针对菊花链进行同步，并且所有 FSYNC 和 DCLK 信号都具有相同的频率和相位。

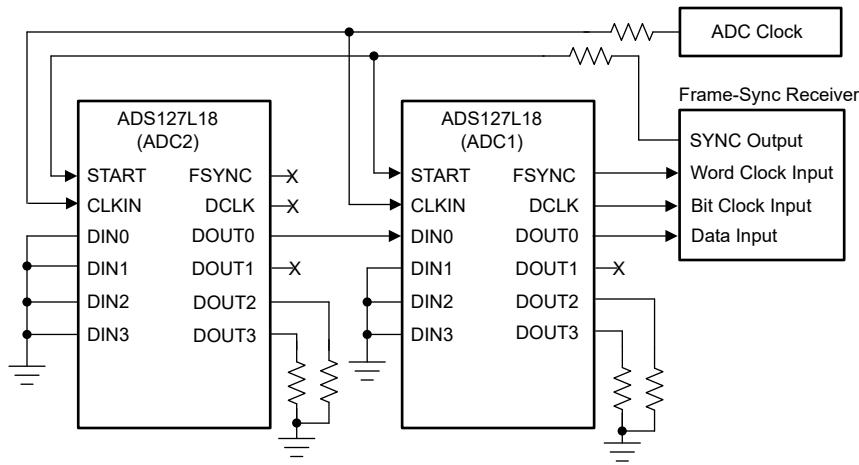


图 10-4. 帧同步菊花链单通道

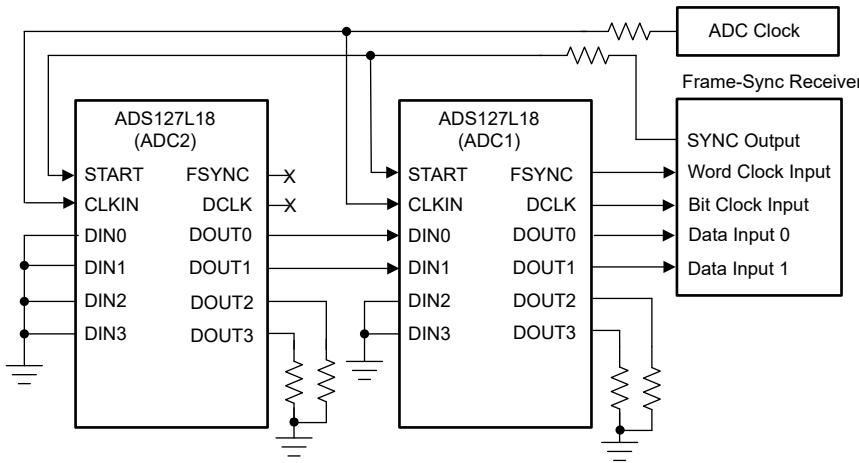


图 10-5. 帧同步菊花链双通道

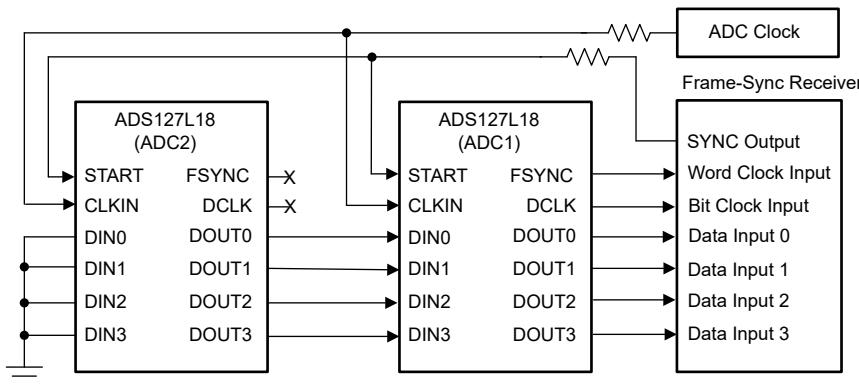


图 10-6. 帧同步菊花链四通道

通过写入 DP\_CFG1 寄存器中的 DP\_TDM[1:0] 字段来选择所需数量的数据通道。图 10-7 展示了单数据通道配置的典型 ADS1x7L18 数据传输，如图 10-4 所示。有关这些配置以及生成的数据输出序列的更多详细信息，请参阅 ADS1x7Lxx 系列数据表。

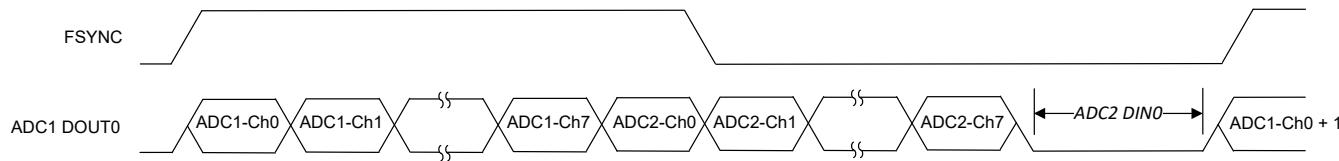


图 10-7. 单通道菊花链数据

## 10.1 帧同步菊花链配置的系统要求

当多通道 ADC 以菊花链进行配置时，存在多项要求。这些要求特定于 ADS117L14、ADS117L18、ADS127L14 和 ADS127L18 器件。以下步骤中未指定的所有寄存器设置均保持默认复位值。

寄存器配置设置：

1. DP\_CFG1 寄存器中的 DP\_DAISY = 0b。 ( SPI 和硬件编程模式的默认设置 )
2. CLK 和 DCLK 分频器必须编程为 1 分频选项。CLK\_CFG 寄存器中的 CLK\_DIV[2:0] = 000b, DP\_CFG2 寄存器中的 DCLK\_DIV[1:0] = 00b。 ( SPI 和硬件编程模式的默认设置 )
3. 在 CLK\_CFG 寄存器中设置 CLK\_SEL = 1b。帧同步菊花链运行需要外部时钟运行。硬件编程模式默认使用外部时钟。SPI 编程默认使用内部时钟，因此用户必须将 CLK\_SEL 位设置为 1。
4. 菊花链中所有器件以相同的方式对 DP\_TDM[1:0] ( TDM 模式或数据通道数量 ) 进行编程。
5. 通过并行写入操作，针对相同的帧长度对每个器件进行编程，从而降低连接 ADC 的复杂性。 ( 对于所有器件，将单独的帧长度编程为 16、24、32 或 40 位 )

硬件配置设置：

1. 这些器件使用 START 引脚进行同步。
2. START 引脚上升沿必须满足数据表的时序要求部分中指定的、相对于 CLK 的建立和保持时间要求。如果不满足，帧同步菊花链数据会出错。
3. 在未使用的 DOUT2 和 DOUT3 引脚上使用 100k $\Omega$  下拉电阻器。如果未使用，将 DOUT1 保持悬空。将未使用的 DIN 引脚连接到 GND 或 IOVDD。
4. 多通道 ADC 的所有数字信号仅支持 1.8V 逻辑电平。高于 2.2V 的电压会损坏这些器件。

图 10-8 展示了使用 SPI 编程模式的两片多通道 ADC 菊花链配置示例。该配置可以进一步扩展，以包括两个以上多通道 ADC。

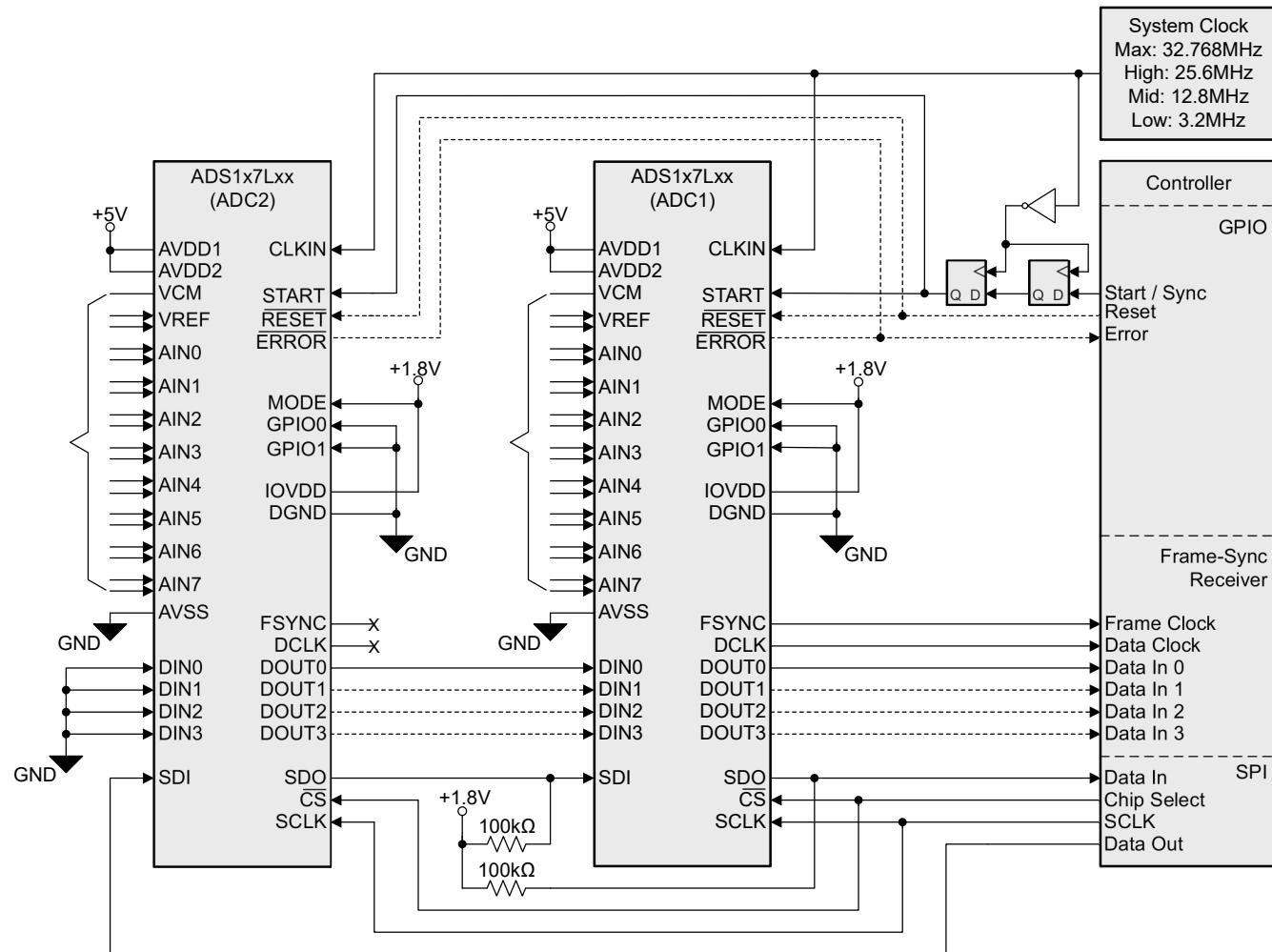


图 10-8. SPI 编程模式下的帧同步菊花链

说明：

1. START 信号必须满足相对于 CLKIN 上升沿的建立和保持时间。
2. 如果 RESET 未连接到控制器，则连接到 IOVDD。
3. 如果使用了 ERROR 引脚，则将  $100\text{k}\Omega$  上拉电阻连接到 IOVDD。
4. 如果 DP\_TDM[1:0]=00b 或 01b，则将  $100\text{k}\Omega$  下拉电阻器从 DOUT2 和 DOUT3 连接到 GND。
5. 未使用的 DIN0、DIN1、DIN2 和 DIN3 引脚必须连接到 GND 或 IOVDD。
6. DOUT1 始终为输出，并且如果不使用，必须保持悬空。

## 10.2 帧同步菊花链连接中的通道数量

帧同步菊花链配置中支持的最大通道数受限于 ADC 数据包大小的长度、DOUT 数据通道数，以及 ADC 过采样率 (OSR) 设置。数据包大小由转换数据大小 (16b 或 24b) 以及可选的 STATUS 和 CRC 字节决定。因此，数据包大小为 16b、24b、32b 或 40b。

如 [帧同步菊花链配置的系统要求](#) 中所述，将 CLK 和 DCLK 分频器编程为 1 分频设置。因此，数据时钟 (DCLK) 频率等于 ADC 时钟 (CLK) 频率。

根据系统要求，选择 OSR 设置以满足特定的数据速率、噪声水平和功耗水平。数据速率取决于时钟 (CLK) 频率和 OSR 设置，可根据 [方程式 3](#) 计算。

$$\text{Data rate} = \frac{\text{clock frequency}}{2 \times \text{OSR}} \quad (3)$$

有关更多详细信息，请参阅 **ADS1x7Lxx** 数据表中的滤波器噪声表。确定 OSR 和数据包大小后，可根据 [方程式 4](#) 计算最大通道数。

$$\text{Maximum number channels} = \text{data lanes} \times \left\lfloor \frac{2 \times \text{OSR}}{\text{data packet}} \right\rfloor \quad (4)$$

其中：

- 数据通道数：数据通道的数量，有效值仅为 1、2 或 4
- OSR：对于过采样率，请参阅 **ADS1x7Lxx** 数据表中的滤波器噪声表，了解可用的值
- 数据包：数据包中的位数，16、24、32 或 40 位的值

在以下示例中，假设用户必须支持 50kSPS 的数据速率和最低噪声。在这种情况下，在 OSR = 256 且  $f_{\text{CLK}} = f_{\text{DCLK}} = 25.6\text{MHz}$  的高速模式下运行可满足用户要求。用户还需要 24b 数据，并计划包含 STATUS 字节。总数据包大小为 32 位。用户还希望通过使用单个数据通道来更大限度地减少与系统控制器 (MCU 或 FPGA) 的连接数量。使用 [方程式 5](#) 可得出支持的最大通道数等于 ( 或总共 16 个通道 )：

$$1 \times \lfloor (2 \times 256 / 32) \rfloor \quad (5)$$

假设用户选择 8 通道 **ADS127L18**，则可以菊花链方式连接两个 **ADS127L18** ADC，其通道总数为 16。

## 11 总结

数据采集系统通常需要多个并行工作的 ADC。设计这些多器件系统时，需要特别考虑时钟信号、同步和电压基准方面的问题。时钟信号必须为低抖动，并使用建议的最佳实践路由到 ADC。遵循这些指导原则可更大限度降低时钟抖动噪声，并减少其他时钟信号的干扰。重要的是，在上电后和更改 ADC 配置后，应通过仅在时钟信号的下降沿将 START 引脚置为高电平来同步 ADC。基准电压接地必须连接在基准电压接地端子的单个点处。以菊花链形式连接 ADC 可有效地简化 ADC 与主机控制器之间的 SPI I/O 连接数量和帧同步 I/O 连接数量。并行 SDO/DRDY 连接通过提供对输出数据进行并行计时的能力来提高单通道 ADC 的数据吞吐量。帧同步多通道 ADC 的并行 DOUT 连接还通过提供对输出数据进行并行计时的能力来提高数据吞吐量。

## 12 参考资料

1. 德州仪器 (TI) , [ADS117L11 400kSPS、宽带宽、16 位  \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表。
2. 德州仪器 (TI) , [ADS127L21 具有可编程宽带滤波器的 512kSPS、24 位  \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表。
3. 德州仪器 (TI) , [ADS127L21B 512kSPS 超精密、24 位、宽带  \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表。
4. 德州仪器 (TI) , [ADS117L1x 512kSPS、四通道和八通道同步采样 16 位  \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表。
5. 德州仪器 (TI) , [ADS127L1x 512kSPS、四通道和八通道同步采样 24 位 ADC](#) 数据表。
6. 德州仪器 (TI) , [ADS127L11 400kSPS、宽带宽、24 位  \$\Delta\$ - \$\Sigma\$  ADC](#) 数据表。

## 13 修订历史记录

<b>Changes from Revision * (July 2021) to Revision A (December 2025)</b>	<b>Page</b>
• 更新后以包含多通道 ADC.....	2
• 在菊花链应用中添加了帧同步数据端口.....	2
• 将格式更新到完整应用手册.....	2
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	2
• 更新了文档的标题.....	2
• 添加了新的参考并更正了现有参考。 .....	23

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月