

概述

在数据采集系统中，例如从声音和振动传感器收集数据、从电网收集数据以及从 EEG 等医疗设备收集数据，通常会实现在同步采样模式下运行的多个 ADC 通道。由于 ADS127L11 具有小封装尺寸、菊花链连接选项和同步功能等特点，因此适用于这些类型的应用。本应用简报介绍了采用 ADS127L11 的同步采样系统的时钟、同步和菊花链注意事项。

时钟信号

同步采样系统的基本要求是对所有 ADC 使用相同的时钟信号，并将 ADC 同步到相同的时钟周期。有两种对时钟信号进行布线的选项：一种是单个时钟缓冲器，用于将时钟信号驱动到所有 ADC；另一种是来自一个时钟源的各个时钟缓冲器，用于驱动每个 ADC。

单个时钟缓冲器

由于 ADC 的尺寸较小，在许多情况下，使用单个时钟缓冲器来驱动 ADC 会让设计时钟信号的环节变得简单直接。在单个时钟缓冲器布局中，从时钟缓冲器到 ADC 的 PCB 布线应具有相等的路径长度，以便尽可能地减小 ADC 之间的采样偏差。鉴于微带 PCB 设计的典型传播延迟为 150ps/in，时钟布线之间的一英寸差异会导致 ADC 之间的采样偏差达到 150ps。有关匹配的时钟布线长度的示例，请参阅图 1。

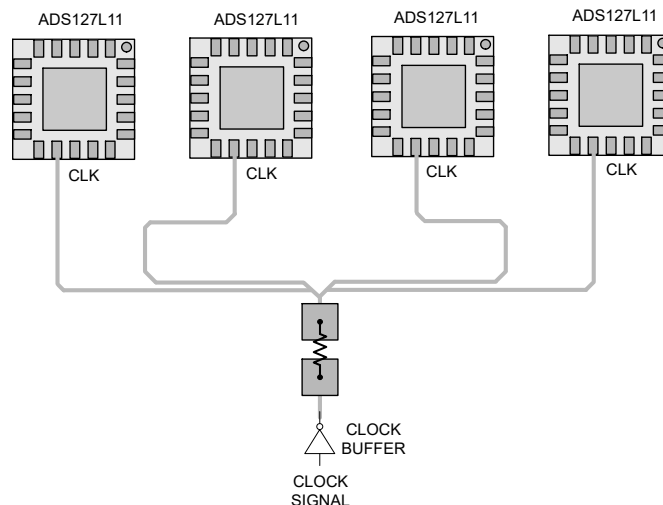


图 1. 单个时钟缓冲器

或许匹配的 PCB 布线长度的一个重要优势就是消除 ADC 时钟输入的多条线路反射。使用不匹配的布线长度通常会发生多条线路反射，这可能会导致过度振铃和过冲，从而减小时钟信号的噪声容限（高或低输入逻辑阈值之间的差异）。

多个时钟缓冲器

在某些情况下，为每个 ADC 使用单独的时钟缓冲器可能是有益的。但是，时钟缓冲器可能会引入通道间时钟偏差，这将导致 ADC 之间出现采样偏差。LMK1C1104 等此类高速时钟缓冲器具有明确规定的 50ps 通道间输出偏

差规格。通用逻辑缓冲器通常具有未指定或过大的输出偏差规格；因此，应对它们进行评估以满足所需的通道间相位匹配要求。有关使用多个时钟缓冲器的示例布局，请参阅图 2。

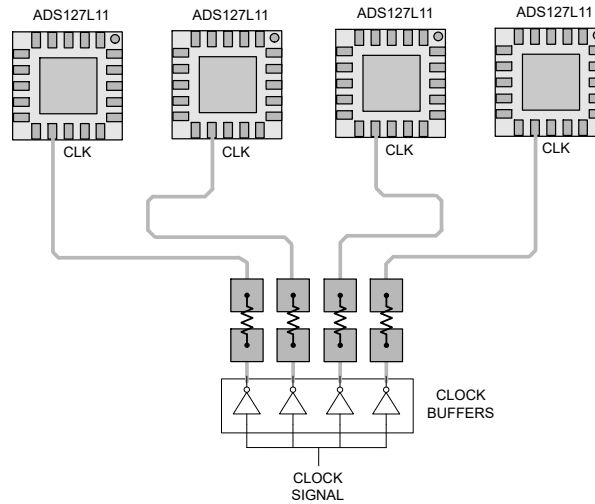


图 2. 多个时钟缓冲器

作为上述任一时钟树设计的一般经验法则，时钟布线长度不应超过 $2in/ns$ 的信号上升时间。如果超过该值，则使用串联电阻器源端接时钟布线，以便匹配微带布线的特性阻抗（减去缓冲器输出阻抗的特性阻抗）。源端接电阻吸收来自高阻抗时钟输入的反射能量，防止其反弹回到输入，而这种反弹会对噪声容限产生负面影响。对于快速时钟驱动器（ $< 1ns$ 上升时间），使用较大电阻器对 PCB 布线进行过阻尼以减慢时钟信号上升时间，可以增加时钟信号的噪声容限。

ADC 采样方差误差

同步采样系统的另一个重要考虑因素是 ADC 之间的内部采样方差误差。方差误差是因过程变化引起的：这种过程变化影响从时钟信号输入到调制器的内部路径中的传播延迟。调制器的采样时刻是关键属性。使用上升时间为 $1ns$ 或更短时钟信号可以尽可能地降低采样方差误差。各个 ADC 之间的 ADC 采样方差误差是在完全相同的工作条件下指定的：环境温度和电源电压，使用同时到达的时钟和模拟输入信号。

抗混叠滤波器群延迟

ADS127L11 的数字滤波器采用线性相位设计。线性相位意味着所有输入信号频率分量都偏移相同的时间量。当滤波器相位以时间与频率间的关系曲线绘制，或以弧度与频率间的关系曲线绘制时，相位为水平线（时间）或具有恒定斜率的直线（弧度）。对于任一种绘图格式，相位都是线性的（恒定群延迟）。由于相位由数字滤波器定义，因此产生的相位是可预测且不变的。

但是，ADC 输入端的模拟抗混叠滤波器 (AAF) 可能会在信号通带内增加非线性群延迟。非线性量取决于滤波器调优。例如，当以 $400kSPS$ 采样时， $500kHz$ 、四阶 AAF 临界阻尼滤波器对准（ $2mdB$ 峰值）导致群延迟从 $10kHz$ 时的 $0.577 \mu s$ 变为 $165kHz$ 通带边沿时的 $0.595 \mu s$ 。

时钟抖动

ADS127L11 依据过采样原理工作，其中调制器的采样数据被数字滤波器滤波和下采样。除了通过对数据求平均值来降低调制器内的热噪声之外，时钟抖动引起的噪声效应也通过相同的过程进行平均。过采样的最终效果是改善由热噪声引起的额定 SNR 和由时钟抖动引起的 $SNR(j)$ 。相对于器件的热噪声，内部时钟路径中抖动产生的噪声很小。过采样提供的抖动噪声降低对于不相关的时钟抖动噪声源（其中假设噪声为白噪声）是有效的。

为了实现数据表性能，请确保时钟信号为低抖动且无干扰。过度的时钟抖动可能导致在大振幅输入信号周围出现能量泄漏或裙板效应，并可能影响用于检测接近大信号的低电平信号的能力。通常，控制器中嵌入的 RC 振荡器不具备所需的抖动性能，应避免使用。可接受的时钟抖动量与输入信号频率成正比，与用户编程的过采样率 (OSR) 的根成反比。方程式 1 和图 3 展示了时钟抖动对 SNR_j 的影响。

$$\text{SNR}_j \text{ (dB)} = -20 \cdot \log(2\pi \cdot f_{\text{IN}} \cdot t_j / \sqrt{\text{OSR}}) \quad (1)$$

其中

- SNR_j : 时钟抖动导致的理论 SNR 限制 (dB)
- f_{IN} : 输入信号频率 (Hz)
- t_j : 时钟抖动 (s-rms)
- OSR : ADC 过采样率 (有关 OSR 值, 请参阅 [ADS127L11](#) 数据表)

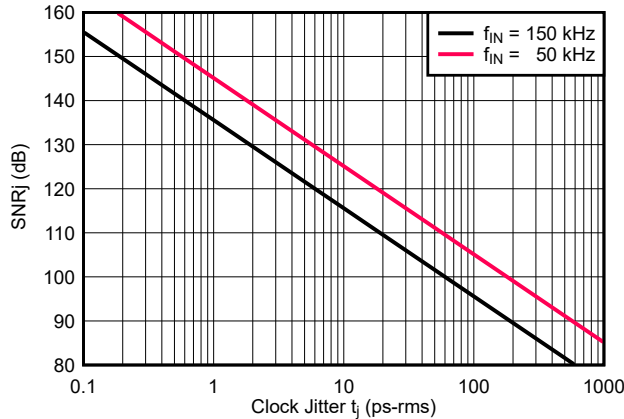


图 3. SNR_j 与时钟抖动间的关系

例如, 当输入信号频率 = 150kHz 且 $\text{OSR} = 32$ ($f_{\text{DATA}} = 400\text{kHz}$) 时, 时钟抖动应小于 10ps, 以使 $\text{SNR}_j = 116\text{dB}$ 。理想情况下, SNR_j 应比 ADC 的额定 SNR 高 6dB。

时钟抖动的相关噪声源不会因过采样而降低到与不相关噪声源相同的程度。要减少一种可能的相关噪声源, 请使用 ADC 时钟信号的相位同调频率来运行 SCLK。系统中存在的非相位同调 SCLK 和其他时钟频率可能会与 ADC 时钟信号进行互调, 这会导致在 ADC 输出频谱中产生不必要的和频倍数和差频倍数。相关类型的时钟信号抖动可能发生在系统中的其他位置, 并可以通过各种机制与 ADC 时钟信号耦合。其中包括通过系统接地, 例如在开关电源附近运行, 并联时钟布线之间的电容和互感耦合, 或通过与 ADC 时钟信号相同的缓冲器封装来对不相关的时钟信号布线。尽可能地从时钟信号中分离并缩短 SCLK 和 SDO/DRDY 布线, 从而减少耦合。在某些情况下, 如果读取 ADC 数据以在整个转换周期内运行 SCLK, 并使用额外的 SCLK 在转换周期内均匀地分布 SCLK 时钟信号能量, 这可能会大有裨益。

同步

由于内部上电阈值的过程变化, ADC 最初不同步, 直到它们在外同步。更改器件的配置后还需要同步。ADC 通过 START 引脚或 SPI 起始位进行同步。

最直接的同步方法是使用与 ADC 的 START 控制输入并联的单个控制线。在将 START 置为高电平后, ADC 在时钟信号的下一个上升沿同步。在时钟的下降沿将 START 置为高电平, 避免用于锁存 START 的时钟上升沿的不确定性。否则, 可能会导致 ADC 之间出现一个时钟计时误差。请注意, 为了在施加连续 START 信号时同步控制模式能够正确运行, 应始终在时钟的下降沿施加 START。START 信号 PCB 布线长度失配的影响不如匹配的时钟布线那么严重, 因为 ADC 在时钟的上升沿对 START 输入重新计时, 前提是失配小于 $\frac{1}{2}$ 时钟周期。

或者, 与每个 ADC 的独立 START 线路可用于对 ADC 之间的通道相位进行微调, 分辨率可高达一个时钟周期。在这种情况下, ADC 之间的时钟信号偏差不是问题。

如果到达系统的同步信号与系统时钟异步并直接路由到 ADC, 则同步后 ADC 之间可能存在一个时钟周期的不确定性。在这种情况下, 用于针对所有 ADC 同步 SYNC 信号的外部同步电路如图 4 所示。同步器在时钟信号的下降沿释放同步信号, 确保 ADC 同步到相同的时钟周期。SN74AUP2G79 双路 D 型触发器可用于此目的。

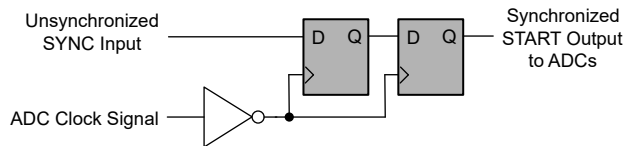


图 4. 同步 SYNC 信号

转换也可以通过 SPI 接口同步（不适用于同步控制模式）。要通过 SPI 同步 ADC，请在并行操作中将寄存器写入命令移位到 CONTROL 寄存器，以设置 START 位。菊花链连接提供并行负载功能，因为此时使用单芯片选择信号对 ADC 进行门控和控制。当 \overline{CS} 置为高电平以结束帧时，ADC 同时对命令数据进行操作，从而实现系统同步。要将 ADC 同步到同一时钟周期，SCLK 必须与时钟相位同调，并且 \overline{CS} 在时钟的下降沿上置为高电平。

SPI 菊花链连接

使用多个 ADC 的挑战之一是增加了在 ADC 和主机控制器之间路由 SPI 信号的复杂性。ADS127L11 提供了菊花链选项以简化 SPI 连接。菊花链选项将一个 ADC 的 SPI 数据输出循环到链中下一个 ADC 的 SPI 数据输入中。菊花链连接可视为将各个 ADC 移位寄存器链接到一个长度更长的移位寄存器。从 SPI 的角度来看，主机控制器作为单个虚拟器件连接到以菊花链方式连接的器件。图 5 说明了各个 ADC 移位寄存器如何通过菊花链连接模拟单个移位寄存器。

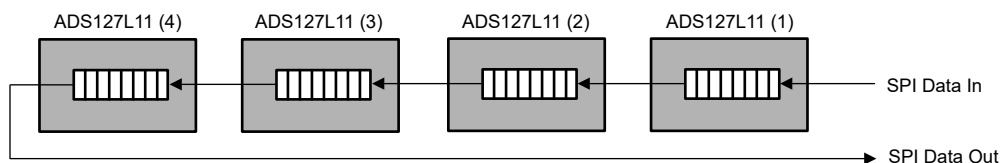


图 5. 菊花链概念

菊花链连接将连接到主机控制器的 SPI 线路数量保持为四条，而无论链中连接的 ADC 数量是多少。相比之下，如果在标准 SPI 级联连接中使用四条芯片选择线路（每个 ADC 一条）进行连接，则需要七条 SPI 线路来连接到四个 ADC。

请参阅图 6 和图 7 来进行比较。如果使用标准 SPI 级联或菊花链连接，则可能需要额外的控制线路来实现 ADC 数据就绪输出 (DRDY)、ADC 同步 (START) 和 ADC 复位 (RESET)。

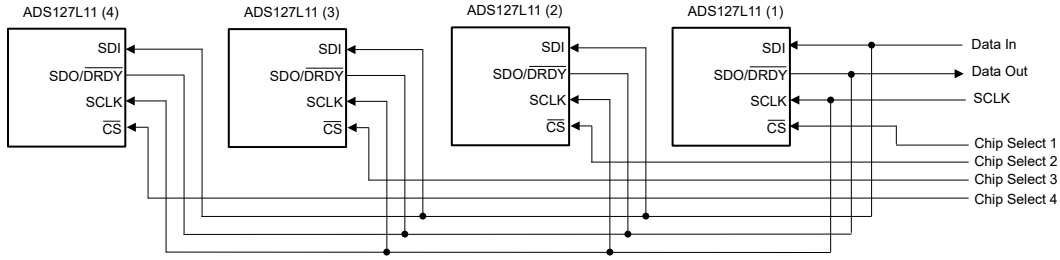


图 6. 常规 SPI 级联连接

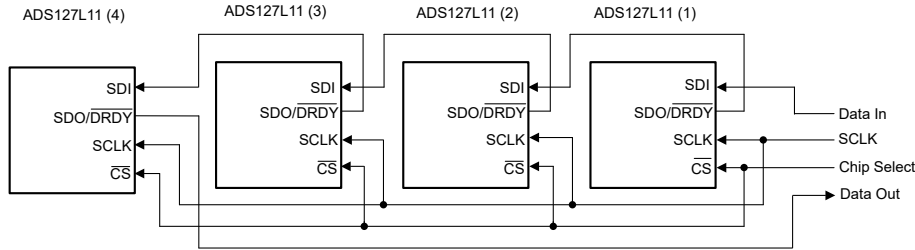


图 7. 菊花链 SPI 连接

菊花链运行无需特殊编程。主机控制器只需将数据帧扩展到从链中连接的所有 ADC 访问数据所需的长度。要设置的新数据帧长度应与 (链中的器件数 x ADC 的每帧位数) 相匹配。例如，当链中有四个器件使用 24 位 ADC 帧长度时，新的帧长度为 96 位。

当将数据移入菊花链时，第一个数据块将对应于链连接中的最后一个器件 (在本例中为 ADC #4)。当 \overline{CS} 置为高电平时，ADC 会解读其各自移位寄存器中的数据。这意味着，当数据通过每个 ADC 时，对于移位操作的数量没有限制，只有最后移入每个 ADC 的位才是重要的。图 8 展示了每个 ADC 的 24 位输入帧长度的示例，以匹配 24 位输出数据大小。有关菊花链输入命令格式的更多详细信息，请参阅 ADS127L11 数据表。

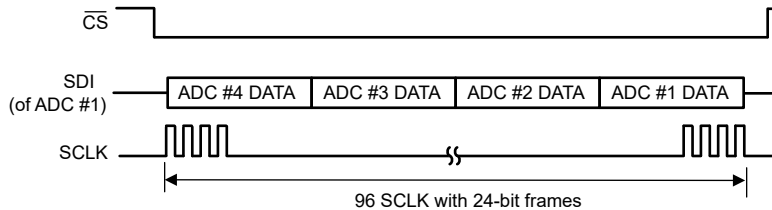


图 8. 菊花链数据输入序列

从 ADC 读取数据时，SDO/DRDY 上的第一个数据输出来自链中的最后一个器件 (本例中为 ADC #4)，然后是来自链中下一个器件 (ADC #3) 的数据，依此类推 (请参阅图 9)。器件之间的数据流没有中断或间隙。如果将 ADC 编程为 24 位 SPI 帧，则执行 96 次移位运算来从四个器件读取数据。

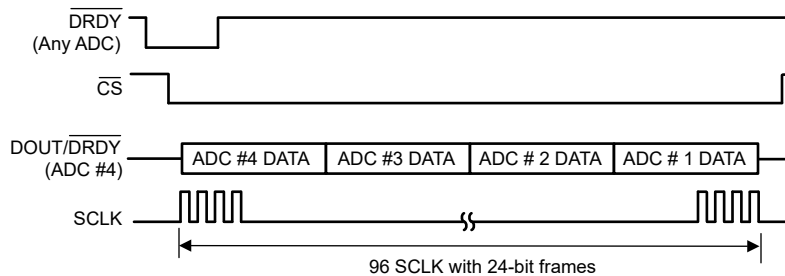


图 9. 菊花链数据输出序列

读取寄存器数据时，需要两个帧。第一个帧以图 8 中显示的通用格式输入读取寄存器命令。第二个帧输出寄存器数据。第一个寄存器输出数据来自器件 #4，在寄存器数据字节之后插入了两个填充字节。填充字节填充各个 ADC 帧，以等于 24 位转换数据大小。即使寄存器数据字节的总数为四（每个 ADC 中一个字节），也需要 96 次移位操作才能从所有 ADC 中读取寄存器数据。

菊花链的系统要求

当 ADC 以菊花链进行配置时，有多项要求。

1. 使用四线 SPI 模式。一条 \overline{CS} 控制线路可用于同时选择和取消选择链中的 ADC。
2. SDO/\overline{DRDY} 引脚必须保持编程为默认的仅数据输出模式。此引脚的数据就绪和数据输出双功能模式无法用于菊花链操作。
3. 为降低与 ADC 连接的复杂性，请使用并行写入操作将 ADC 编程为相同的帧长度（根据需要编程 16、24、32 或 40 位的各个帧长度）。
4. 在 ADC 之间的 SDI 输入与 SDO/\overline{DRDY} 输出连接之间使用上拉电阻器。由于 \overline{CS} 将 SDO/\overline{DRDY} 置于三态，因此电阻器可防止 SDI 输入在任何情况下悬空。

菊花链连接中的器件数量

链中连接的最大器件数量受 SPI 时钟速度、ADC 数据帧的长度和 ADC 数据速率的限制。换句话说，SPI 时钟速度必须足够快，以便在一个转换周期内从所有器件读取数据，否则将丢失数据。使用标准的 SPI 级联连接也是如此，因为在这种模式下数据也是按顺序读取的。

ADS1271L11 支持高达 50MHz 的本机 SCLK 速度。但这需要非 SPI 标准的相同边沿时钟输出和时钟输入，而这在菊花链连接中不受支持。考虑到正常 SPI 操作是相反的边沿时钟输出和时钟输入，数据输出引脚传播时间 (SDO/\overline{DRDY}) 与数据输入引脚建立时间 (SDI) 相结合，SCLK 速度限制为大概 16.5MHz。在 2V 或更高的电压下运行 IOVDD 会将最大 SCLK 速度增加至大概约 20MHz。

在单个菊花链中连接的 ADC 数量受 SCLK 频率、数据速率和每个 ADC 的每帧位数限制，如方程式 2 所示。

$$\text{菊花链连接中的器件数量} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \cdot \text{每帧位数}) \rfloor \quad (2)$$

例如，如果 $SCLK = 20\text{MHz}$ ， $f_{\text{DATA}} = 100\text{kSPS}$ 且 ADC 编程为每帧 24 位，则单个菊花链中的器件数量限制为以下最小数量： $20\text{MHz}/(100\text{kHz} \cdot 24) = 8$ 。

如果在上述条件下器件数量的限制小于所需数量，则可以通过使用另一个具有单独数据输出线路 (SDO/\overline{DRDY}) 的菊花链来增加器件数量。两条数据输出线路可实现来自两个菊花链的并行输出数据移位操作。可以在菊花链之间共享 \overline{CS} 、DIN 和 SCLK 线路，以便将 SPI 线路的数量保持为更小的值。

并行 SDO/DRDY 连接

在多个 ADC 以高数据速率 (例如 1MSPS) 进行采样的系统中, 常规 SPI 级联连接和菊花链连接无法提供所需的数据吞吐量。在这种情况下, 将 SDO/DRDY 引脚与主机控制器并联, 并以最低 17MHz 的频率并行运行 SCLK 以读取 16 位数据, 以 25MHz 的频率读取 24 位数据, 等等。请注意, 对于 25MHz SCLK 运行, 请遵循 SCLK 至 SDO/DRDY 传播时间规格。可能需要使用相同的边沿时钟输出/时钟输入技术, 并且由于位偏移而需要应用一个额外的 SCLK。

图 10 展示了通向主机的并行 SDO/DRDY 连接。在此示例中, 展示了单条 CS、SCLK 和 SDI 控制线路, 因此要求 ADC 具有相同的器件配置。如果 ADC 需要具有独特的配置, 则使用单独的 CS 控制线路来启用 ADC, 从而实现独立的输入通信。

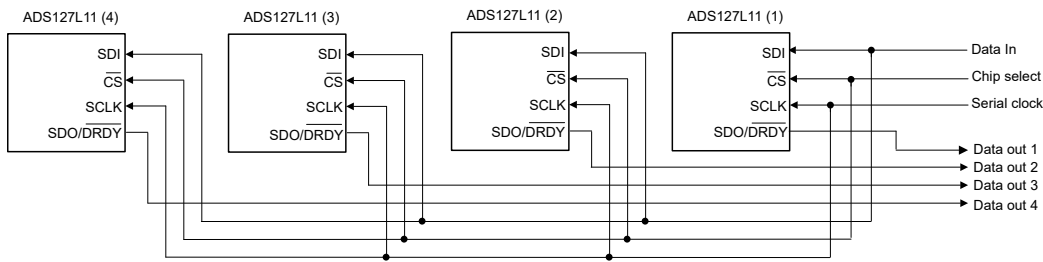


图 10. 并行 SDO/DRDY 连接

数据就绪

ADC 的转换数据就绪可通过多种方法确定。

1. 监控 DRDY 信号。
2. 对 ADC 时钟进行计数。
3. 轮询 STATUS 字节的 DRDY 位。

请注意, 当以菊花链配置连接时, SDO/DRDY 信号无法用于数据就绪监控。

ADC 同步后, 监控来自任何所选 ADC 的一个 DRDY 输出信号就足够了。在某些情况下, 用户可以选择监控所有 DRDY 输出来验证 ADC 是否同步; 或用于在 ADC 之间使用有意的相位偏移来验证器件之间的相位的应用。对于这些情况, 应监控来自每个 ADC 的 DRDY 输出。

或者, 可以在同步后对时钟周期进行计数, 来预测何时读取转换数据。在同步时, 数字滤波器重新启动, 因此滤波器稳定以产生第一个转换结果需要额外的时间。第一个转换结果的净延时时间指定为延迟时间, 如 ADS127L11 数据表中所列。

转换数据就绪也可以通过软件轮询 STATUS 字节来确定。当 DRDY 位置为高电平时, 转换数据为新数据 (或就绪)。使用寄存器读取命令读取 STATUS 字节, 或在启用 STATUS 字节的情况下连续读取转换数据并轮询 DRDY 位。当设置 DRDY 位时, 自上次读取转换数据以来的数据是新数据 (即不重复旧数据)。

基准电压

多个 ADC 可以共享单个电压基准, 效果良好。除了在电压基准输出端使用大容量去耦电容器外, 还应在 ADC 的 REFP 和 REFN 引脚上使用局部去耦电容器。建议启用内部 REFP 缓冲器以减少电压基准的加载。

将 REFP 和 REFN 布线为差分对, 务必与对信号布线时一样小心。在不使用中间接地连接的情况下, 将从电压基准接地引脚开始的宽 PCB 布线连接到 REFN 引脚。对 REFN 布线使用接地连接可能会导致基准信号中出现接地噪声。有关 ADC 处的 REFP 和 REFN 布线和基准输入引脚旁路的示例, 请参阅图 11。

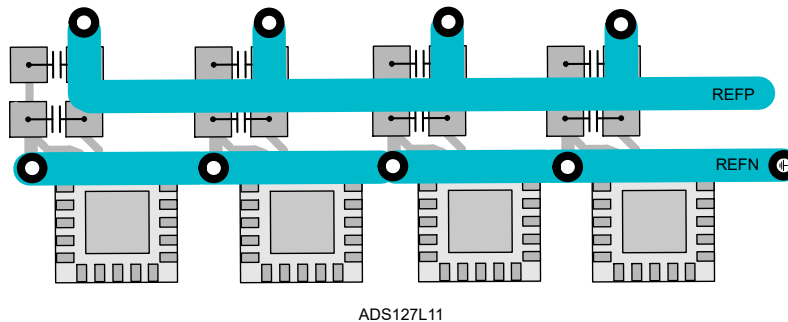


图 11. 基准电压布线

电源旁路和接地

为获得更佳性能，建议遵循通过单个器件实现多 ADC 系统时所用的相同电源旁路和接地层实践。有关电源旁路建议，请参阅 ADS127L11 数据表。针对多通道系统中的 ADC 使用共享模拟和数字接地的专用、不间断的接地层通常可提供更佳结果。

总结

时钟信号、同步和电压基准是任何 ADC 的关键信号。这些信号在同步采样系统中同样重要。时钟信号应基于具有低抖动的晶体，并小心地布线到 ADC，以免增加时钟抖动噪声，并与其他时钟信号保持隔离。重要的是，应通过仅在时钟信号的下降沿将 **START** 引脚置为高电平，在上电后和更改 ADC 配置后同步 ADC。基准电压接地应连接在基准电压接地端子的单个点处。以菊花链形式连接 ADC 可有效地简化 ADC 与主机控制器之间的 SPI I/O 连接数量。并行 **SDO/DRDY** 连接通过提供对输出数据进行并行计时的能力来提高数据吞吐量。

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司