

内容

1 引言	2
1.1 开始之前	2
1.2 器件 (处理器) 选型	2
1.3 技术文档	2
1.4 设计文档	2
2 系统方框图	3
2.1 创建系统方框图	3
2.2 选择引导模式	3
2.3 确认引脚多路复用兼容性	3
3 电源	4
3.1 电源轨	4
3.2 确定系统电源要求	4
3.3 电源滤波器	4
3.4 电源去耦和大容量电容	4
3.5 电源时序	4
4 计时	4
4.1 系统时钟输入	5
4.2 单端时钟源	5
4.3 未使用的时钟输入	5
5 JTAG	5
5.1 JTAG/仿真	5
6 器件配置和初始化	5
6.1 器件复位	6
6.2 引导模式	6
6.3 看门狗计时器	6
7 外设	6
7.1 跨功能域选择外设	6
7.2 以太网接口	6
7.3 可编程实时单元和工业通信子系统 - 千兆位 (PRU-ICSSG)	7
7.4 通用串行总线 (USB) 子系统	7
8 I/O 缓冲器和端接	7
9 功耗和散热解决方案	7
9.1 功耗	7
9.2 节能模式	7
9.3 有关散热解决方案的指导	7
10 原理图建议	7
10.1 选择元件和值	7
10.2 原理图开发	7
10.3 检查原理图	8
10.4 PCB 布局规划	8
11 布局和布线指南	8
11.1 迂回布线指南	8
11.2 DDR 电路板设计和布局布线指南	8
11.3 高速差分信号布线指导	8
12 术语	8
13 参考文献	9
14 修订历史记录	10

商标

Arm® and Cortex® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

1 引言

AM65x 系列器件硬件设计指南应用报告为工程师使用 AM65x 处理器进行设计提供了一个起点。它概述了流程和设计工作，并重点介绍了需要关注的重要领域。请注意，本文档不包含完成系统设计所需的所有信息。在许多情况下，它参考了特定于器件的数据手册或其他各类用户指南作为特定信息来源。

本文档条理有序，先介绍了在设计初始规划阶段必须做出的决策，然后介绍了关键器件的选型及电气和散热要求。为确保设计成功，应在每一部分讨论的问题得到解决后再进行下一部分。

备注

本指南可能并未涵盖系统设计的各个方面。

备注

AM65x 器件能够帮助系统设计人员满足安全要求。

本指南重点介绍非安全应用。

1.1 开始之前

AM65x 处理器包含多种功能，但并非所有这些功能都用于每个设计中。因此，使用同一器件的不同设计的要求可能存在很大差异，具体取决于目标应用。设计人员在确定设计细节之前必须了解相关要求。此外，设计可能需要额外的电路才能在目标环境中正常运行。要选择器件并确定以下内容，可查看 TI.com 上最新的器件特定配套资料（如数据表、勘误表、TRM 和 EVM 用户指南）：

- 器件运行的预期环境条件、目标引导模式、存储类型和使用的接口
- 所选器件中的每个内核将执行的处理量
- 要使用的 DDR 存储器类型、速度和接口
- 连接到处理器的外设

1.2 器件（处理器）选型

器件选型是系统设计过程中最重要的一步。有关如何选择适用的器件型号、器件密度、特性、封装 (ACD) 和速度等级，请参阅器件特定数据表的 *功能方框图* 和 *器件比较* 部分。

1.3 技术文档

产品文件夹页面上提供了许多与所选器件相关的文档。在设计开始之前应通读相关文档。

1.4 设计文档

在本指南中，TI 建议定期生成设计文档。生成和存储设计文档是提供文档包的基础，而且在寻求外部审核支持时需要使用这类设计文档。

2 系统方框图

详细的系统方框图涵盖了所有功能块和所需的接口，是设计成功的关键。

2.1 创建系统方框图

系统设计的第一步是创建详细的系统方框图。系统方框图包括所有主要功能块、相关器件、接口，并展示了用于器件互连的 I/O (端口)。

以下是用于支持系统方框图创建过程的资源集合：

- TMDX654GPEVM (AM65x 评估模块 (EVM))、TMDX654IDKEVM (AM65x 工业开发套件 (IDK)) 和任何其他可用的 EVM 均可作为开始设计提供良好的信息来源。
- 下面提到的 TI.com 链接可提供器件功能方框图、器件特定数据表、用户指南、勘误表、应用手册、设计注意事项以及适用于各种应用的其他相关信息。设计和开发部分包括 EVM 信息、设计工具、仿真模型和软件。支持和培训部分中提供指向普遍适用的 E2E 主题的连接。
 - [AM6526 产品文件夹](#)
 - [AM6528 产品文件夹](#)
 - [AM6546 产品文件夹](#)
 - [AM6548 产品文件夹](#)

2.2 选择引导模式

系统方框图应指示用于引导的接口。

AM65x 器件包含多个支持引导模式的外设接口。实例有：QSPI、OSPI、PCIe、GPMC NOR、Hyperflash、以太网、USB、eMMC、MMCSD、I2C、SPI 和 UART。AM65x 器件支持主引导模式选项和可选备份引导模式选项。如果主引导源无法引导，ROM 将进入备份模式。

引导模式引脚和相关的电阻器配置在引导模式设置下提供输入，供 ROM 代码用于引导。上电复位时会对这些引脚进行采样，因此必须在释放 (使之无效) 复位前进行正确设置。BOOTMODE[06:00] 引脚用于选择用于引导的主接口和备份接口。此外，每个引导模式具有不同的配置选项，由其他引导模式引脚 (BOOTMODE[18:07] 和 MCU_BOOTMODE[09:00]) 控制。

引导模式配置的主要注意事项：

- TI 建议包括用于配置开发期间所用引导模式的设置，例如用于 JTAG 调试的 UART 引导或无引导模式。
- 复位后，引导引脚可提供其他功能。确保在电路板设计过程中，为引导引脚选择上拉/下拉电阻器时考虑到这一点。如果这些引脚由另一器件驱动，则只要该器件复位 (由 PORz_OUT 引脚指示)，上述引脚就必须恢复正确的引导配置电平，使该器件能够正确引导。
- 某些引导模式引脚的功能被保留。这些引脚不应保持悬空，必须端接 (上拉或下拉)。有关端接被保留的引导模式引脚的详细信息，请参阅器件特定 TRM 中 *初始化* 一章的 *引导模式引脚* 部分。

有关引导模式的详细信息，请参阅器件特定 TRM 的 *初始化* 一章。

备注

用户应根据目标引导场景设置引导模式引脚 (通过上拉或下拉，以及可选跳线/开关)。

2.3 确认引脚多路复用兼容性

该处理器包含多个外设接口。为了优化尺寸、引脚数和封装成本，同时保持尽可能多的功能，许多器件焊盘 (引脚) 最多可复用八个信号功能。因此，并非所有外设接口实例都可以同时使用。

德州仪器 (TI) 开发了 [SysConfig-PinMux 工具](#)，可帮助系统设计人员使用引脚多路复用配置工具为基于 AM65x 的系统设计选择合适的功能。

备注

使用 SysConfig-PinMux 工具为设计生成的 pinmux 配置应与其他设计文档一起保存。

3 电源

完成器件选型和系统方框图后，下一个设计过程是确定所选处理器的电源需求。

3.1 电源轨

有关处理器电源轨和建议工作范围的完整列表，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。以下部分提供了有关电源轨选择的更多详细信息。

3.1.1 IO 组的内部 LDO

处理器包含 17 个内部 LDO，每个 LDO 的输出连接到处理器上的引脚（名为“CAP_VDD*”）。每个 LDO 输出引脚都必须连接一个电容器。有关电容器选型和连接的指导，请参阅器件特定数据表中 *信号说明* 一章的 *电源* 部分。

3.1.2 双电压 LVCMOS I/O

该处理器包含十二个双电压 I/O 域（VDDSHV[0:8] 和 VDDSHV[0:2]_WKUP），其中每个域为一组固定的 I/O 供电。每个 I/O 电源域可配置为 3.3V 或 1.8V，这决定了由相应 I/O 电源域供电的整组 I/O 的通用工作电压。

每个电源都有相应的 I/O 偏置电源（VDDS[0:8] 和 VDDS[0:2]_WKUP）。如果 VDDSHV[0:8] 或 VDDSHV[0:2]_WKUP 中的任一个配置为 3.3V 运行，则相应的 VDDS[0:8] 或 VDDSHV[0:2]_WKUP 应由内部 I/O 偏置 LDO（CAP_VDDA_1P8_IOLDO[0:1] 和 CAP_VDDA_1P8_IOLDO_WKUP）供电。如果 VDDSHV[0:8] 或 VDDSHV[0:2]_WKUP 中的任一个配置为 1.8V 运行，则 VDDS[0:8] 和 VDDSHV[0:8] 或 VDDS[0:2]_WKUP 和 VDDSHV[0:2]_WKUP 应由同一电源供电。

如需更多信息，请参阅器件特定数据表中 *应用、实施和布局* 一章的 *外部电容器* 部分。

3.1.3 双电压开关 SDIO I/O

该处理器包含一个集成的 1.8V SDIO LDO，可支持 SD 卡 I/O 电压从卡初始化模式切换到高速数据模式。在给定系统中，只能将一个 MMCSD 端口（可通过 MCU_BOOTMODE09 引脚进行选择）连接到 SDIO LDO。

有关如何连接和配置 SDIO LDO 的信息，请参阅：

- 器件特定数据表中 *应用、实施和布局* 一章的 *外部电容器* 部分。
- 器件特定数据表中 *信号说明* 一章的 *电源* 部分。

3.2 确定系统电源要求

器件特定数据表中未提供每个电压轨的最大和最小电流要求。这些要求在很大程度上取决于应用，必须针对特定用例进行计算。

3.3 电源滤波器

处理器包含多个模拟电源引脚，可为 PLL、DLL 和 SERDES 缓冲器和端接等敏感模拟电路供电。这些引脚必须连接到经过滤波的电源。

3.4 电源去耦和大容量电容

为了正确地将电源层与系统噪声去耦，需要去耦电容器和大容量电容器。有关去耦电容器的一般信息，请参阅器件特定数据表。

有关优化去耦电容器和大容量电容器选型和放置的指导，请参阅 [Sitara 处理器配电网络：实施与分析](#)。

3.5 电源时序

器件特定数据表中提供了处理器电源时序（上电/下电）的详细图表。当使用分立式电源解决方案或基于 PMIC 的电源时，与处理器相关的所有电源应支持使用板载逻辑进行时序控制。

4 计时

下一步是设计合适的时钟，并为系统中所有连接的器件提供适当的时钟。这些时钟可以通过搭配使用外部晶体与内部振荡器来生成，也可以通过时钟发生器或振荡器在外部生成。该部分介绍处理器中可用的时钟以及这些时钟的相关要求。

4.1 系统时钟输入

器件特定数据表中 *规格* 一章的 *时钟规格* 部分总结了处理器时钟输入和推荐的振荡器连接。WKUP_OSC0 是处理器正常运行所需的时钟。

OSC1 和 WKUP_LFOSC 是可选时钟，具体取决于系统要求。

4.2 单端时钟源

WKUP_OSC0、WKUP_LFOSC0 和 OSC1 内部振荡器可源自晶体或 LVCMOS 方波数字时钟源。有关更多详细信息，请参阅器件特定数据表中 *规格* 一章的 *输入时钟/振荡器* 部分。

备注

使用外部时钟时，请务必根据数据表中的建议端接 XO 引脚。

4.3 未使用的时钟输入

有关未使用的时钟输入建议连接的指导，请参阅器件特定数据表中 *端子配置和功能* 一章的 *未使用引脚的连接* 部分。

5 JTAG

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。虽然无需 JTAG 即可运行，但 TI 强烈建议在设计中包含 JTAG 连接。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论器件配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在多种模式下使用：

- 标准仿真：只需五个标准 JTAG 信号
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMU 引脚输出跟踪数据。

无论器件配置如何，均可使用仿真。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

5.1.2 JTAG/仿真的系统实现

该处理器上的 JTAG 和仿真引脚在不同的电源域之间拆分。TDI、TDO 和 TMS I/O 由 VDDSHV0 域供电。TCK、TRSTz、EMU0 和 EMU1 I/O 由 VDDSHV0_WKUP 域供电。为了使大多数仿真器正常运行，这些信号必须具有相同的工作电压电平。VDDSHV0 和 VDDSHV0_WKUP 可配置为 1.8V 或 3.3V。

有关大多数其他系统级实施的详细信息，请参阅 [仿真和跟踪头技术参考手册](#)。

5.1.3 JTAG 端接

有关端接 JTAG 接口信号的信息，请参阅器件特定数据表中 *端子配置和功能* 一章的 *未使用引脚的连接* 部分。

6 器件配置和初始化

当存在稳定的电压轨和所需的时钟时，处理器复位可能会变为无效（释放）以开始处理器初始化。

6.1 器件复位

处理器可通过多种方法复位。器件特定数据表和 TRM 中详细介绍了这些方法。

该器件包括四个外部复位引脚 (MCU_PORz、MCU_RESETr、PORz 和 RESETr) 和四个复位状态引脚 (MCU_PORz_OUT、MCU_RESETrSTATz、PORz_OUT 和 RESETrSTATz)。请务必提供数据表中建议的端接。

通过内部寄存器和仿真可实现其他复位模式。

该器件集成了一个片上上电复位 (POR) 发生器。此外,该器件还支持通过 PORz 和 MCU_PORz 输入引脚生成外部 POR 信号。MCU_BYPASS_POR 引脚选择 POR 源。如果 MCU_BYPASS_POR 引脚在上电时设置为高电平,会完全绕过片上 POR 发生器并使用外部 POR 信号。如果该引脚设置为低电平,则会在内部生成 POR 信号。但是,四个外部复位输入必须全部拉至高电平,才支持内部生成 POR。

请注意, TI 建议使用与门为板载媒体和数据存储器件以及其他外设 (如适用) 实现复位逻辑。其中一个与门输入应由处理器 GPIO 引脚控制,并可实现隔离。其他与门输入应为 Main 域 POR 状态输出 (PORz_OUT) 信号。确保按照器件建议端接复位输出。

SD 卡的 3.3V 电源需要通过可控制的外部电源开关进行路由。需要使用此受控电源开关来重置 SD 卡,因为对该卡进行下电上电是将其重置回默认状态的唯一方法。

如需更多信息,请参阅 [TMDX654GPEVM \(AM65x 评估模块 \(EVM\)\)](#) 和 [TMDX654IDKEVM \(AM65x 工业开发套件 \(IDK\)\)](#) 原理图。

6.2 引导模式

有关处理器引导模式选项的更多详细信息,请参阅[节 2.2](#)。

引导模式和某些器件配置选择在 MCU_PORz 和 PORz 的上升沿被锁存。配置和引导模式输入与 GPIO 引脚或具有其他功能的引脚进行多路复用。在将这些引脚的状态 (电平) 锁存到配置寄存器后,这些引脚可用于发挥本身的主要功能。PORz_OUT 引脚指示引导模式配置的锁存。

6.3 看门狗计时器

根据应用要求,可考虑使用外部或内部看门狗计时器。

7 外设

该部分介绍了器件外设和模块,旨在对器件特定数据表、TRM 和相关应用报告中提供的内容加以补充。这三种类型的文档在涉及以下方面时使用:

- 数据表:有关交流时序、已使用引脚的指导
- TRM:功能说明,编程指南,寄存器偏移
- 应用报告:系统级理解和问题

7.1 跨功能域选择外设

处理器被划分为三个功能域,每个功能域包含特定的处理内核和外设:

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例,可以使用任何域中的外设。无论来自哪个域,所有外设均为存储器映射,且 Arm® Cortex®-A53 内核可查看并访问 MCU 和 WKUP 域中的所有外设。

7.2 以太网接口

AM65x 提供一个集成以太网交换机。集成以太网交换机使用 CPSW2G 子系统,支持一个外部以太网端口 RMII (10/100) 或 RGMII (10/100/1000)。有关如何配置 RMII 接口,请参阅器件特定 TRM 的 [MCU_CPSW0 RMII 接口](#) 部分,了解建议的配置。

有关以太网接口的更多详细信息,请参阅器件特定 TRM 中 [外设一章的高速串行接口](#) 部分。

7.3 可编程实时单元和工业通信子系统 - 千兆位 (PRU-ICSSG)

AM65x 提供三个 PRU-ICSSG 子系统实例，并支持以太网、UART0、eCAP0、PWM、IEP0 和 IEP1 外设模块。每个 PRU_ICSSG 包含 2 个以太网端口 (MII/RGMII)。仅对 PRU_ICSSG2 实例支持 SGMII 模式。

有关更多详细信息，请参阅器件特定 TRM 中 *处理器和加速器* 一章的 *可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG) (SR1.0)* 和 *可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG) (SR2.0)* 部分。

7.4 通用串行总线 (USB) 子系统

AM65x 处理器提供两个 USB 子系统：一个超高速 (USB3.0) 子系统和一个具有集成 PHY 的高速 (USB2.0) 子系统。这些端口均可独立配置为 USB 主机、USB 外设或 USB DRD。

按照 USB VBUS 设计指南，调节处理器连接的 VBUS 电压。

有关更多信息，请参阅器件特定的 TRM 来获取 USB 连接和 On-The-Go 特性支持。

有关更多详细信息，请参阅器件特定 TRM 中 *外设* 一章的 *高速串行接口* 部分。

8 I/O 缓冲器和端接

在开始原理图捕获之前，硬件设计中的一项重要任务是确认处理器和连接器件之间的直流和交流电气兼容性。

- 器件特定数据表提供有关时序和电气特性的重要信息。
- 对于高速接口，使用为处理器提供的 IBIS 模型运行 IBIS 仿真，进而确认信号完整性。
 - [AM654x IBIS 模型](#)

有关端接的更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 *通用端接详细信息* 部分。

9 功耗和散热解决方案

处理器功耗可能会因使用情况、实现方式、拓扑、元件选型和工艺变化而异。

9.1 功耗

请通过 [E2E](#) 与 TI 联系并创建新主题，获取功耗估算工具相关支持。

9.2 节能模式

该器件支持多种节能模式。有关更多详细信息，请参阅器件特定 TRM 中 *器件配置* 一章的 *器件电源状态* 部分。

9.3 有关散热解决方案的指导

[DSP 和 Arm 应用处理器热设计指南](#) 应用报告为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用报告中所包含的系统设计指南的设计。

如需更多信息，请参阅 [AM654x 热模型](#)。

10 原理图建议

在这一设计阶段，可以开始原理图捕获。要支持创建原理图，请参阅以下信息集合。

10.1 选择元件和值

请确保在适用时使用数据表中建议的无源器件值。

10.2 原理图开发

原理图可全新绘制，也可重复使用。有关原理图捕获阶段的示例，请参阅 [TMDX654GPEVM \(AM65x 评估模块 \(EVM\)\)](#) 和 [TMDX654IDKEVM \(AM65x 工业开发套件 \(IDK\)\)](#) 原理图。

在原理图捕获过程中，请遵循 [AM65x 原理图检查清单](#) 和勘误表 ([AM65x 处理器器件版本](#))。

备注

如需重复使用 EVM 原理图，请确保在重复使用之前检查各项功能和网络名称的更改。

当原理图被重复使用时，DNI 设置会被重置。请确保重新配置 DNI (安装 DNI 可能会影响功能)。

10.3 检查原理图

完成原理图捕获后，根据 [AM65x 原理图检查清单](#) 检查设计。

计划一次内部原理图检查，参考原理图检查清单检查原理图，并检查原理图的其他关键区域是否存在错误、不准确、网络连接缺失等。

10.4 PCB 布局规划

完成原理图捕获后，TI 建议对电路板进行布局规划，确定各种器件之间的互连距离、电路板尺寸和轮廓。

11 布局和布线指南

完成原理图捕获和检查后，下一步设计是 PCB 布局布线。有关电路板布局布线的支持信息，请参阅以下部分。

11.1 迂回布线指南

[AM654x BGA 迂回布线](#) 应用报告提供了 AM65x 处理器的 PCB 迂回布线示例。

11.2 DDR 电路板设计和布局布线指南

[AM65x DDR 电路板设计和布局布线指南](#) 应用报告旨在为所有设计人员简化 DDR4 系统的实现，并从要求中捕获一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 DDR4 存储器的电路板设计。

11.3 高速差分信号布线指导

[高速接口布局指南](#) 应用报告提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

备注

可考虑使用 [TMDX654GPEVM \(AM65x 评估模块 \(EVM\) \)](#) 和 [TMDX654IDKEVM \(AM65x 工业开发套件 \(IDK\) \)](#) 布局布线作为参考。

12 术语

CPSW2G - 通用平台双端口千兆位以太网交换机

DRD - 双角色器件

E2E - 工程师对工程师

ECAP - 增强型捕获

eMMC - 嵌入式多媒体卡

EMU - 仿真控制

GPIO - 通用输入/输出

GPMC - 通用存储器控制器

HS-RTDX - 高速实时数据交换

I2C - 内部集成电路接口

IBIS - 输入/输出缓冲器信息规范

IDK - 工业开发套件

IEP - 工业以太网外设
JTAG - 联合测试行动组
LDO - 低压降
LVCMOS - 低压互补金属氧化物半导体
MII - 媒体独立接口
MMC - 多媒体卡
OSPI - 八进制串行外设接口
PCB - 印刷电路板
PMIC - 电源管理集成电路
POR - 上电复位
PRU-ICSSG - 可编程实时单元和工业通信子系统 - 千兆位
POR - 上电复位
PWM - 脉宽调制器
QSPI - 四线串行外设接口
RGMII - 简化千兆位媒体独立接口
RMII - 简化媒体独立接口
SD - 安全数字
SDIO - 安全数字输入输出
SGMII - 串行千兆位媒体独立接口
SPI - 串行外设接口
TCK - JTAG 测试时钟输入
TDI - JTAG 测试数据输入
TDO - JTAG 测试数据输出
TMS - JTAG 测试模式选择输入
TRM - 技术参考手册
TRSTn - JTAG 复位
UART - 通用异步接收器/发送器
USB - 通用串行总线

13 参考文献

- 德州仪器 (TI) : [AM654x、AM652x Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM65x/DRA80xM 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM65x 器件勘误表](#)
- 德州仪器 (TI) : [TMDX654GPEVM \(AM65x 评估模块 \(EVM\) \)](#)
- 德州仪器 (TI) : [TMDX654IDKEVM \(AM65x 工业开发套件 \(IDK\) \)](#)
- 德州仪器 (TI) : [TMDX654HSEVM \(AM65x 高安全性 \(HS\) 评估模块 \(EVM\) \)](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南应用报告](#)
- 德州仪器 (TI) : [PRU-ICSS 特性比较](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)

- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [AM65x/DRA80x 原理图检查清单](#)
- 德州仪器 (TI) : [AM654x/DRA80xM BGA 迂回布线](#)
- 德州仪器 (TI) : [AM65x/DRA80xM DDR 电路板设计及布局布线指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)

14 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2018) to Revision A (December 2022)	Page
• 更新了整个文档中的表、图和交叉参考的编号格式.....	2
• 添加了节 1.2	2
• 添加了节 1.3	2
• 更新了节 2.1	3
• 更新了节 2.3	3
• 更新了节 5.1	5
• 添加了节 6.3	6
• 添加了节 7.2	6
• 添加了节 7.3	7
• 添加了节 7.4	7
• 更新了节 9.1	7
• 更新了节 9.3	7
• 添加了节 10.3	8
• 更新了节 11.2	8
• 添加了节 12	8

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司