



Rahul Kulkarni

Precision ADC

## 引言

在半导体测试系统中，采样率更快的 ADC (模数转换器) 可提供多种优势，包括：

1. **更低的噪声**：由于 ADC 可以采集更多的信号样本，并且 ADC 可以对信号求平均值以降低噪声，因此更快的采样率可以降低信号中的噪声。
2. **更好地检测瞬态事件**：信号中的瞬态事件（例如尖峰或毛刺）可能会持续很短的时间，并且会被速度较慢的 ADC 错过。借助带宽和采样率更快的 ADC，可以更准确地捕获这些事件，从而更好地了解信号的特性。
3. **更快的测试速度**：采样率更快的 ADC 还可以实现更快的测试速度，因为 ADC 可以在单位时间内采集和处理更多数据。
4. **与高速器件兼容**：更快且更复杂的器件会生成具有更高带宽的信号。为了准确捕获和测试这些信号，需要使用采样率更快的 ADC。
5. **灵活测试多个信号**：使用采样率更快的 ADC，可以一次测试多个信号，因为 ADC 可以快速在信号之间切换以采集数据。

高速 ADC 的所有这些优势都有助于提高电子器件测试的精度和效率。高速 ADC 需要一个与系统控制器相连的高速数据接口来传输数字数据。本应用手册介绍了一个源同步数据接口，用于在半导体测试系统中实现从 ADC 到控制器的高速数据传输。

## 源同步数据接口

ADS9817 是基于双路同步采样 18 位逐次逼近寄存器 (SAR) 模数转换器 (ADC) 的八通道数据采集 (DAQ) 系统。ADS981x 在每个模拟输入通道上支持每通道 2MSPS 采样率。凭借支持 1.2V 至 1.8V 运行的高速数字接口，ADS9817 可用于各种主机控制器。请参阅[用于测量参数测量单元 \(PMU\) 模拟输出的精密 ADC](#)，了解半导体测试中用于测量参数测量单元 (PMU) 的模拟输出的精密 ADC。

利用数据时钟的单边沿进行 20 位数据传输的时钟速度可由[方程式 1](#) 计算得出。

$$\text{Data clock speed} = \frac{2 \text{ MSPS/channel} \times 8 \text{ channels} \times 20 \text{ bits/sample}}{4 \text{ serial outputs}} \quad (1)$$

$$\text{Data clock speed} = 80\text{MHz} \quad (2)$$

**ADS9817** 数据表采用源同步数据接口来实现高速 ADC 接口。源同步接口是一种接口类型，其中 ADC 会将数据与随数据一起传输的专用时钟信号同步输出。此过程与常规串行外设接口 (SPI) 形成对比，后者的数据相对于时钟信号进行异步传输。与常规 SPI 相比，源同步接口的一些优势如下：

1. **改进了时序**：源同步接口有助于缓解时序问题，例如偏差和抖动，这些问题可能会在 SPI 等异步接口中导致时序违规。源同步接口中的专用时钟输出信号可同步数据并在正确的时间到达接收器。
2. **更高的数据速率**：源同步接口可支持比常规 SPI 更高的数据速率。这是因为同步接口可以与时钟信号一起传输数据，而 SPI 一次传输一位数据。这种结果在高速通信应用中尤其有利。
3. **更简单的 PCB 布局**：与常规 SPI 相比，源同步接口通常更容易布置在印刷电路板 (PCB) 上。这是因为时序要求不太严格，需要管理的互连也更少。
4. **更轻松地与 FPGA 连接**：FPGA 逻辑可以使用触发器等逻辑基元通过时钟捕获源同步数据。在常规 SPI 中，FPGA 使用 FPGA 在本地生成的时钟捕获 ADC 输出数据，这可能会导致时序裕量减小。

图 1 显示了与常规 SPI 相关的对时序裕度产生不利影响的延迟。串行接口时钟由 FPGA 生成，FPGA 沿传输距离传播，并且有延迟 ( $t_{P\_D}$ )。输入缓冲器会进一步延迟时钟 ( $t_{P\_D}$ )。ADC 响应数据在由 FPGA 接收之前，会由于输出缓冲器 ( $t_{OP\_D}$ ) 和传输距离 ( $t_{P\_D}$ ) 产生延迟。因此，FPGA 接收到的 ADC 输出数据相对于 FPGA 生成的 SPI 时钟会有很大的延迟。该延迟降低了 FPGA 可用于捕获 ADC 数据的时序裕量。

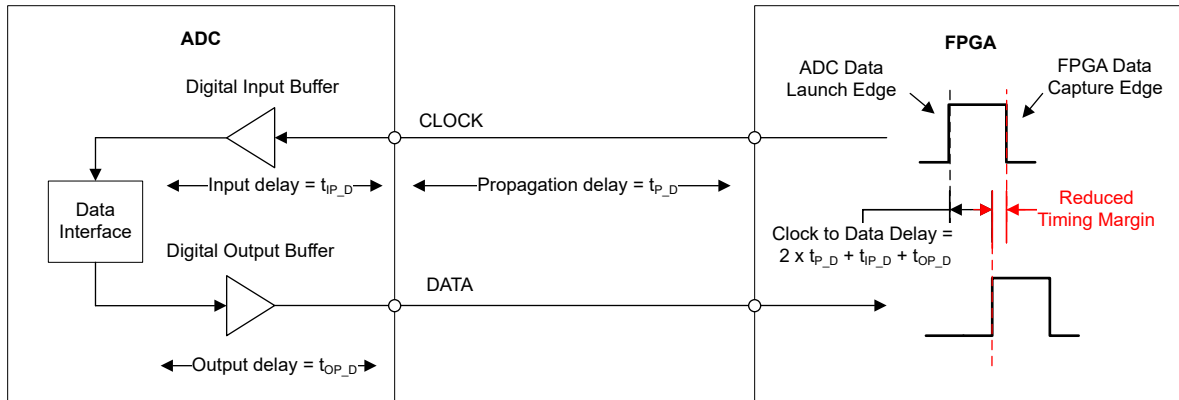


图 1. 常规 SPI 中的时序裕量

ADS9817 会生成输出数据和数据时钟，如图 2 所示。由于数据和数据时钟都由 ADC 生成，因此不存在时钟到数据的延迟。总体而言，与常规 SPI 相比，源同步接口可提供更高的性能和更简单的设计。

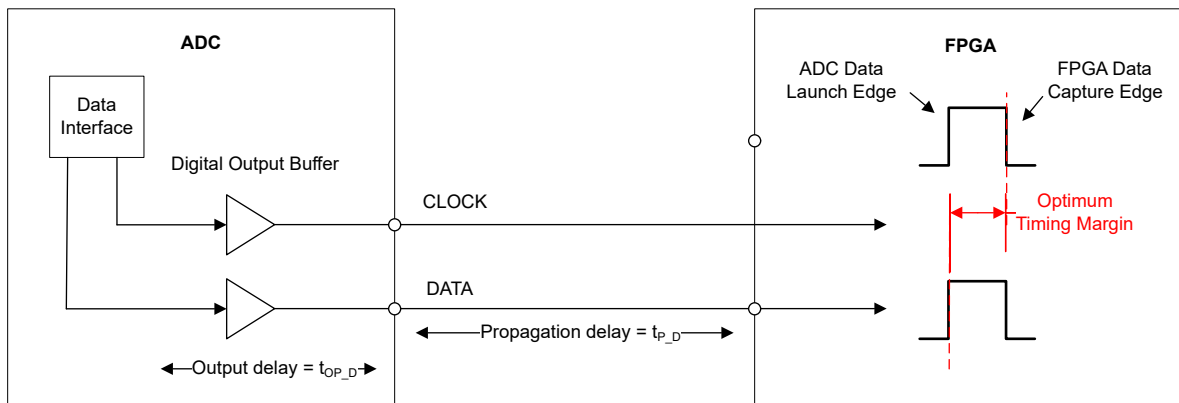


图 2. 源同步串行接口中的时序裕量

## 更大限度地降低数据通信对 ADC 性能的影响

ADC 数据接口对模拟性能的干扰可能是混合信号设计中的一项重大挑战。ADC 数据接口和电路之间的干扰可能会导致转换后的数字数据出现误差、噪声和其他不良影响。下面显示了 ADC 数据接口会在哪些方面影响模拟性能：

1. **接地反弹**：ADC 数据接口中的接地连接会产生接地环路电流，这会引入噪声并影响模拟性能。
2. **电磁干扰**：ADC 数据接口会产生电磁干扰 (EMI)，进而可能耦合到模拟电路中并导致噪声或其他性能问题。EMI 有多种来源，包括时钟信号、数据线、电源线和接地连接。
3. **串扰**：当一个通道上的信号干扰另一个通道上的信号时，可能会发生串扰。当 ADC 数据接口非常靠近模拟电路放置时，问题会特别严重。
4. **电源噪声**：ADC 的电源会产生噪声，这些噪声会耦合到模拟电路中并导致性能问题。

为了减轻 ADC 数据接口对模拟性能的干扰，ADS9817 采用单独的 IOVDD 和 IOGND 引脚，以便正确接地和屏蔽数据接口，从而优化布局。谨慎选择 ADC 数据接口相对于模拟电路的放置和布线。

ADS9817 还具有位加扰特性，此特性会将数据接口的接地环路电流与模拟电路去相关。启用位加扰特性后，ADC 转换结果将与转换结果的最低有效位 (LSB) 进行逐位异或运算，如图 3 所示。由于热噪声，ADC 转换结果的 LSB 为 1 或 0 的概率相等。因此，异或运算后的随机结果与 ADC 的输入电压无关。通过数据接口传输该随机结果所产生的接地反弹与模拟输入电压无关。

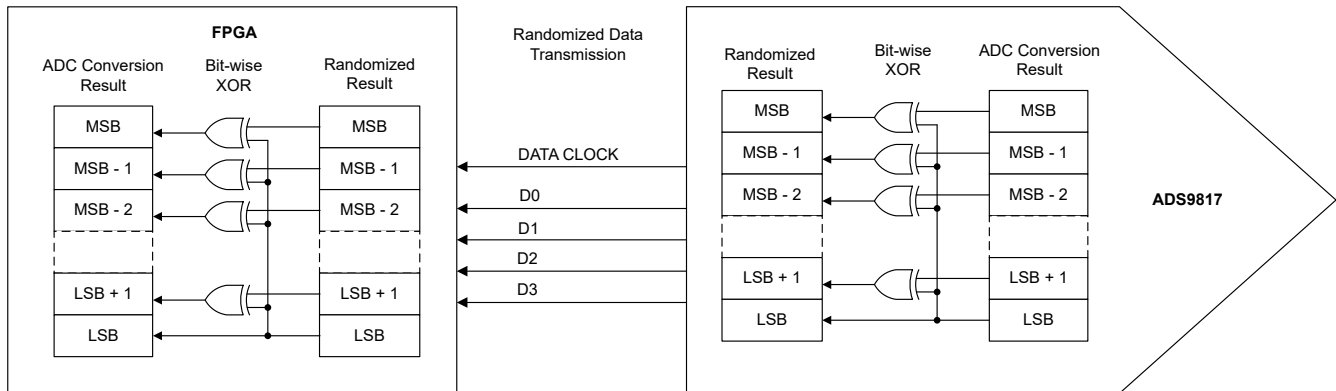


图 3. 位加扰用于降低数据接口对模拟性能的干扰

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司