

C2000 ADC 的电荷共享驱动电路 (使用 PSPICE-FOR-TI 仿真工具)



James Kennedy and Devin Cottier

摘要

TMS320F2837xD、TMS320F2837xS、TMS320F2838xD、TMS320F2838xS、TMS320F2807x、TMS320F28004x、TMS320F28002x、TMS320F28003x、TMS320F280013x 和 TMS320F280015x 系列的微控制器具有高速多路复用模数转换器 (ADC)。这些多路复用数据转换器非常适合需要以低延迟检测许多控制信号的实时控制应用。在给定 ADC 通道上的采样率远低于 ADC 最大总采样率的情况下，可以使用“电荷共享”输入设计来驱动 ADC 输入通道。与基于高速运算放大器的输入设计相比，这种输入设计方法可以降低成本、简化电路设计并降低采集延迟。本应用报告论述了电荷共享信号调节电路设计的适用条件，并介绍了评估电路性能的方法。

本应用报告中论述的工程配套资料和源代码可从以下 URL 下载：<http://www.ti.com/cn/lit/zip/sprac20>。本应用报告使用 PSpice for TI 设计和仿真工具。C2000 ADC 的电荷共享驱动电路 (TINA-TI) 介绍了相同的内容，但使用的是 TINA-TI 基于 SPICE 的模拟仿真程序。

内容

1 引言.....	3
1.1 资源.....	3
2 电荷共享概念.....	7
2.1 传统高速 ADC 驱动电路.....	7
2.2 高速 ADC 驱动电路中更大的 C_s	7
2.3 ADC 驱动电路中非常大的 C_s	8
2.4 电荷共享工作原理.....	9
2.5 采样率和源阻抗与跟踪误差之间的关系.....	10
2.6 跟踪误差的分析解决方案.....	11
2.7 多路复用 ADC 中的电荷共享.....	13
2.8 电荷共享电路的优点.....	13
2.9 电荷共享电路的缺点.....	13
3 电荷共享设计流程.....	14
3.1 收集所需的信息.....	14
3.2 确定 C_s 容值.....	14
3.3 验证采样率、源阻抗和带宽.....	15
3.4 对电路建立性能进行仿真.....	15
3.5 输入设计工作表.....	16
4 电荷共享电路仿真方法.....	17
4.1 仿真元件.....	17
4.2 配置仿真参数.....	19
4.3 用于确定 V_{oa_ss} 的偏置点分析.....	21
4.4 确定 V_{oa_ss} 的瞬态分析.....	24
4.5 测量建立误差.....	26
4.6 扫描源电阻.....	28
5 电路设计示例.....	30
5.1 示例 1：确定最大采样率.....	30
5.2 示例 2：添加运算放大器.....	32
5.3 示例 3：更低的建立目标.....	36

5.4 示例 4：分压器.....	39
6 总结	41
A 附录：ADC 输入建立动因	42
A.1 ADC 输入建立的机制.....	42
A.2 建立不适当的症状.....	42
参考文献	45
修订历史记录	45

插图清单

图 2-1. 高速 ADC 驱动电路.....	7
图 2-2. 电荷共享 ADC 驱动电路.....	9
图 2-3. 具有 $1\text{k}\Omega R_s$ 和 100kHz 采样率的 ADC 输入电路.....	10
图 2-4. $1\text{k}\Omega R_s$ 和 100kHz 采样率的仿真结果.....	10
图 2-5. $100\Omega R_s$ 和 100kHz 采样率的仿真结果.....	11
图 2-6. $1\text{k}\Omega R_s$ 和 10kHz 采样率的仿真结果.....	11
图 2-7. 采用直流输入时的电荷共享稳态.....	12
图 4-1. 仿真原理图（无运算放大器）.....	17
图 4-2. 仿真原理图.....	18
图 4-3. t_{acq} 的示例时序（分段线性）.....	19
图 4-4. t_{dis} 的示例时序（分段线性）.....	20
图 4-5. 偏置点分析仿真配置文件.....	21
图 4-6. 偏置点分析结果.....	22
图 4-7. 节点分析示例.....	23
图 4-8. 瞬态分析电路.....	24
图 4-9. 瞬态分析仿真配置文件.....	24
图 4-10. 瞬态分析结果.....	25
图 4-11. 节点分析示例.....	26
图 4-12. 建立误差仿真配置文件.....	26
图 4-13. 建立误差测量.....	27
图 4-14. 建立误差分量测量.....	28
图 4-15. 瞬态分析仿真配置文件常规设置.....	28
图 4-16. 瞬态分析仿真配置文件参数扫描.....	29
图 4-17. 源阻抗扫描结果.....	29
图 5-1. 示例 1：仿真电路.....	30
图 5-2. 示例 1：仿真配置文件.....	31
图 5-3. 示例 1：仿真结果.....	31
图 5-4. 示例 2：仿真电路.....	33
图 5-5. 示例 2：仿真配置文件.....	33
图 5-6. 示例 2：仿真结果.....	34
图 5-7. 示例 2：稳定性仿真电路.....	34
图 5-8. 示例 2：稳定性仿真配置文件.....	35
图 5-9. 示例 2：稳定性仿真结果.....	35
图 5-10. 示例 3：仿真电路.....	37
图 5-11. 示例 3：仿真配置文件.....	37
图 5-12. 示例 3：仿真结果.....	38
图 5-13. 示例 4：仿真电路.....	39
图 5-14. 示例 4：仿真配置文件.....	40
图 5-15. 示例 4：仿真结果.....	40
图 A-1. ADC S+H 电容器的建立.....	42
图 A-2. 两次转换之间保持 C_H 的采样序列.....	43
图 A-3. 两次转换之间 C_H 放电的采样序列.....	43
图 A-4. 多路复用采样序列.....	44

表格清单

表 1-1. 器件系列.....	5
表 2-1. 高速 ADC 驱动器中的 C_s 增加时的建立时间.....	8
表 2-2. 电荷共享条件下的建立时间.....	8
表 3-1. ADC 电荷共享设计工作表.....	16

表 5-1. 示例 1 : ADC 电荷共享设计工作表.....	32
表 5-2. 示例 2 : ADC 电荷共享设计工作表.....	35
表 5-3. 示例 3 : ADC 电荷共享设计工作表.....	38
表 5-4. 示例 4 : ADC 电荷共享设计工作表.....	40

商标

TINA-TI™ is a trademark of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

1 引言

在驱动 ADC 输入时，实现良好的建立性能至关重要。如果未能在 ADC 驱动电路中实现必要的建立性能，则会导致 ADC 转换结果中出现失真和存储器串扰。有关尽可能减小与 ADC 输入建立相关的误差重要性的深入讨论，请参阅附录 A。用于驱动 ADC 通道的信号调节电路在要求和实现方面可能有很大差异，具体取决于特定通道的应用要求以及 ADC 输入和采样特性。

当在高速 ADC 中以接近最大采样率对高带宽信号进行采样时，需要使用性能非常高的驱动电路。该电路通常由一个高速、低噪声运算放大器级构成，该运算放大器级具有为实现最小建立时间而优化的无源器件值（低电阻器和电容器值）。这些高性能驱动级电路适用于驱动大多数输入信号，但需要高带宽运算放大器，这会增加元件成本并且可能占用大量印刷电路板面积。此外，如果需要显著的低通滤波效果（很多时候希望限制转换结果中的噪声），则可能需要基于有源运算放大器的额外滤波器级，这会增加成本和面积。

在某些情况下，通过使用放置在 ADC 输入端的大型“电荷共享”电容器，可以将具有足够低采样率的信号直接连接到 ADC 输入通道。该方法具有简单、成本低的优点并可实现低通滤波，有时还可以减小与 ADC 采集相关的采样延迟。特别是，实时控制应用往往使用 ADC 在突发转换中扫描多个多路复用通道。这些周期性突发使每个通道上的采样率远低于 ADC 的最大采样率，这有时可以实现电荷共享输入设计的必要条件。

本应用报告解释了电荷共享输入用于实现快速建立的机制，并将提供设计电荷共享 ADC 驱动电路的方法。此外，还将提供仿真方法来验证电路建立行为是否正常。

1.1 资源

以下工具和材料对于 ADC 驱动器电路设计和输入稳定评估非常有用。

1.1.1 TINA-TI 基于 SPICE 的模拟仿真程序

TI 为 TI 客户提供 TINA-TI 应用程序，以便利用 TI 产品轻松对电路进行基于 SPICE 的仿真。由于本应用报告使用 PSpice for TI 而不是 TINA-TI 来评估电路建立性能，因此在继续之前无需确保下载并安装 TINA-TI。但是，TINA-TI 应用程序和其他资源仍然可用。

工具文件夹链接：[TINA-TI™](#)

1.1.2 PSpice for TI 设计和仿真工具

TI 为 TI 客户提供 PSpice for TI 应用，以便利用 TI 产品轻松对电路进行基于 SPICE 的仿真。本应用报告利用该程序来评估电路稳定性能。确保下载并安装该应用程序，然后再继续。

工具文件夹链接：[PSpice® for TI](#)

PSpice for TI 培训系列链接：[探索 PSpice for TI](#)

TI E2E 支持论坛链接：[欢迎来到 TI E2E 设计支持论坛](#)

Cadence PSpice for TI 论坛链接：[欢迎来到 PSpice 论坛](#)

1.1.3 应用报告：C2000 MCU 的 ADC 输入电路评估

该应用报告介绍了如何设计和评估 C2000 实时 MCU ADC 基于高速运算放大器的 ADC 输入驱动电路。请首先查看该应用报告，然后再继续了解基于高速运算放大器的 ADC 输入电路设计方法。

应用报告链接：[C2000 MCU 的 ADC 输入电路评估](#)

1.1.4 TI 高精度实验室 - SAR ADC 输入驱动器设计系列

TI 高精度实验室提供了一个由八个部分组成的出色视频系列，该视频系列演示了如何设计 SAR ADC 的输入驱动器。查看该材料将有助于进一步了解基于高速运算放大器的信号调节设计过程和选项。

视频培训系列链接：[TI 高精度实验室 - SAR ADC 输入驱动器设计](#)

1.1.5 模拟工程师计算器

模拟工程师的计算器工具提供了各种非常有用的基于 GUI 的计算选项卡，以协助完成常见的模拟电路设计任务。高速运算放大器设计方法利用“Data Converters” → “ADC SAR Drive” 计算器。

工具文件夹链接：[模拟工程师计算器](#)

1.1.6 TI 高精度实验室 - 运算放大器：稳定性系列

TI 高精度实验室提供了一个视频系列，详细介绍了运算放大器的稳定性，其中包含七个部分。如果电荷共享输入电路确实需要运算放大器，则放大器通常会承受非常大的容性负载。最好的做法是进行仿真以确保源电阻足够大，从而确保运算放大器的稳定性。

视频培训系列链接：[TI 高精度实验室 - 运算放大器：稳定性](#)。

1.1.7 相关应用报告

TI 提供了多个与 C2000 实时 MCU 器件上 ADC 输入电路的设计和评估相关的应用报告。这些应用报告与简要说明一起列出。

应用报告标题	原理图捕获和仿真工具	用途
C2000 MCU 的 ADC 输入电路评估 (TINA-TI)	TINA-TI	介绍了如何设计和评估传统高速 ADC 驱动电路。输入电路包含一个运算放大器。适用于在 ADC 的最大采样率附近对高带宽信号进行采样。
C2000 MCU 的 ADC 输入电路评估 (PSpice for TI)	PSpice for TI	
C2000 ADC 的电荷共享驱动电路 (TINA-TI)	TINA-TI	介绍了如何设计和评估电荷共享 ADC 驱动电路。输入电路可能包含也可能不包含运算放大器。适用于对带宽和采样率足够低的信号进行采样。
C2000 ADC 的电荷共享驱动电路 (PSpice for TI)	PSpice for TI	
缓解 ADC 存储器串扰的方法	TINA-TI	介绍了在输入电路设计未实现适当建立时减少存储器串扰误差的策略。适用于特殊情况。

1.1.8 原理图捕捉和仿真工具的比较

本应用报告使用 PSpice for TI 设计和仿真工具。但是，TI 还提供了 TINA-TI 基于 SPICE 的模拟仿真程序。PSpice for TI 和 TINA-TI 都能够执行偏置点、瞬态、交流扫描、直流扫描和傅里叶分析。虽然 PSpice for TI 和 TINA-TI 都可以扫描温度和元件值，但只有 PSpice for TI 可以扫描全局参数。此外，只有 PSpice for TI 包括多个仿真配置文件和性能分析工具等功能。使用 PSpice for TI 的客户也可以在 PSpice for TI 内使用 PSpice 器件搜索工具来访问 TI 器件的最新仿真模型，而使用 TINA-TI 的客户则必须从 <https://www.ti.com/> 下载这些模型。最后，PSpice for TI 是更复杂、更强大且功能更丰富的原理图捕捉和仿真工具。

PSpice for TI 和 TINA-TI 均免费提供给 TI 客户。此外，TI 还通过提供 TI 器件的仿真模型、在 E2E 支持论坛上回答问题，以及提供应用报告和培训资源等其他配套资料，为 PSpice for TI 和 TINA-TI 提供支持。

1.1.9 PSpice for TI ADC 输入模型

本应用报告包含为多个器件系列预先生成的 ADC 输入模型，列出了器件系列以及与每个系列关联的 ADC 输入模型，并对每个 ADC 输入模型进行了简要说明。

对于下表中未列出的 C2000 器件，只要信号模式匹配（使用单端模型运行单端 ADC，或使用差分模型运行差分 ADC），仍可以使用以下输入模型。还需要更新 R_{on} 和 C_h 值，以匹配器件特定数据手册中指定的值。

表 1-1. 器件系列

器件系列	ADC 输入模型	说明
TMS320F2807x	F2807x_Ext	F2807x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
TMS320F2837xD、TMS320F2837xS	F2837x_Ext_12BSE	F2837x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
TMS320F2838xD、TMS320F2838xS	F2838x_Ext_12BSE	F2838x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F2838x_Ext_16BSE	F2838x ADC 输入模型 3.0V 外部基准 16 位分辨率 单端输入模式
TMS320F28002x	F28002x_Ext	F28002x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28002x_Int25	F28002x ADC 输入模型 2.5V 外部基准 12 位分辨率 单端输入模式
	F28002x_Int33	F28002x ADC 输入模型 3.3V 外部基准 12 位分辨率 单端输入模式

表 1-1. 器件系列 (continued)

器件系列	ADC 输入模型	说明
TMS320F28004x	F28004x_Ext	F28004x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28004x_Int25	F28004x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F28004x_Int33	F28004x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式
TMS320F28003x	F28003x_Ext	F28003x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28003x_Int25	F28003x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F28003x_Int33	F28003x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式
TMS320F280013x	F280013x_Ext	F280013x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F280013x_Int25	F280013x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F280013x_Int33	F280013x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式
TMS320F280015x	F280015x_Ext	F280015x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F280015x_Int25	F280015x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F280015x_Int33	F280015x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式

CAUTION

虽然用于多个 C2000 器件的 ADC 输入模型与本应用报告捆绑在一起，但应始终首先使用特定于器件的数据手册对输入模型元件值进行验证，然后再继续。如需更多信息，请参阅节 4.1.5。

2 电荷共享概念

以下各节介绍了电荷共享输入电路的概念性操作。

2.1 传统高速 ADC 驱动电路

在如图 2-1 所示的传统 ADC 输入驱动电路中，电路设计为通常尽可能地减小整个电路时间常数（处于一些较小的限制范围内），其中包括外部源电阻 (R_s) 和外部源电容 (C_s)。通常还需要使用高带宽运算放大器来利用该快速时间常数。最后，该电路能够在分配的 S+H（采样保持）窗口期间快速建立 C_H 上的值，即使 ADC 正在高速采样也是如此。被采样的输入信号也可以具有非常高的带宽。

有关基于运算放大器的高速 ADC 信号调节电路设计的更多信息，请参阅 TI 高精度实验室视频系列：[TI 高精度实验室 - SAR ADC 输入驱动器设计](#)以及特定于 C2000 的应用报告 [C2000 MCU 的 ADC 输入电路评估](#)。

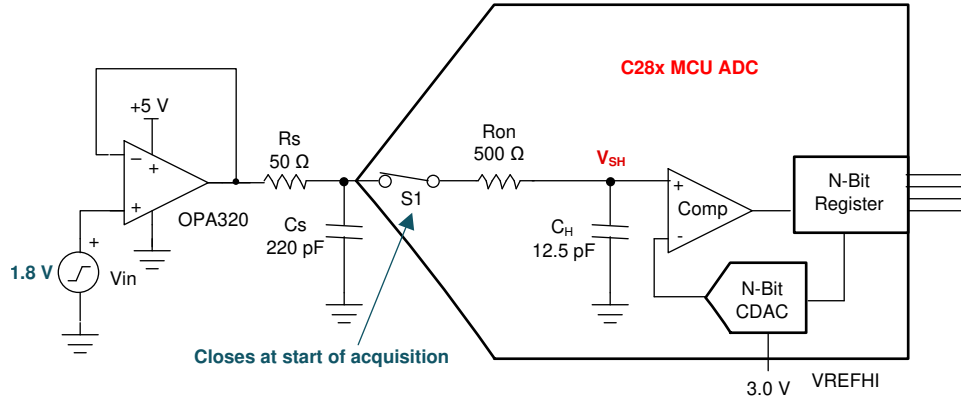


图 2-1. 高速 ADC 驱动电路

2.2 高速 ADC 驱动电路中更大的 C_s

为了实现电荷共享输入设计， C_s 将变得非常大。然而，必须小心，因为较大的 C_s 在典型的高速 ADC 驱动电路中会产生不利影响。通过查看下面用于计算近似时间常数和建立时间的公式，可以理解为何需要在高速 ADC 驱动电路中保持较小的 R_s 和 C_s 。

可以使用 RC 建立模型来确定所需建立时间的近似值。模型的时间常数由以下公式给出：

$$\tau = (R_s + R_{on}) \cdot C_H + R_s \cdot (C_s + C_p) \quad (1)$$

所需的时间常数数量可通过以下公式得出：

$$k = \ln \left(\frac{2^n}{\text{settling error}} \right) - \ln \left(\frac{C_s + C_p}{C_H} \right) \quad (2)$$

因此，总 S+H 时间应设置为大约：

$$t = k \cdot \tau \quad (3)$$

其中以下参数由器件特定数据手册中的 ADC 输入模型提供：

- n = ADC 分辨率（以位数表示）
- R_{ON} = ADC 采样开关电阻（以欧姆为单位）
- C_H = ADC 采样电容（以 pF 为单位）
- C_P = ADC 通道寄生输入电容（以 pF 为单位）

以下参数取决于应用设计：

- 建立误差 = 允许的建立误差（以 LSB 为单位）

- R_s = ADC 驱动电路源阻抗 (以欧姆为单位)
- C_s = ADC 输入引脚上的电容 (以 pF 为单位)

从上面的公式可以明显看出, 增加 R_s 只会使建立时间变长, 因为 R_s 存在于 τ 的两个项, 对 k 没有影响。另一方面, 增加 C_s 将会使 τ 增大, 但同时会使 k 减小, 因为这会增大 k 的第二个项中的 C_s 与 C_H 之比。但是, 增加 C_s 将导致建立时间变长, 如表 2-1 中的示例所示。这是因为时间常数 τ 以线性方式增加, 而所需的时间常数 k 以对数方式减小。因此, 高速 ADC 驱动电路设计通常保持较小的 C_s 值 (通常为 C_H 的 20 倍), 因为增加 C_s 会导致额外的建立时间。

表 2-1. 高速 ADC 驱动器中的 C_s 增加时的建立时间

参数	示例 1	示例 2	示例 3
C_s	220pF	1nF	2.2nF
C_H	12.5pF	12.5pF	12.5pF
C_p	10pF	10pF	10pF
R_s	50	50	50
R_{ON}	425 Ω	425 Ω	425 Ω
n	12 位	12 位	12 位
建立误差	0.5LSB	0.5LSB	0.5LSB
τ	17.4ns	56.4ns	116.4ns
k	6.1	4.6	3.8
建立时间	106.1ns	259.4ns	442.3ns

2.3 ADC 驱动电路中非常大的 C_s

虽然上一节表明增加 C_s 会使建立时间增加, 但有一个例外: 如果 C_s 足够大, 以至于 k 计算公式 (如下所示) 的第二项变得等于 (或大于) 第一项, 则 k 将变为零 (或负数), 因此由 $k \cdot \tau$ 给出的建立时间将变为零 (或负数), 无论 τ 的大小如何都是如此。因为预测的建立时间实际上为零, 所以可以使用 ADC 数据手册中指定的最小 S+H 持续时间! 当在 ADC 驱动电路的设计中使用此条件时, 我们可以说该电路使用了“电荷共享”。

$$k = \ln \left(\frac{2^n}{\text{settling error}} \right) - \ln \left(\frac{C_s + C_p}{C_H} \right) \quad (4)$$

表 2-2 显示了电荷共享条件下的公式评估示例。

表 2-2. 电荷共享条件下的建立时间

参数	电荷共享示例
C_s	102.4nF
C_H	12.5pF
C_p	10pF
R_s	50
R_{ON}	425 Ω
n	12 位
建立误差	0.5LSB
τ	5.1 μ s
k	0.0
建立时间	0.0ns

从概念上讲, k 计算公式中的第二项是用于对不需要使 C_s 和 C_H 都充满电的驱动器进行补偿。相反, 假设 C_s 被预充电至施加的源电压。该预充电在 ADC 正在转换且 S+H 处于非活动状态期间发生。当 S+H 开关闭合时, C_s 和 C_H 上的电荷会达到均衡。同时, 源将以指数方式将 C_s 和 C_H 稳定至施加的电压。 C_s 越大, 在均衡之后 C_s 和 C_H 之间的电压就会越接近源电压。在电荷共享的情况下, C_s 变得如此之大以至于仅均衡就足以使 C_H 处于建立误差目标范围之内。

CAUTION

对于基于高速运算放大器的设计或基于电荷共享的设计，有时仿真或分析会预测，S+H 持续时间小于器件特定数据手册中的最短持续时间时，便能够实现足够的建立性能。即使在这些情况下，也应始终确保选择的 S+H 持续时间符合特定器件数据手册规定的最短 S+H 持续时间。

2.4 电荷共享工作原理

图 2-2 展示了一个典型的电荷共享输入电路设计，以及概念性的采样间建立操作。C_S 设置为一个非常大的值。具体而言，在本例中，C_S 设置为 100nF，该值大约是内部 ADC S+H 电容器 C_H 容值的 2⁽¹²⁺¹⁾ 倍。这确保在 12 位 ADC 分辨率下采样时 C_S 上的电荷下降仅为 0.5LSB。

图 2-2 的右侧子图展示了该电荷共享输入设计的概念性建立操作。在每次采样开始时，会在 C_S 和 C_H 之间快速均衡电荷，从而使 C_S 下降小于 0.5LSB，C_H 充电至施加的电压的 0.5LSB 以内。这可确保即使在 S+H 持续时间非常短的情况下 C_H 也能实现建立目标。在采样之间的时间内，C_S 通过 R_S 从源电压进行充电。该示例假设 ADC 的采样速度足够慢，以至于 C_S 几乎可以在采样之间充满电。下一节将探讨该假设的可行性有多大。

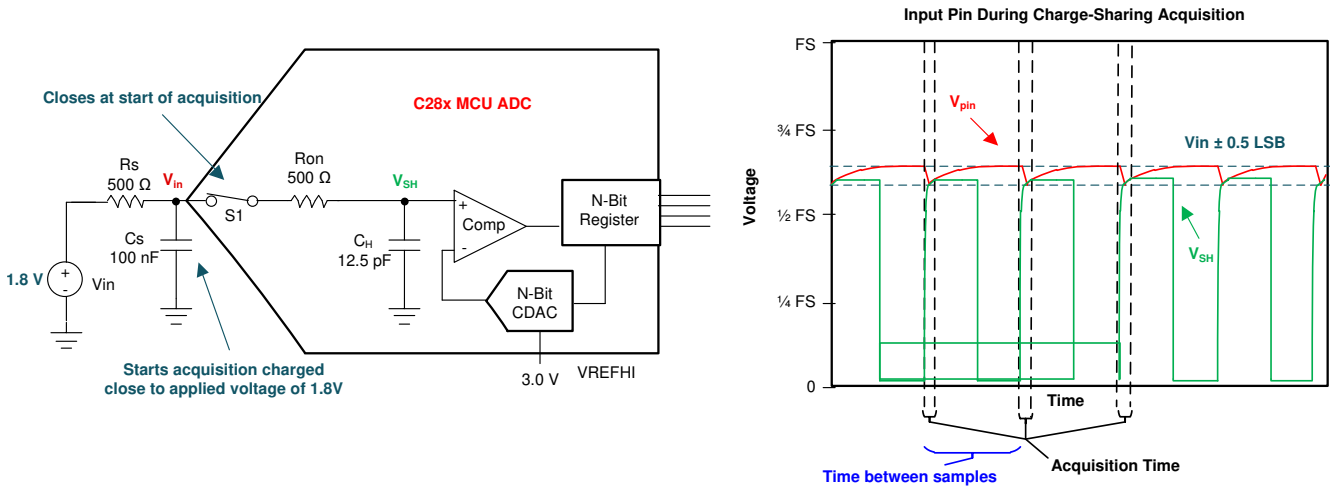


图 2-2. 电荷共享 ADC 驱动电路

备注

图 2-2 显示了 500Ω 的源电阻 R_S。虽然基于高速运算放大器的信号调节电路通常有意确定和设置该值，但电荷共享设计在很多时候用于解决现有源阻抗，无需向设计中添加额外的运算放大器。该源电阻可以是传感器的输出阻抗或用于检测高压总线的分压器的等效电阻。如果有意在电荷共享输入电路设计中放置 R_S，通常是为了与 C_S 一起形成一个低通滤波器。

2.5 采样率和源阻抗与跟踪误差之间的关系

基于高速运算放大器的 ADC 信号调节电路的设计人员需要权衡建立速度与运算放大器带宽和外部元件尺寸。源电容值满足电荷共享标准可确保，无论源阻抗如何，都可以使用最小 ADC S+H 窗口持续时间。然而，这会产生需要优化的新权衡：采样率和源阻抗与跟踪误差。

当 ADC 采样速度相对于电源在采样间隔时间内通过 R_S 对 C_S 充电的能力而言过快时，会在样本之间发生显著的跟踪误差。可以通过对电路进行仿真来说明这一点，如图 2-3 所示。图 2-4 显示了该仿真的结果：锯齿波形中的每次降压都是由于 ADC 采样引起的电荷均衡。在这种情况下，第一次采样会使引脚上的电压下降约 0.5LSB ，从而实现良好的直流输入电压采样。然而，在进行下一次采样之前，外部电源只能部分地为 C_S 充电。后续的每次采样都会释放 C_S 上的部分电荷。最终，当引脚电压和源电压之间的差值增加到足以在采样间隔时间内驱动 0.5LSB 的恢复时，就会达到平衡。在图 2-4 的仿真结果中，在大约 3.6mV 的跟踪误差下达到平衡。

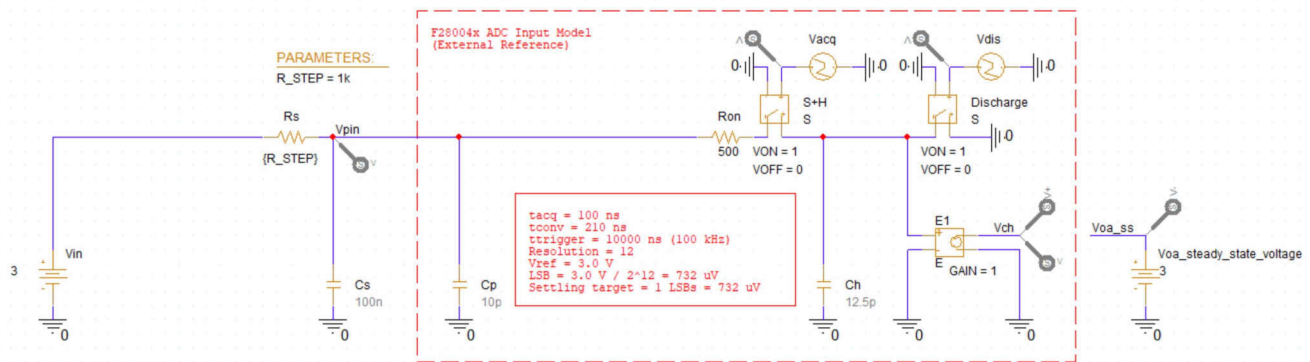


图 2-3. 具有 $1\text{k}\Omega$ R_S 和 100kHz 采样率的 ADC 输入电路

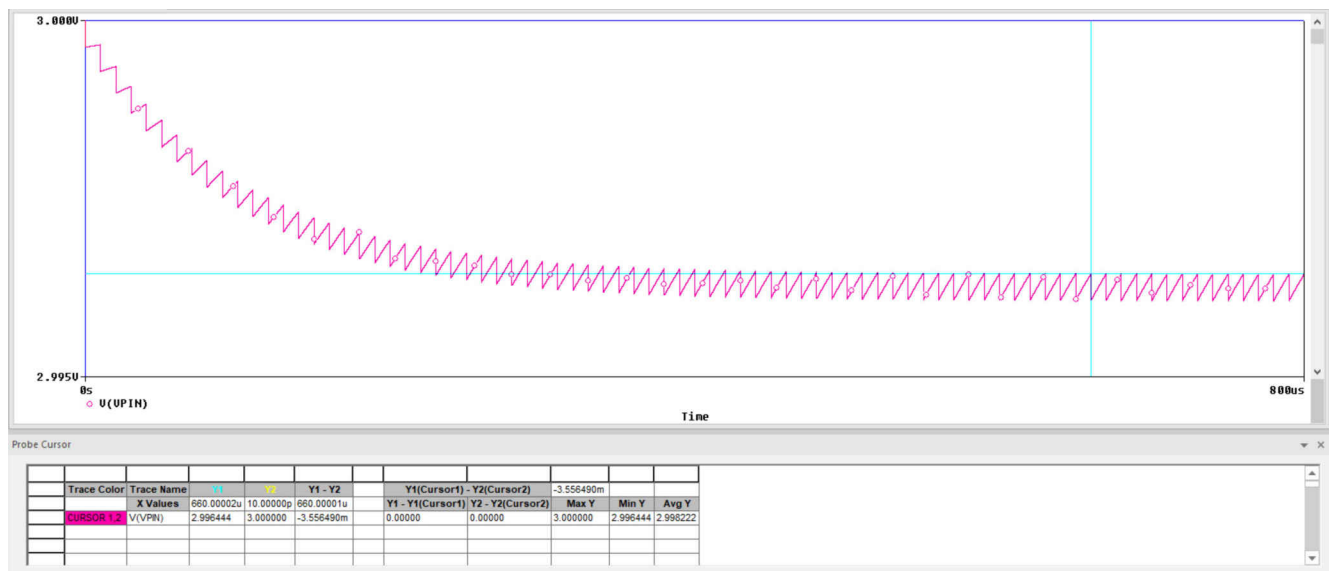


图 2-4. $1\text{k}\Omega$ R_S 和 100kHz 采样率的仿真结果

建立误差目标通常设置为 0.5LSB ，但应用可能允许更大或更小的建立误差。如果采用 1LSB 的目标建立误差，则前面的示例电路仍然远超出目标范围，该示例电路具有 0.5LSB 的电荷共享误差加上 3.6mV (约 5LSB) 的跟踪误差。要使跟踪误差处于容差范围之内，需要降低采样率或降低源阻抗 R_S (或同时降低这两者)。

图 2-5 和图 2-6 表明，通过显著降低源阻抗或采样率，可以使跟踪误差与电荷均衡误差的大小相似，从而使总体建立误差处于 1LSB 的目标范围之内。

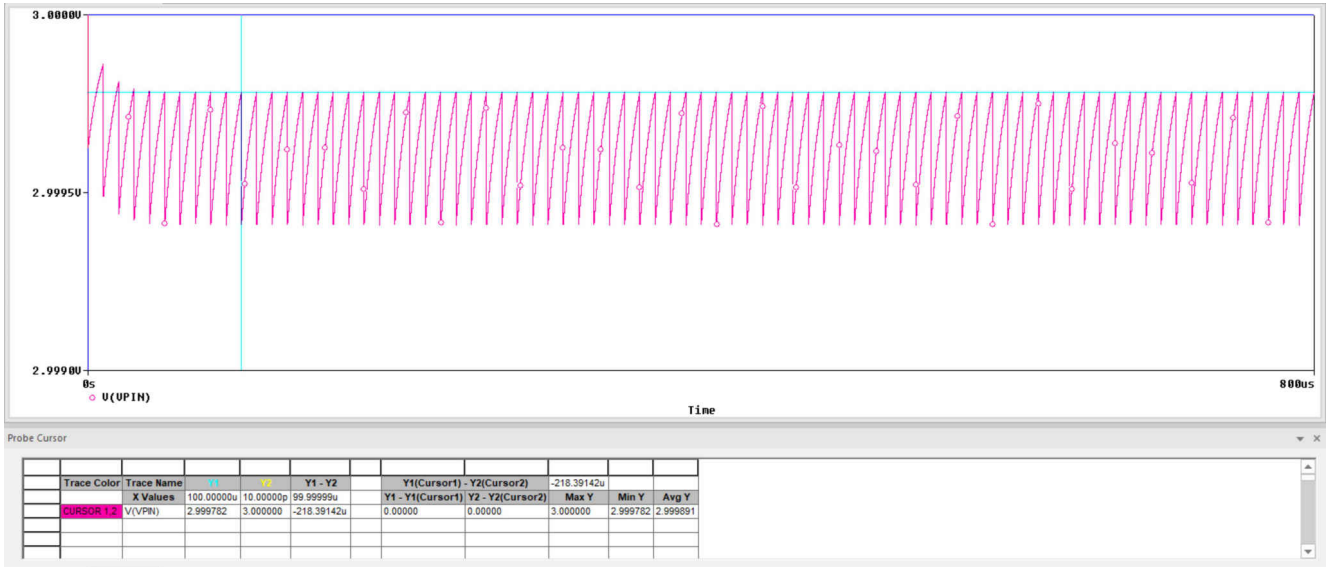


图 2-5. 100 Ω R_s 和 100kHz 采样率的仿真结果

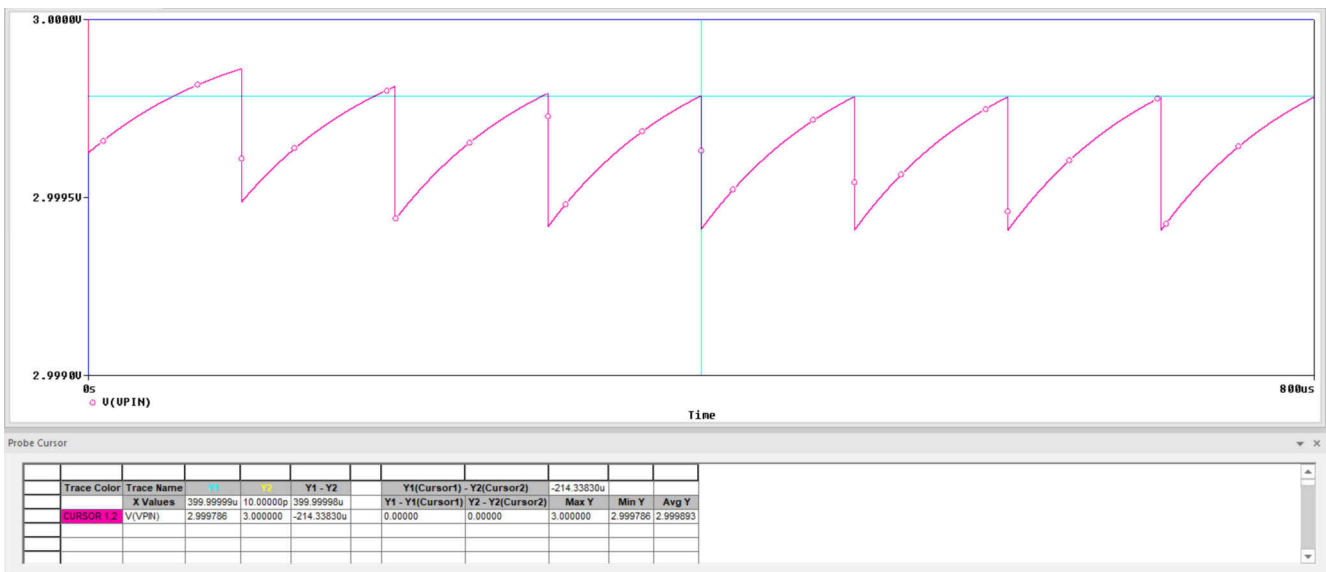


图 2-6. 1k Ω R_s 和 10kHz 采样率的仿真结果

备注

上面的示例显示了采用 S+H 电容器的直流源电压，该电容器的初始状态始终是完全放电至 0V。这使得产生的跟踪误差看起来像 ADC 输入引脚下降至较低的电压。对于交流输入信号，引脚上的电压将滞后于施加的电压。如果 S+H 电容器的初始电压不是 0V（在多路复用 ADC 中可能出现该情况），则引脚电压将被拉向其他电压（可能是多路复用采样序列中先前采样的通道）。

2.6 跟踪误差的分析解决方案

在电荷共享设计中，总建立误差由两个误差分量组成：电荷共享误差和跟踪误差。电荷共享误差由源电容 C_s 和 ADC 内部 S+H 电容 C_H 的相对大小决定。跟踪误差取决于源在采样间隔时间内通过外部源电阻 R_s 对 C_s 进行充电的能力。由于充电主要发生在 ADC 采样开关打开时，因此一阶指数 RC 建立模型是合适的，其中 RC 时间常数 τ 由 R_s 和 C_s 决定。

为了简化分析，假定总建立误差预算在电荷共享误差和跟踪误差之间平均分配。在总建立误差预算为 0.5LSB 的情况下，每个子分量的目标值为 0.25LSB。无论误差分量的绝对幅度如何，如果在采样之间的时间内实现 50% 的恢复，则误差分量的幅度相等（相当于大约 0.7 个 RC 时间常数）。处于平衡状态的等效误差幅度如图 2-7 所示。在每次采样开始时，电荷在 C_S 和 C_H 之间均衡，从而导致 0.25LSB 的压降。然后，在下次转换之前，引脚电压会以指数方式向施加的直流电压充电。从 0.5LSB 恢复到 0.25LSB 需要 50% 的建立时间。

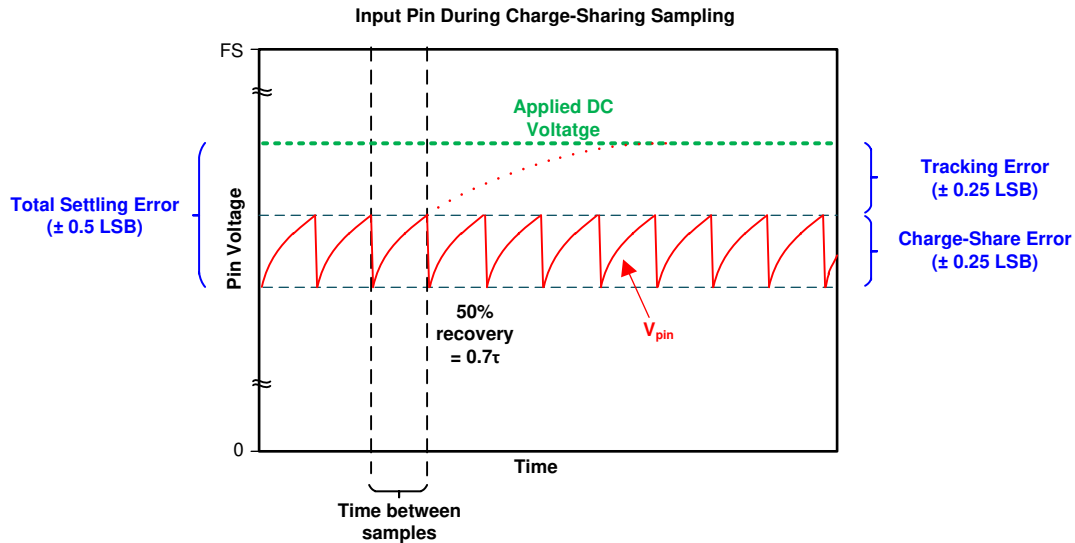


图 2-7. 采用直流输入时的电荷共享稳态

由于误差分量相等的标准需要 0.7 个时间常数，因此以下公式确定了给定固定源阻抗的近似最大采样率：

$$f_s \leq 1 / (0.7 \cdot R_s C_s) \quad (5)$$

或者，如果需要特定的采样率，可以变换上述公式以得到已知采样率的最大源阻抗：

$$R_s \leq 1 / (0.7 \cdot f_s C_s) \quad (6)$$

例如，当电路中的 C_H 为 12.5pF、目标采样率为 10ksp/s，并且在 12 位分辨率下的建立误差为 0.5LSB 时，要获得 0.25LSB 的电荷共享误差， C_S 将设置为大约 $12.5\text{pF} \cdot (4096/0.25) = 204.8\text{nF}$ 。这将得到如下最大源阻抗：

$$R_S \leq 1 / (0.7 \cdot 10\text{kHz} \cdot 204.8\text{nF}) \quad (7)$$

$$R_S \leq 698 \Omega \quad (8)$$

备注

如果最大采样率不符合应用要求，则可以添加运算放大器，以将现有源电阻与电路隔离。然后应选择足够大的 R_S ，以确保运算放大器在驱动 C_S 时保持稳定。该运算放大器的带宽还应至少为由 R_S 和 C_S 决定的 RC 时间常数的 4 倍。

2.7 多路复用 ADC 中的电荷共享

多路复用 ADC 将多个模拟输入通道连接到单个 ADC。然后，ADC 可以根据外部触发（在 C2000 应用中很多时候是 ePWM 触发）连续或以突发方式扫描多个输入通道。

对于电荷共享，重要的是给定通道上的采样率，而非 ADC 的完整采样率。这是因为仅当对特定的多路复用通道进行采样时才会发生电荷共享均衡，源电容将在整个采样间隔时间内充电，即使同时对其他通道进行采样也是如此。在 ePWM 周期性触发 ADC 的应用中，给定多路复用通道上的采样率将与 ePWM 触发频率相匹配。

2.8 电荷共享电路的优点

以上各节介绍了如何构建电荷共享电路以替代基于高速运算放大器的 ADC 驱动电路。这么做的原因可能有多种：

- **低延迟**

电荷共享设计始终可以使用最短的 S+H 时间。如果应用目标是减少 ADC 触发和 ADC 采样完成之间的延迟，则使用较短的 S+H 时间可能是有利的。通过基于高速运算放大器的设计实现相同的建立时间可能需要极高的运算放大器带宽。

- **低成本**

电荷共享设计有时可能会完全消除设计中的运算放大器通道。如果通道采样率足够慢，则可以使用电荷共享设计直接连接到具有大输出阻抗的传感器。这还包括直接连接到一个分压器，该分压器具有较大的等效输出阻抗，以便尽可能地降低静态电流消耗。

- **低通滤波**

高速运算放大器设计通常无法在驱动级提供显著的低通滤波（包括抗混叠滤波），因为需要将 R 和 C 元件值保持在非常低的水平以确保快速建立。在这些设计中，如果需要显著的低通滤波，则在 ADC 驱动级之前构建一个单独的滤波级。相比之下，由于满足电荷共享标准需要大的源电容值，电荷共享输入设计很多时候还可以提供显著的低通滤波。

2.9 电荷共享电路的缺点

电荷共享 ADC 输入设计只能满足部分信号调节要求。在选择基于高速运算放大器的设计（如果该设计更合适）时应谨慎，包括：

- **高速采样**

当在单个通道上进行高速采样时，电荷共享设计中的跟踪误差会变得非常大。在这种情况下，需要一个基于运算放大器的高速 ADC 驱动器。

- **与过采样方法的兼容性**

对同一信号进行多次背靠背采样，然后对结果求平均值可能是降低系统噪声或采样噪声的好方法。不过，对于电荷共享 ADC 驱动器，此类多次采样会增加通道上的有效采样率，从而增加跟踪误差。如果额外的采样是背靠背的，则通道采样率会变得与 ADC 采样率一样快，这可能会导致过多的跟踪误差。

- **高带宽信号**

满足电荷共享标准所需的大电容器本身将提供一定量的低通滤波。对于欠采样应用或其他需要对高带宽信号进行采样的应用，电荷共享可能不可行。

- **极低的失真**

相对于电压非线性，C0G 和 NP0 型电容器提供的电容非常低。如果 ADC 信号链使用这些电容器，则可以实现出色的失真性能。这些电容器的密度低于失真度更高的替代产品（例如 X7R 型电容器）。这可能导致无法为电荷共享设计所需的极大电容选择元件，尤其是在高分辨率（例如 16 位分辨率）下。有关详细信息，请参阅 [选择能最大限度地减少音频应用失真的电容器](#)。

3 电荷共享设计流程

以下各节介绍了设计电荷共享 ADC 输入驱动器的必要步骤。为方便起见，[节 3](#) 中提供了一个工作表。

1. 收集电路信息和要求
2. 确定 C_s 容值
3. 验证采样率、源阻抗和带宽
4. 对电路建立性能进行仿真

3.1 收集所需的信息

需要以下信息才能继续设计和验证电荷共享输入电路。收集这些值后，可以将其填入 [节 3.5](#) 中提供的工作表。

- **N**：目标建立分辨率（位）。通常与 ADC 的分辨率相同。可以采用较低的目标分辨率来降低输入设计要求。
- **V_{fs}**：满量程电压范围。在外部基准模式下，这是向 VREFHI 引脚提供的电压（通常为 3.0V 或 2.5V）。在内部基准模式下，这是基于所选基准模式的有效输入范围（通常为 3.3V 或 2.5V）。
- **C_H**：ADC S+H 电容。在数据手册表“输入模型参数”中提供。
- **C_p**：ADC 引脚寄生电容。在数据手册表“每通道寄生电容”中提供。
- **R_s**：源电阻。驱动 ADC 的源的输出电阻。也可以有意选择。
- **F_s**：目标通道上的采样率。通常是应用的一项要求。
- **BW_s**：源信号所需的带宽。

3.2 确定 C_s 容值

C_s 容值应使电荷共享误差为 0.25LSB。设计过程确保跟踪误差也处于 0.25LSB 以内，从而使总建立误差处于 0.5LSB 以内。为此，所选择的 C_s 应至少与以下公式所示的值一样大。然后，需要将结果四舍五入，得到标准电容器元件的容值。

$$C_s = (2^{N+2} \cdot C_H) - C_p \quad (9)$$

在许多设计中， C_p 容值与所选 C_s 容值相比可以忽略不计，因此可以忽略 C_p 。

3.3 验证采样率、源阻抗和带宽

一旦确定了源电容器的容值，就可以在设计中验证多个项目。其中包括：

- **最大采样率**

如果源电阻已知，则可以使用以下公式计算在不超过跟踪误差预算的情况下可以支持的最大采样率。

$$f_{s\max} = 1 / (0.7 \cdot R_s \cdot C_s) \quad (10)$$

应用所需的采样率 (在所考虑的通道上) f_s 应小于 $f_{s\max}$ 。

- **最大源电阻**

或者，如果应用采样率是固定的，则可以使用以下公式计算使跟踪误差处于误差预算范围内的最大源阻抗。

$$R_{s\max} = 1 / (0.7 \cdot f_s \cdot C_s) \quad (11)$$

然后可以根据一个或多个输入通道的源阻抗对此进行检查，这些输入通道使用电荷共享输入设计以确保 $R_s < R_{s\max}$ 。

- **带宽**

可以使用以下公式计算由 C_s 和 R_s 形成的低通滤波器的滤波器带宽。

$$BW_{R_s C_s} = 1 / (2 \pi \cdot C_s \cdot R_s) \quad (12)$$

确保源信号带宽 BW_s 小于该步骤中的低通滤波器带宽。如果滤波器带宽过低，则输入信号的相关频率将被衰减。

3.4 对电路建立性能进行仿真

上面的公式适用于 $N + 1$ 位目标建立性能，这可以进一步分为 $N + 2$ 位电荷共享误差和 $N + 2$ 位跟踪误差。为了将这些目标与以伏特为单位的仿真结果进行比较，可以通过以下公式来计算绝对建立误差目标：

$$V_{err\max} = V_{fs} / 2^{N+1} \quad (13)$$

然后可以运行建立仿真以验证测量的建立误差是否处于该误差预算范围之内。

有关如何使用电荷共享电路执行建立仿真的具体信息，请参阅 [节 4](#)。

3.5 输入设计工作表

表 3-1 列出了使用电荷共享方法评估 ADC 输入驱动电路所需的输入，并提供了一个汇总输出的位置。建议为实时控制应用中的每个不同电路填写此工作表，以确保良好的建立性能。对于某些电路，可能需要使用应用报告 [C2000 MCU 的 ADC 输入电路评估 \(使用 PSPICE-for-TI 仿真工具\)](#) 中介绍的高速设计方法。该报告还提供了一个工作表，可以使用高速设计方法对其进行评估。

表 3-1. ADC 电荷共享设计工作表

符号	说明	值	说明
N	目标建立分辨率 (位)		通常与 ADC 的分辨率相同。 可以采用较低的目标分辨率来降低输入设计要求
V _{fs}	满量程电压范围		在外部基准模式下，这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下，这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
V _{errmax}	最大误差目标		$V_{fs}/2^{N+1}$ 可以进一步分为两个分量：电荷共享误差和跟踪误差，每个分量为 $V_{errmax}/2$
t _{sh}	S+H 时间		只要 C _s 容值适合电荷共享，就可以使用 ADC 数据手册中的最小值。
C _h	ADC S+H 电容		在数据手册表“输入模型参数”中提供
C _p	ADC 引脚寄生电容		在数据手册表“每通道寄生电容”中提供
C _s	源电容		至少为 $(2^{N+2} \cdot C_H) - C_p$
R _s	源电阻		驱动 ADC 的源的输出电阻。也可以有意选择。
f _s	采样率		目标通道上的采样率。通常是应用的一项要求。
BW _s	源信号所需的带宽。		源信号所需的带宽。
R _{smax}	允许的最大源电阻		如果 f _s 已知，则计算为 $1/(0.7 \cdot f_s \cdot C_s)$ ， 然后确保 $R_s < R_{smax}$ 。如果不满足条件，则需要进行额外的设计迭代。
f _{smax}	允许的最大采样频率		如果 R _s 已知，则计算为 $1/(0.7 \cdot R_s \cdot C_s)$ ， 然后确保 $f_s < f_{smax}$ 。 如果不满足条件，则需要进行额外的设计迭代。
BW _{RsCs}	来自 C _s 和 R _s 的滤波器带宽		$1/(2 \pi \cdot C_s \cdot R_s)$ 确保 $BW_{RsCs} > BW_s$ ，否则需要进行额外的设计迭代。
V _{oa_ss}	稳态运算放大器输出电压		如果未使用运算放大器，则设置 $V_{oa_ss} = V_{fs}$ 。否则，这可以通过 V _{oa} 节点的直流节点分析生成。复制到 V _{oa_ss} ，然后再继续进行其他仿真。
BWOPA	ADC 驱动器运算放大器最小带宽		如果需要运算放大器，则带宽应至少为 BW _{RsCs} 的 4 倍
运算放大器	选择的运算放大器器件型号		在此处记录所选的运算放大器 (如果需要)。
V _{err}	仿真产生的实际建立误差		确保 $V_{err} < V_{errmax}$ 否则，需要进行额外的设计迭代

4 电荷共享电路仿真方法

以下各节介绍了如何执行仿真来确定电荷共享 ADC 驱动电路的建立误差。此应用报告随附提供了许多 C2000 器件的 PSpice for TI 模型：<http://www.ti.com/cn/lit/zip/sprac0>。有关使用 PSpice for TI 构建 ADC 输入模型的更多详细信息，请参阅 [TI 高精度实验室 - SAR ADC 输入驱动器设计](#)。有关构建 C2000 专用 PSpice for TI 模型的更多详细信息，请参阅 [C2000 MCU 的 ADC 输入电路评估](#)。

4.1 仿真元件

图 4-1 和图 4-2 显示了 PSpice for TI 仿真设置中的元件。

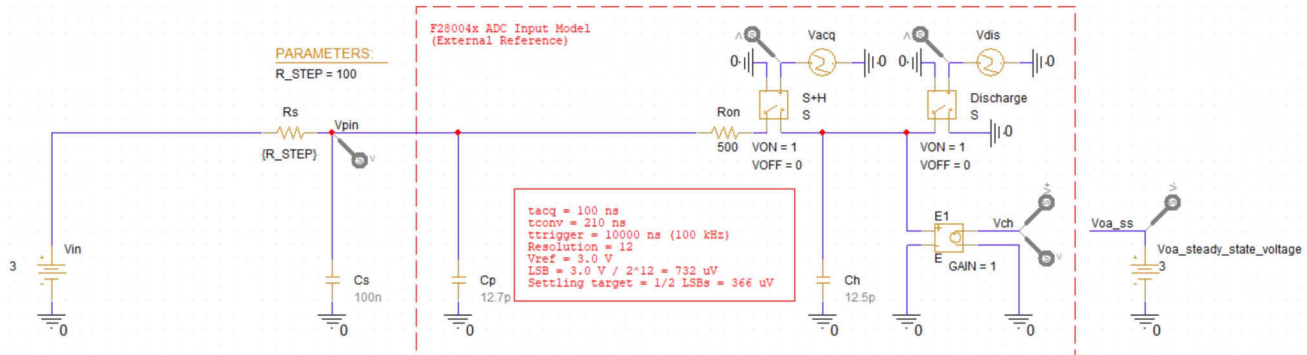


图 4-1. 仿真原理图 (无运算放大器)

4.1.1 V_{in}

V_{in} 是施加的电压。S+H 电容器 (C_H) 需要在 S+H 周期结束时充电至建立误差容差范围内。虽然可以对任何输入进行仿真，但在模型使 C_H 在采样间隔期间完全放电时施加满量程直流输入电压，将提供最坏情况下的建立条件。

4.1.2 V_{oa} 、 V_{oa_ss} 和 V_{error}

PSpice for TI 运算放大器模型包含各种非理想因素，这会导致运算放大器在 V_{oa} 下的直流稳态输出与 V_{in} 不完全匹配。可对 V_{oa} 下的稳态输出进行仿真并将其输入到 V_{oa_ss} ，这样 V_{error} 便只准确表示输入建立误差。如果电荷共享输入设计中不使用运算放大器， V_{oa_ss} 应准确设置为 V_{in} 。

4.1.3 R_s 、 C_s 和 V_{cont}

R_s 和 C_s 分别是源电阻和源电容。这些值对应于 TI 高精度实验室培训术语中的 R_{filt} 和 C_{filt} 。 R_s 电阻由全局参数 R_STEP 决定。当差分模型中有两个 R_s 电阻器时，使用全局参数可实现参数扫描。

4.1.4 C_h 、 R_{on} 和 C_p

ADC 输入模型的元件值。

C_h ，S+H 电容器。仿真的目的是在 S+H 窗口期间将该电容器充电至尽可能接近 V_{in} 。

C_p 是特定于引脚的输入电容。可以选择性地将其添加到仿真中，以提高仿真精度。这对于与 C_p 值大于 100pF (在大多数器件上) 的 VDACC 进行多路复用的引脚 (DAC 备用电压基准引脚) 特别有用。

与 F2837x 和 F2807x 器件上的缓冲 DAC 输出进行多路复用的引脚有一个寄生 50k Ω 下拉电阻器。建议在模型中添加该电阻器 (图 4-1 或图 4-2 中未显示)，以更好地展示这些引脚的行为。

4.1.5 S+H 开关、放电开关、 t_{acq} 和 t_{dis}

开关“S+H”控制 S+H 电容器 C_h 何时由驱动电路充电。该开关的时序由 t_{acq} 控制。

开关“放电”控制 S+H 电容器 C_h 何时通过对地放电而复位。该开关的时序由 t_{dis} 控制。

当 t_{acq} 和 t_{dis} 均未激活时，S+H 电容器的值保持在其最终稳定值。

有关如何根据所需的电荷共享仿真参数配置这些开关的其他信息，请参阅节 4.2。

CAUTION

虽然用于多个 C2000 器件的 ADC 输入模型与本应用报告捆绑在一起，但应始终首先使用特定于器件的数据手册对输入模型元件值进行验证，然后再继续。 C_h 和 R_{on} 的值可从器件特定数据手册的输入模型参数表中获取，而 C_p 的值可从每通道寄生电容表中获取。如果特定于器件的数据手册值与本文档或所提供模型中的值不一致，应始终将特定于器件的数据手册值视为正确的值。

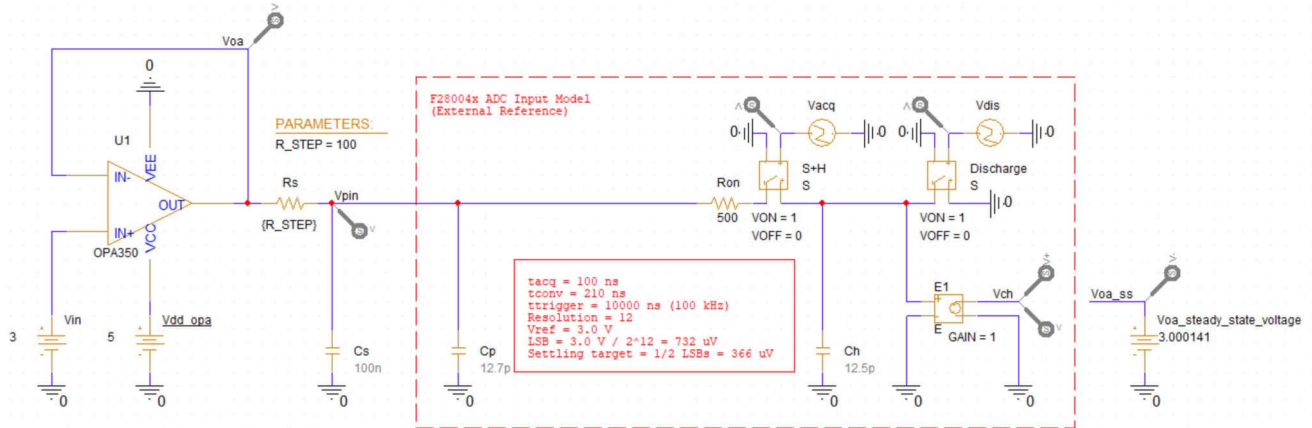


图 4-2. 仿真原理图

4.2 配置仿真参数

电荷共享仿真需要完成的主要配置是设置采样率。这是由分段线性电压源 t_{acq} 和 t_{dis} 的设置控制的。PSpice for TI 仿真参数的次要配置也是优化仿真结果所必需的。

图 4-3 显示了在 100ns 采集窗口和 100kHz 采样率下的示例 t_{acq} 时序配置。前四行将 S+H 窗口配置为在 0 到 102ns 之间发生，上升和下降时间为 1ns。最后一行（主要关注点）配置波形重复的频率。这有效地设置了采样率，10000ns (10 μ s) 相当于 100kHz 采样。

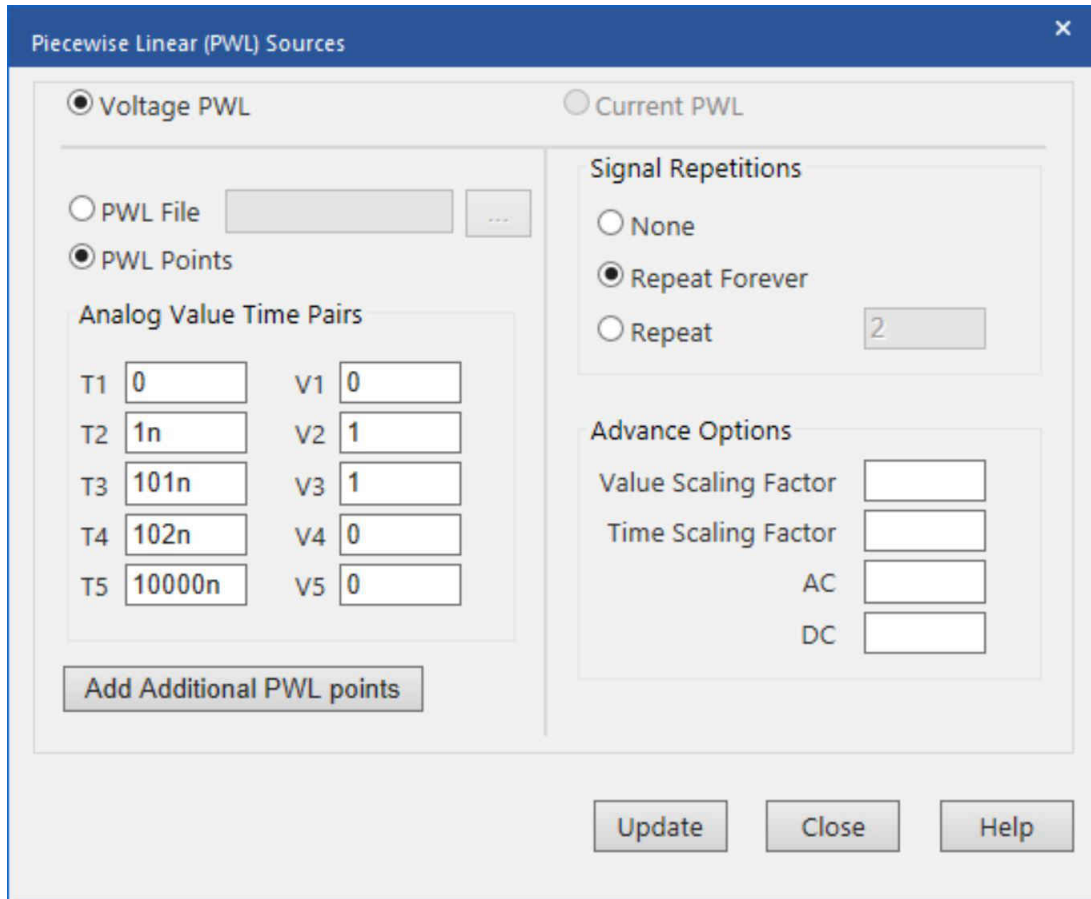


图 4-3. t_{acq} 的示例时序（分段线性）

图 4-4 显示了 100ns 放电周期和 100kHz 采样率的示例 t_{dis} 时序配置。前五行指定 100ns 的放电周期，从 9.87 μ s 开始有 10ns 的上升和下降时间。最后一行配置波形重复的频率。这有效地设置了采样率，10000ns (10 μ s) 相当于 100kHz 采样。确保 t_{dis} 和 t_{acq} 时序的最后一行始终完全匹配！该放电周期不必恰好在触发周期结束时发生，因此仅通过更改最后一行来更改采样率是可以接受的。例如，如果将 t_{dis} 和 t_{acq} 的最后一行更改为 20000ns，则会将采样率更改为 50kHz。不过，请确保放电周期不与 t_{acq} 中的 S+H 周期重叠，否则将导致输入短接至接地端，而不是为 C_H 充电。

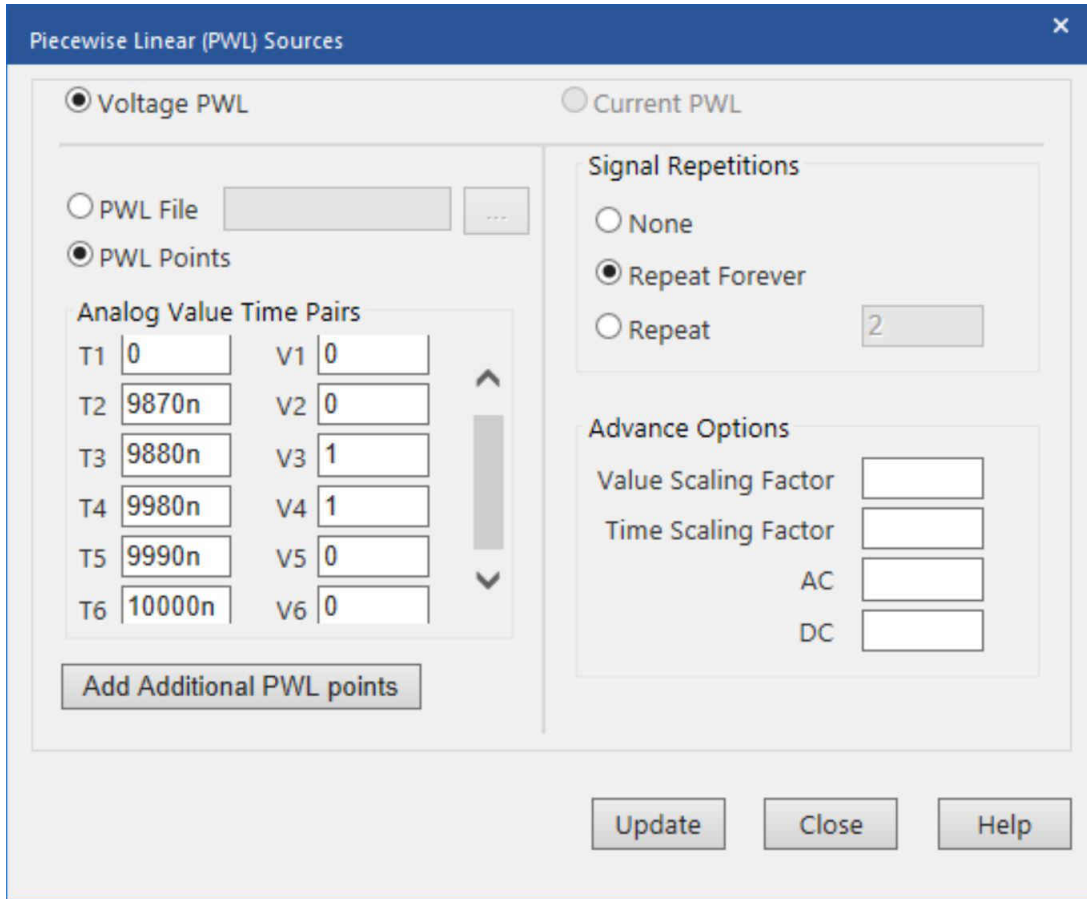


图 4-4. t_{dis} 的示例时序 (分段线性)

请注意，这些时序配置为模拟以 100kHz 频率触发的转换。特定通道上这种较慢的采样率是电荷共享输入设计的典型值（而不是最大 ADC 采样率下的背靠背连续转换）。通过修改 t_{acq} 和 t_{dis} 时序源的周期，可以修改触发频率以匹配实际应用的 ePWM 触发频率。不过，请务必确保触发周期大于总采集时间加上 ADC 转换时间。器件特定数据手册的“ADC 时序”表中提供了 ADC 转换时间。

运行仿真时，还需要配置 PSpice for TI 仿真参数以获得最大精度。要提高偏置点仿真结果的数值精度，请转到“PSpice”→“Bias Points”→“Preferences...”，然后增大“Displayed Precision”参数值。要优化瞬态仿真结果，请打开瞬态仿真配置文件，然后减小最大步长。要在 PSpice for TI 仿真窗口中提高仿真结果的数值精度，请转到“Tools”→“Options...”→“Cursor Settings”，然后增加光标位数。

本应用报告要求精确到微伏级。因此，请确保“Displayed Precision”参数和光标位数大于或等于 7。最大步长的配置因具体仿真而异，但最大步长比仿真停止时间小三到四个数量级通常就足够了。

CAUTION

有关如何进一步优化仿真结果的更多指导，请参阅 [PSpice for TI 入门，第 1 部分：通过 6 个步骤优化仿真配置文件](#)。

4.3 用于确定 V_{oa_ss} 的偏置点分析

电荷共享建立输入设计并不总是包含运算放大器，但当相关信号链包含运算放大器时，必须采取措施来考虑在 PSpice for TI 模型中建模的直流电压误差。这确保仿真仅测量建立性能。为了实现该目的，有必要确定在给定所包含特定运算放大器的情况下 V_{oa} 的稳态输出值。然后，必须将该值复制到 V_{oa_ss} 电压源。

执行偏置点分析，以确定在给定所包含特定运算放大器的情况下 V_{oa} 的稳态输出值。在 PSpice for TI 中执行偏置点分析需要创建偏置点仿真配置文件。创建仿真配置文件后，请转到“PSpice” → “Run”以执行分析。使用图 4-5 中所示的仿真配置文件执行偏置点分析。

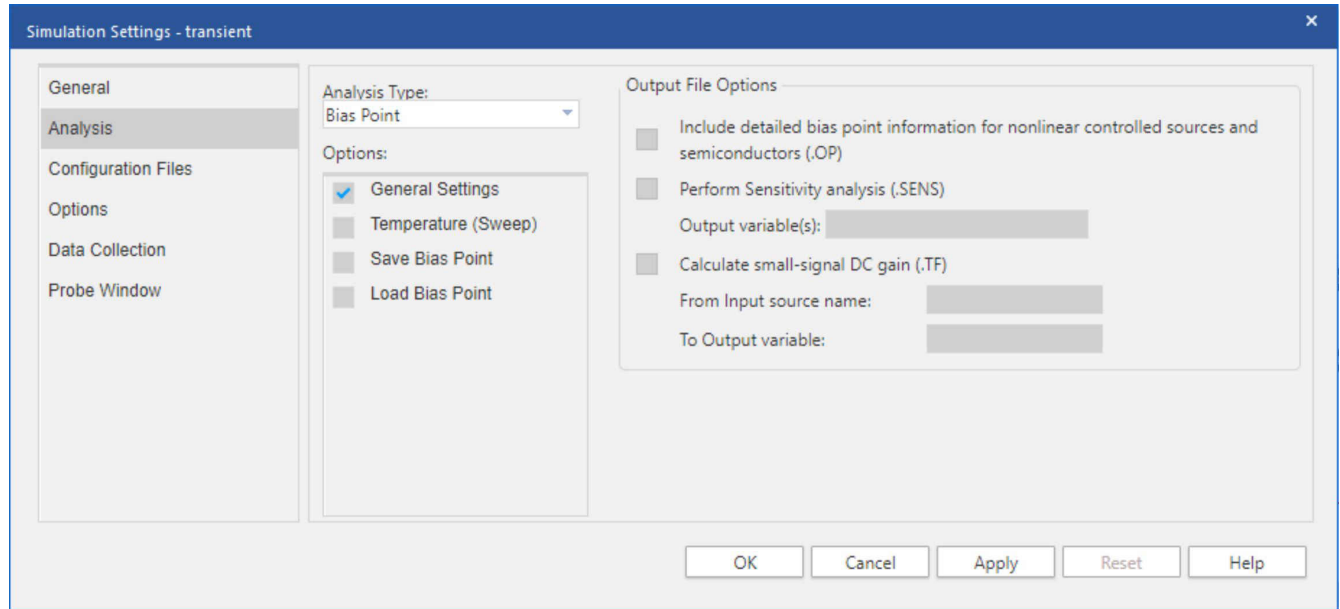


图 4-5. 偏置点分析仿真配置文件

如果偏置点分析不收敛，则必须执行瞬态分析，以便在给定所包含特定运算放大器的情况下确定 V_{oa} 的稳态输出值。关闭 PSpice for TI 仿真窗口，然后参阅下一节 节 4.4 来了解有关如何继续的说明。如果偏置点分析收敛，请关闭 PSpice for TI 仿真窗口。使用 PSpice for TI 原理图捕获窗口左上角的菜单，转到“PSpice”→“Bias Points”，并启用偏置电压显示。偏置电压应如图 4-6 所示。

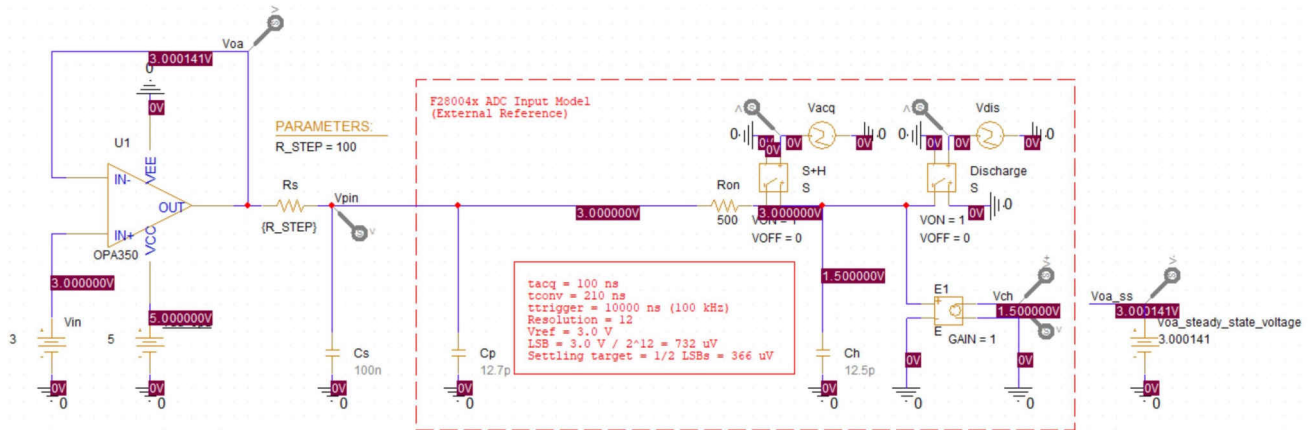


图 4-6. 偏置点分析结果

所包含特定运算放大器输出端节点的偏置电压是 V_{oa} 的稳态输出值。对于此电路中的 OPA350，该过程可得出：

- $V_{oa} = 3.000141V$

将该值复制到 V_{oa_ss} 电压源，如图 4-7 所示。

CAUTION

确保 V_{oa} 的稳态输出值精确到微伏（小数点后至少有六位数字）。有关如何优化仿真结果的指导，请参阅 节 4.2。

由于在给定所包含特定运算放大器的情况下， V_{oa} 的稳态输出值已知，因此跳过下一节（节 4.4），并参阅节 4.5 了解有关如何继续的说明。

备注

请注意，本应用报告的其余部分假设偏置点分析收敛。如果偏置点分析不收敛，则任何瞬态分析都必须跳过初始偏置点计算。但是，如果偏置点分析收敛，则任何瞬态分析都不应跳过初始偏置点计算。因此，本应用报告中分析的后续瞬态没有跳过初始偏置点计算。

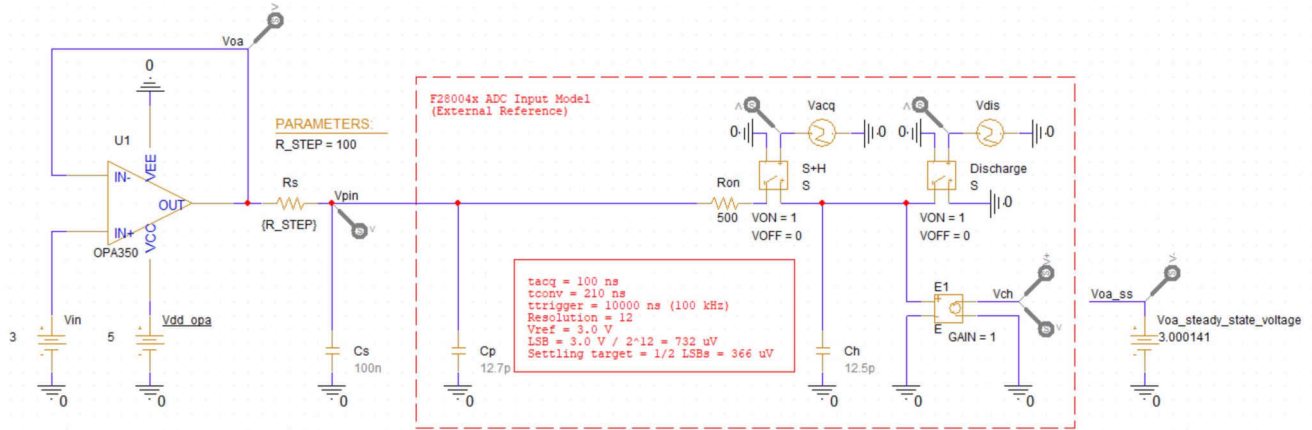


图 4-7. 节点分析示例

偏置点分析也可用于确定分压器的预期输出电压。向分压器施加直流输入电压，并将节点输出电压复制到 V_{oa_ss} 。

4.4 确定 V_{oa_ss} 的瞬态分析

电荷共享建立输入设计并不总是包含运算放大器，但当相关信号链包含运算放大器时，必须采取措施来考虑在 PSpice for TI 模型中建模的直流电压误差。这确保仿真仅测量建立性能。为了实现该目的，有必要确定在给定的包含特定运算放大器的情况下 V_{oa} 的稳态输出值。然后，必须将该值复制到 V_{oa_ss} 电压源。

执行瞬态分析，以确定在给定的包含特定运算放大器的情况下 V_{oa} 的稳态输出值。在进行瞬态分析之前，先断开 R_{on} 左端与电路的连接，并将该端接地。请注意，运算放大器的输出端已经连接了电压电平标记。修改后的电路如图 4-8 所示。

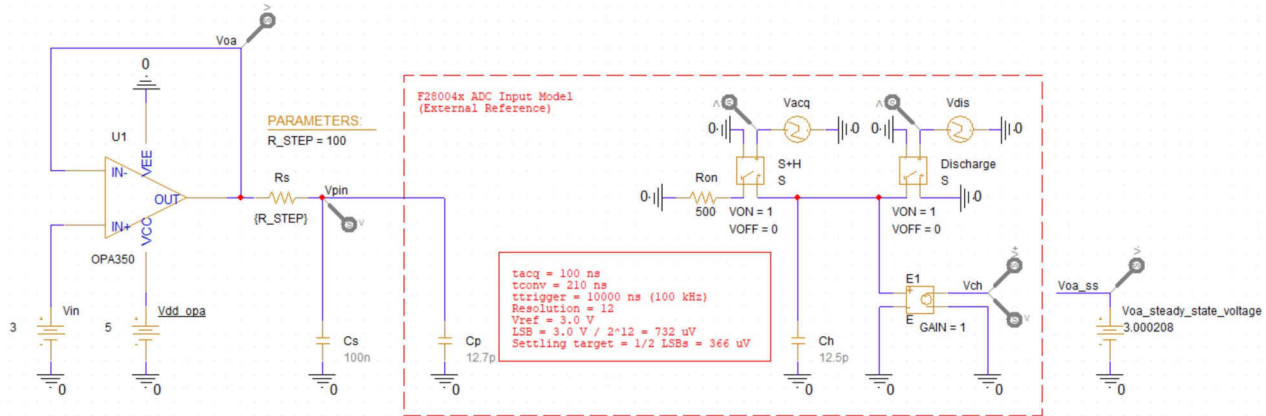


图 4-8. 瞬态分析电路

在 PSpice for TI 中执行瞬态分析需要创建时域（瞬态）仿真配置文件。创建仿真配置文件后，请转到“PSpice” → “Run”以执行分析。使用图 4-9 中所示的仿真配置文件执行瞬态分析。

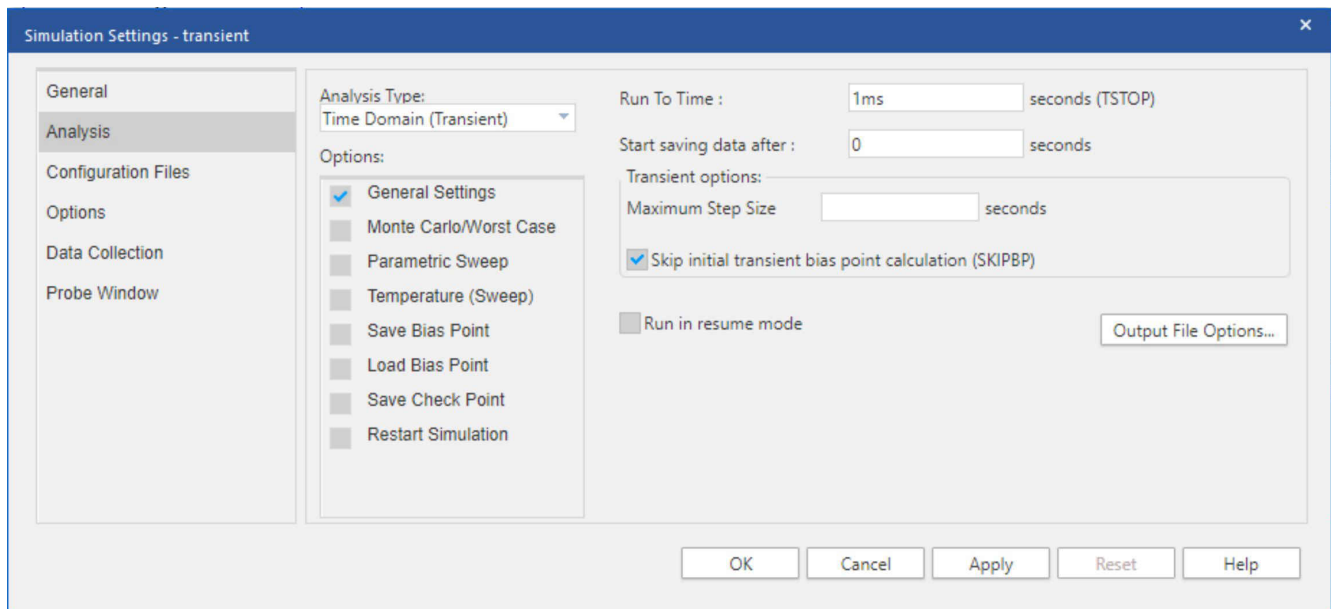


图 4-9. 瞬态分析仿真配置文件

删除 V_{oa} 以外的所有输出，并将 V_{oa} 范围设置为 +2.95V 至 +3.05V。或者，使用 PSpice for TI 仿真窗口左上角的菜单转到“Window” → “Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Steady-State Analysis”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。然后使用探头光标测量 V_{oa} 的稳态输出值，如图 4-10 所示。

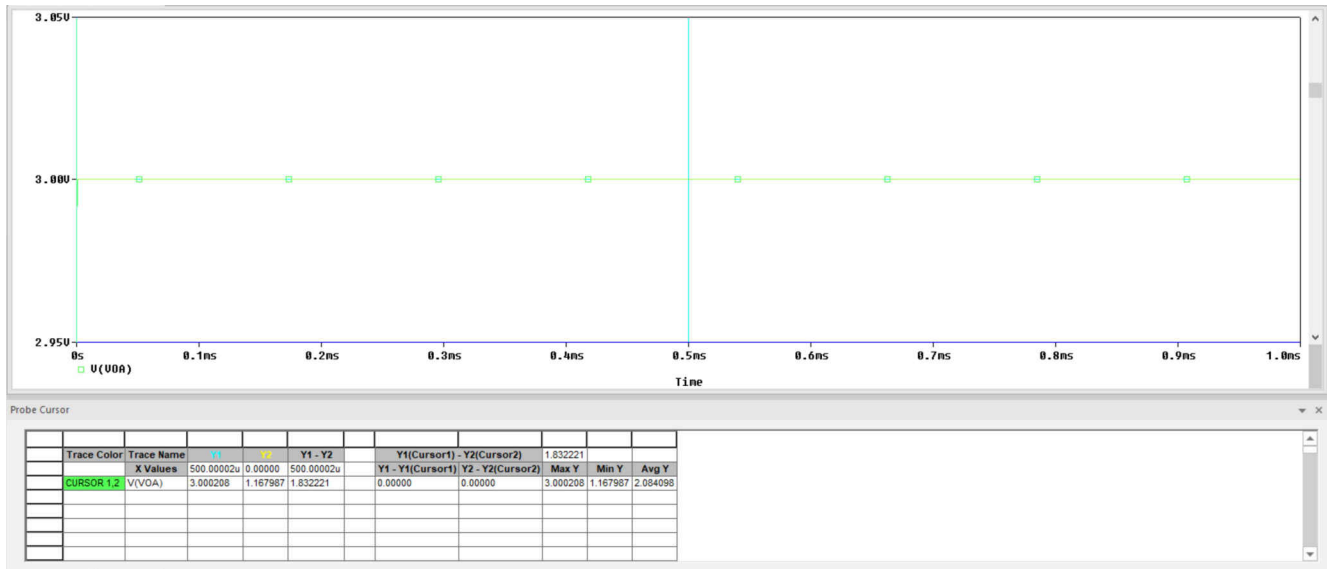


图 4-10. 瞬态分析结果

对于此电路中的 OPA350，该过程可得出：

- $V_{oa} = 3.000208V$

将该值复制到 V_{oa_ss} 电压源，如图 4-11 所示。进行瞬态分析之后，将 R_{on} 的左端与接地端分离，然后将该端重新连接到电路。

CAUTION

确保 V_{oa} 的稳态输出值精确到微伏（小数点后至少有六位数字）。如有必要，请参阅节 4.2。

现在 V_{oa} 的稳态输出值已给定，那么所包含的特定运算放大器也是已知的。有关如何继续的说明，请参阅节 4.5。

备注

请注意，本应用报告的其余部分假设偏置点分析收敛。如果偏置点分析收敛，则任何瞬态分析都不应跳过初始偏置点计算。因此，本应用报告中分析的后续瞬态没有跳过初始偏置点计算。如果偏置点分析不收敛，则任何瞬态分析都必须跳过初始偏置点计算。因此，后续瞬态分析必须跳过初始偏置点计算。出于这一原因，获得的结果可能与本应用报告中提供的结果不同。

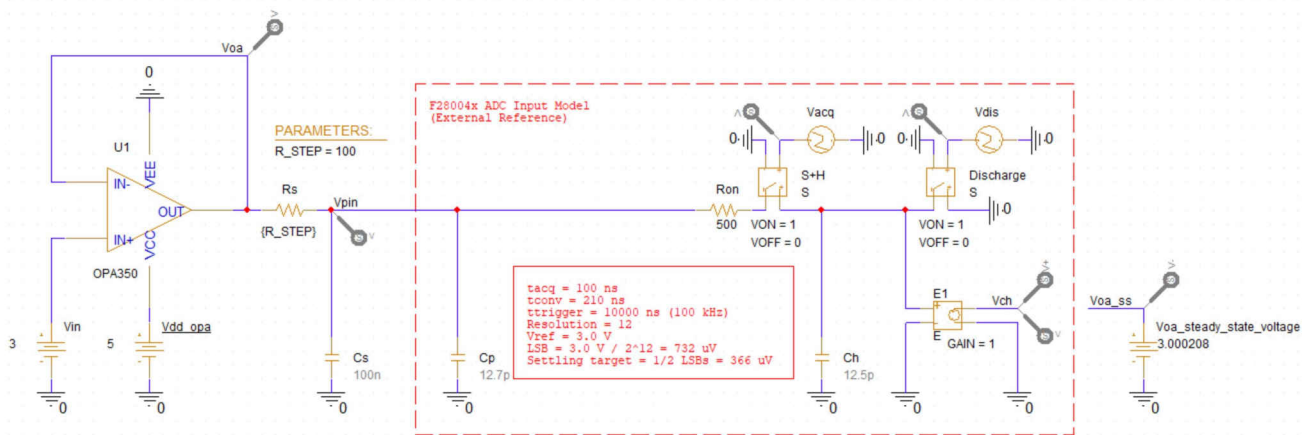


图 4-11. 节点分析示例

瞬态分析也可用于确定分压器的预期输出电压。然而，偏置点分析更合适。在任一种情况下，将直流输入电压施加到分压器并将节点输出电压复制到 V_{oa_ss} 。

4.5 测量建立误差

在 PSpice for TI 中构建电路，测量稳态电压（如果适用）并配置采样率后，测量建立误差相对比较简单。这可以通过在足够多的周期内运行瞬态分析以确保系统达到稳定状态来实现。大约 30 个采样周期是一个很好的起点。

在 PSpice for TI 中执行瞬态分析需要创建时域（瞬态）仿真配置文件。创建仿真配置文件后，请转到“PSpice” → “Run”以执行分析。图 4-12 中显示了时域（瞬态）仿真配置文件示例。

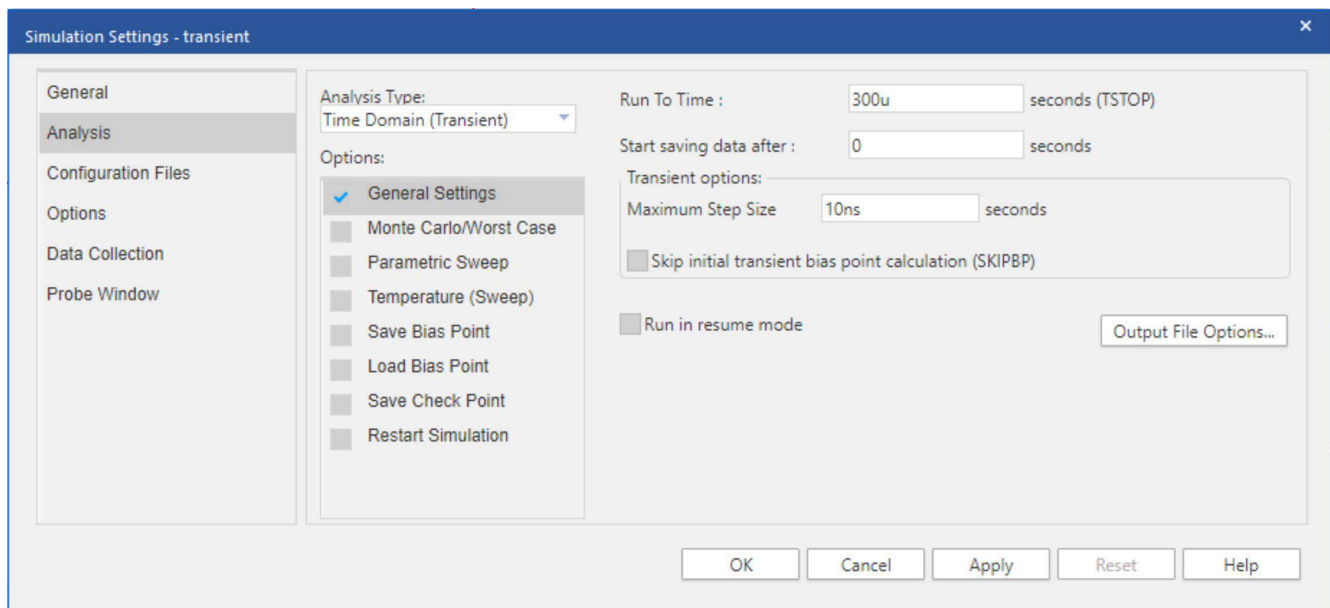


图 4-12. 建立误差仿真配置文件

图 4-13 显示了该应用于图 4-7 中的示例电路的瞬态仿真配置文件，此示例电路具有 100nF C_S 、100 Ω R_S 和 100kHz 采样率。仿真后，除 V_{error} 和 V_{pin} 外的所有输出都被删除。其余的输出波形被分成几个不同的图。 V_{error} 范围设置为 -4V 至 0V。 V_{pin} 范围设置为 +2.999V 到 +3V。重现这些显示设置的最简单方法是使用 PSpice for TI 仿真窗口左上方的菜单转到“Window”→“Display Control...”来访问 TI 提供的预设显示配置列表。恢复建立误差显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。

要测量总建立误差，请将游标置于 V_{error} 迹线上 S+H 窗口以外的任意一点。该仿真显示该方法的建立误差约为 590 μ V (黄色光标)。或者，也可以测量 V_{pin} 的最小值。该方法显示了大约 $3V - 2.999410V = 590\mu V$ 的建立误差 (蓝色光标)。

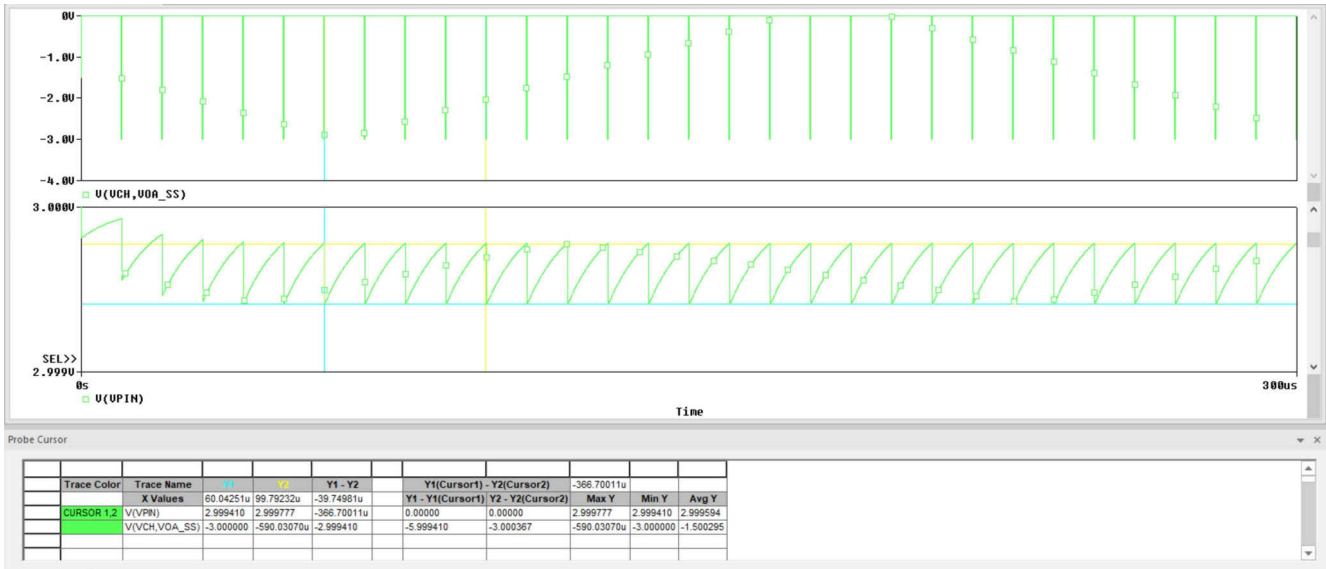


图 4-13. 建立误差测量

此外，可以分别测量电荷共享误差和跟踪误差。图 4-14 显示了将仿真缩小至 20 个周期并删除 V_{error} 迹线的结果。3V 与稳态下 V_{pin} 的最大值之间的差值是近似的跟踪误差。在本例中，跟踪误差为 $3V - 2.999782V = 218\mu V$ (蓝色光标)。同样，电荷共享误差是跟踪误差点与稳态下最小引脚电压之间的差值。在这种情况下，电荷共享误差为 $2.999782V - 2.999409V = 373\mu V$ (蓝色光标减去黄色光标)。

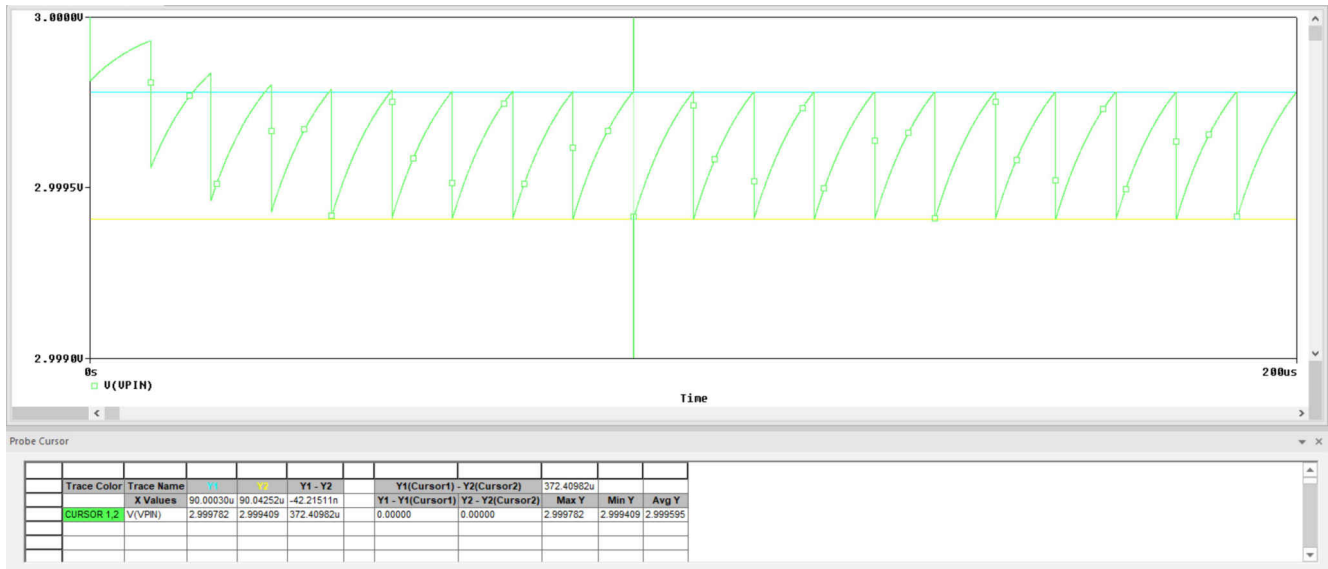


图 4-14. 建立误差分量测量

4.6 扫描源电阻

有时对一系列 R_s 值运行仿真可能会有所帮助。为此，请创建图 4-15 所示的瞬态仿真配置文件。然后启用“Parametric Sweep”选项。在“Parametric Sweep”设置中，选择全局参数 R_STEP 作为扫描变量。然后选择起始值为 250Ω 、结束值为 750Ω 、增量为 250Ω 的线性扫描类型，如图 4-16 所示。

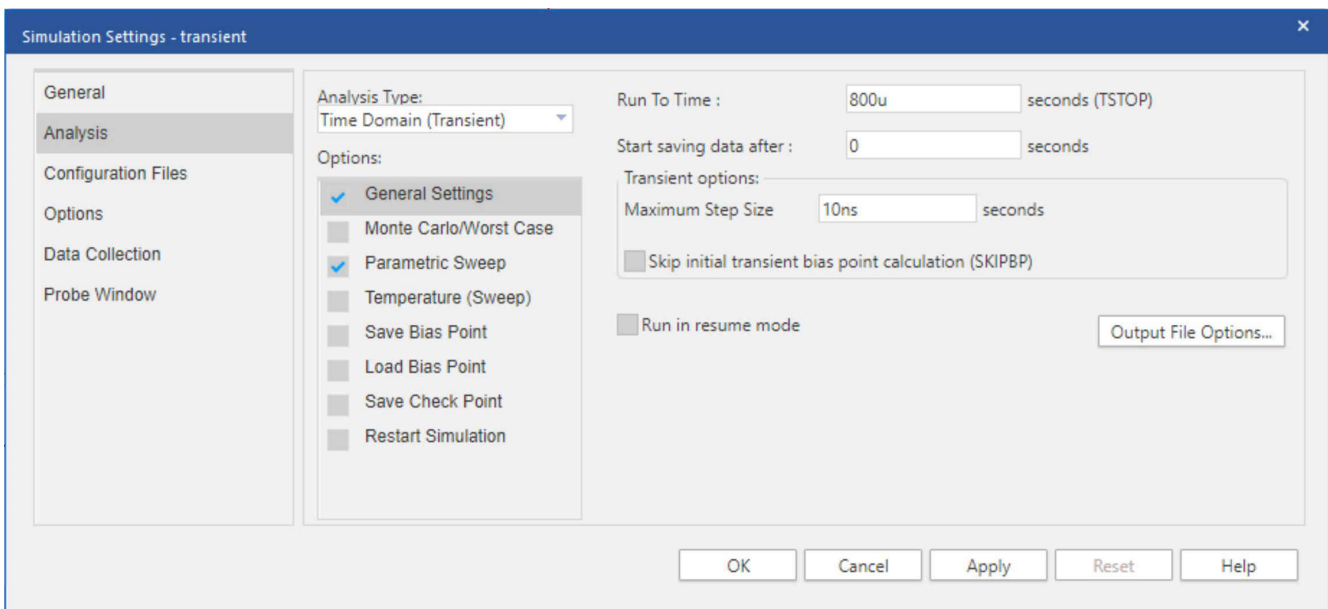


图 4-15. 瞬态分析仿真配置文件常规设置

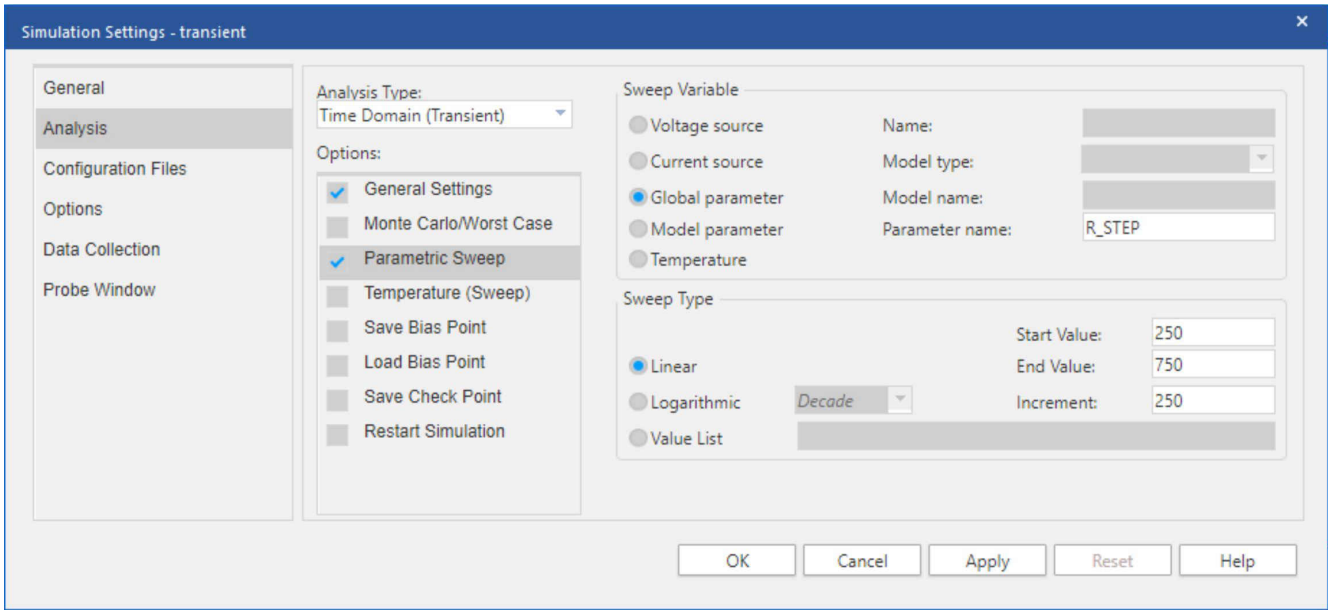


图 4-16. 瞬态分析仿真配置文件参数扫描

配置“Parametric Sweep”选项后，可以照常运行瞬态分析。仿真现在将为扫描中的每个电阻值生成输出波形。仿真后，删除 V_{pin} 以外的所有输出，并将 V_{pin} 范围设置为 +2.995V 至 +3V。或者，使用 PSpice for TI 仿真窗口左上方的菜单转到“Window”→“Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Sweep Results”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。图 4-17 显示了使用 250 Ω 、500 Ω 和 750 Ω 源电阻值的 100kHz 采样仿真结果。建议通过按图 4-17 所示放置探头光标，来同时查看所有输出曲线的结果。

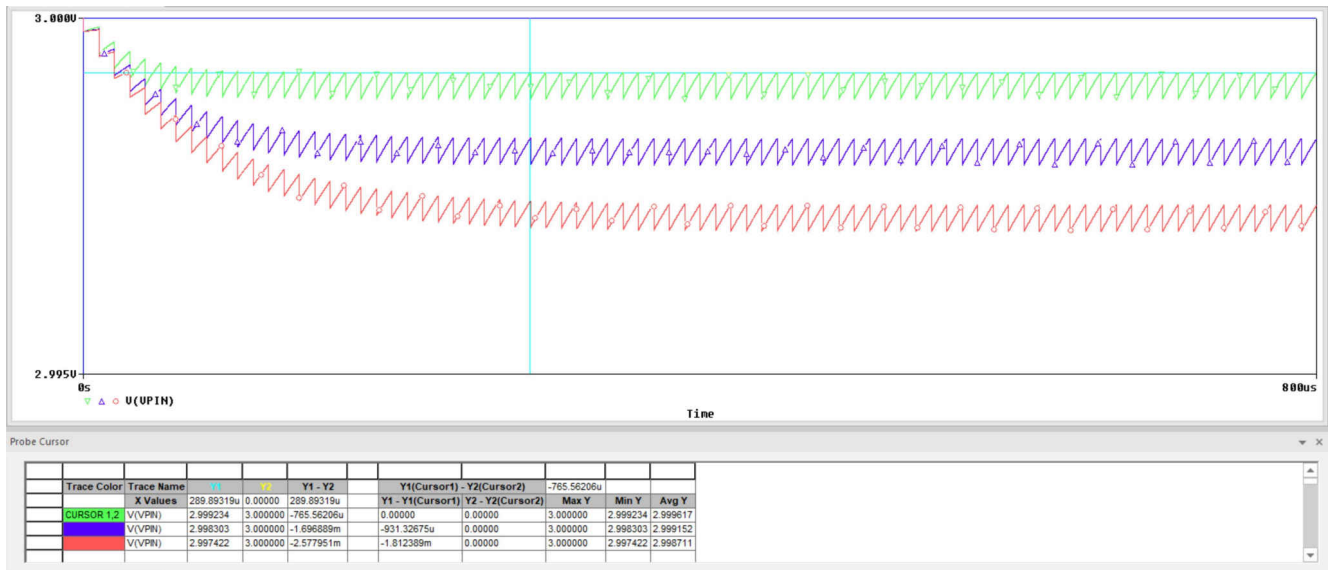


图 4-17. 源阻抗扫描结果

5 电路设计示例

以下各节将分析和仿真方法应用于一系列示例。

5.1 示例 1：确定最大采样率

在该示例中，具有已知输出阻抗 $500\ \Omega$ 的传感器将连接到 F28004x 器件的 12 位 ADC，不使用运算放大器（如果可能）。该 ADC 采用 3.0V 外部基准电压。将使用分析和仿真来确定应该对传感器使用的最大采样率。需要 12+1 位的完全建立性能，信号带宽较低（假设为 500Hz）。

5.1.1 示例 1：分析

根据特定于器件的数据手册，确定 F28004x ADC 的 C_H 值为 12.5pF。假设 C_p 可以忽略不计。因此可以相应地确定 C_s 容值：

$$C_s = (2^{N+2} \cdot C_H) - C_p = (2^{12+2} \cdot 12.5\text{pF}) - 0\text{pF} = 205\text{nF} \quad (14)$$

然后将其四舍五入至 $C_s = 220\text{nF}$ 。然后使用 [方程式 15](#) 计算最大采样率：

$$f_{s\max} = 1 / (0.7 \cdot R_s \cdot C_s) = 1 / (0.7 \cdot 500\ \Omega \cdot 220\text{nF}) = 13\text{kHz} \quad (15)$$

最后，外部低通滤波器带宽为：

$$BW_{R_s C_s} = 1 / (2 \pi \cdot C_s \cdot R_s) = 1 / (2 \pi \cdot 220\text{nF} \cdot 500\ \Omega) = 1.4\text{kHz} \quad (16)$$

5.1.2 示例 1：仿真

[图 5-1](#) 显示了要仿真的电路。由于没有运算放大器，因此无需进行稳态分析。瞬态分析（对应仿真配置文件如 [图 5-2](#) 所示）在 3ms 内完成，如 [图 5-3](#) 所示，测得的总建立时间为 $3\text{V} - 2.999662\text{V} = 338\mu\text{V}$ ，低于 $3\text{V}/2^{12+1} = 366\mu\text{V}$ 的目标建立误差。

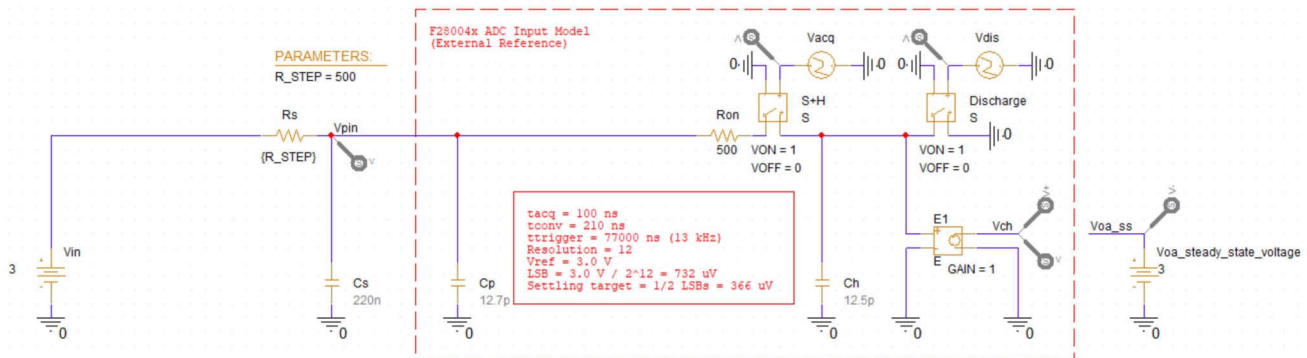


图 5-1. 示例 1：仿真电路

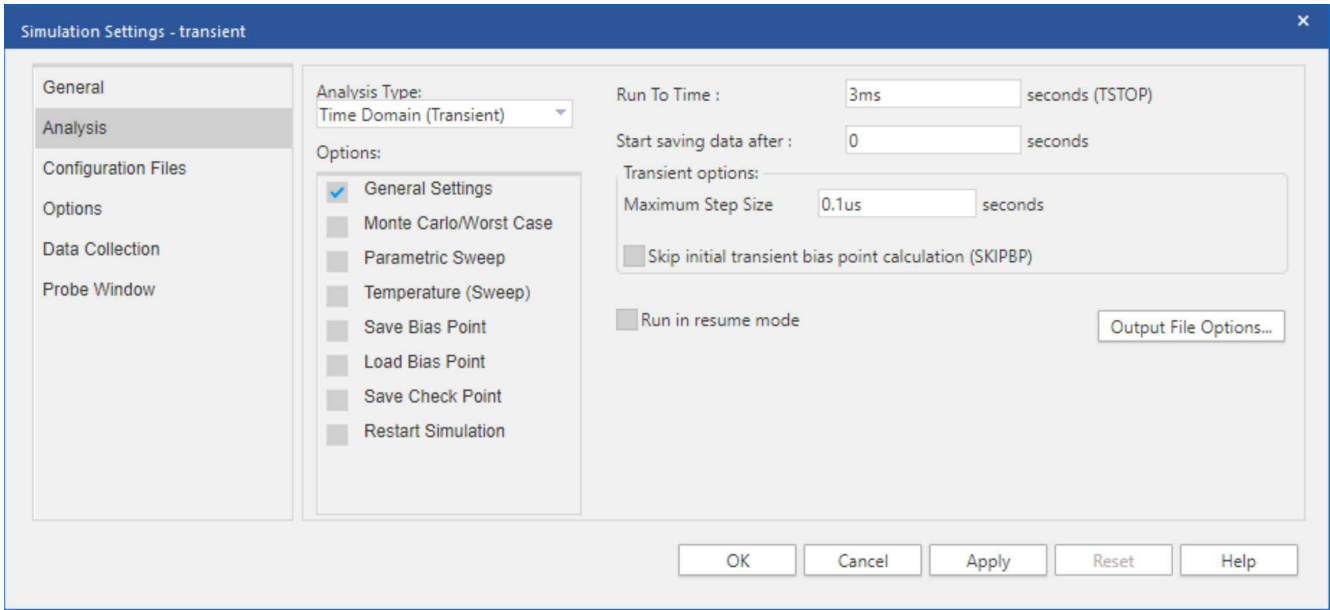


图 5-2. 示例 1 : 仿真配置文件

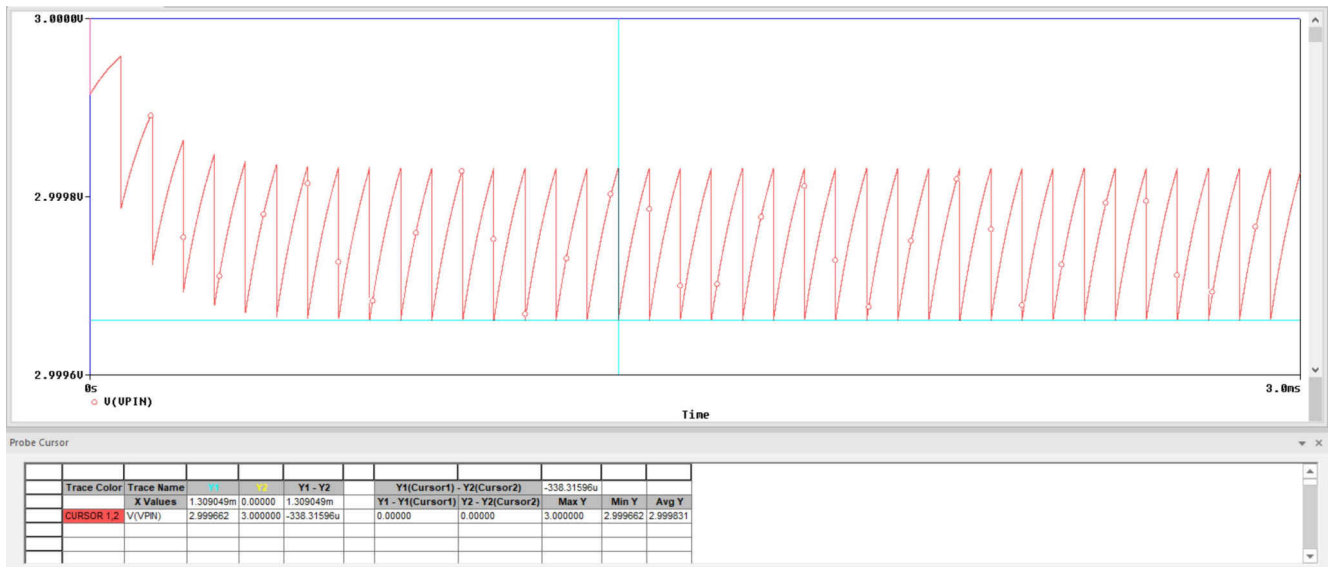


图 5-3. 示例 1 : 仿真结果

5.1.3 示例 1 : 工作表

表 5-1. 示例 1 : ADC 电荷共享设计工作表

符号	说明	值	说明
N	目标建立分辨率 (位)	12	通常与 ADC 的分辨率相同。 可以采用较低的目标分辨率来降低输入设计要求
V _{fs}	满量程电压范围	3.0V	在外部基准模式下, 这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下, 这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
V _{errmax}	最大误差目标	366μV	$V_{fs}/2^{N+1}$ 可以进一步分为两个分量: 电荷共享误差和跟踪误差, 每个分量为 $V_{errmax}/2$
t _{sh}	S+H 时间	80ns	只要 C _s 容值适合电荷共享, 就可以使用 ADC 数据手册中的最小值。
C _h	ADC S+H 电容	12.5pF	在数据手册表“输入模型参数”中提供
C _p	ADC 引脚寄生电容	0pF (假设可忽略不计)	在数据手册表“每通道寄生电容”中提供
C _s	源电容	220nF	至少为 $(2^{N+2} \cdot C_H) - C_p$
R _s	源电阻	500Ω	驱动 ADC 的源的输出电阻。也可以有意选择。
f _s	采样率	不适用	目标通道上的采样率。通常是应用的一项要求。
BW _s	源信号所需的带宽。	500Hz	源信号所需的带宽。
R _{smax}	允许的最大源电阻	不适用	如果 f _s 已知, 则计算为 $1/(0.7 \cdot f_s \cdot C_s)$, 然后确保 $R_s < R_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
f _{smax}	允许的最大采样频率	13 kHz	如果 R _s 已知, 则计算为 $1/(0.7 \cdot R_s \cdot C_s)$, 然后确保 $f_s < f_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
BW _{RsCs}	来自 C _s 和 R _s 的滤波器带宽	1.4kHz	$1/(2 \pi \cdot C_s \cdot R_s)$ 确保 $BW_{RsCs} > BW_s$, 否则需要进行额外的设计迭代。
V _{oa_ss}	稳态运算放大器输出电压	3.0V	如果未使用运算放大器, 则设置 $V_{oa_ss} = V_{fs}$ 。 否则, 这可以通过 V _{oa} 节点的直流节点分析生成。复制到 V _{oa_ss} , 然后再继续进行其他仿真。
BWOPA	ADC 驱动器运算放大器最小带宽	不适用	如果需要运算放大器, 则带宽应至少为 BW _{RsCs} 的 4 倍
运算放大器	选择的运算放大器器件型号	不适用	在此处记录所选的运算放大器 (如果需要)。
V _{err}	仿真产生的实际建立误差	338μV	确保 $V_{err} < V_{errmax}$ 否则, 需要进行额外的设计迭代

5.2 示例 2 : 添加运算放大器

在本例中, 考虑与节 5.1 类似的情况。具有已知输出阻抗 500Ω 的传感器将连接到 F28004x 器件的 12 位 ADC。不过, 这一次假设传感器带宽高得多: 10kHz, 并且系统使用 24ksps 的固定采样率。该 ADC 采用 3.0V 外部基准, 仍需要 12+1 位的完全建立性能。

5.2.1 示例 2 : 分析

示例 1 确定 500Ω 源电阻的最大采样率为 13ksps。由于该示例中添加了 24ksps 采样要求, 因此需要进行一些更改。一种可能是放宽建立性能 (请参阅节 5.3), 但该示例使用运算放大器隔离源电阻。

C_s 保持 220nF, 然后可以使用方程式 17 计算最大 R_s :

$$R_{smax} = 1 / (0.7 \cdot f_s \cdot C_s) = 0.7 / (0.7 \cdot 24kHz \cdot 220nF) = 270 \Omega \quad (17)$$

由于运算放大器隔离了 500Ω 的原始源电阻, 因此可以选择 R_s 为小于 270Ω 的任何值。由于信号具有 10kHz 带宽, 因此应选择 R_s 不超过 68Ω, 因为这提供的带宽刚好超过 10kHz 的信号带宽:

$$BW_{RsCs} = 1 / (2 \pi \cdot C_s \cdot R_s) = 1 / (2 \pi \cdot 220nF \cdot 68 \Omega) = 10.6kHz \quad (18)$$

R_s 也可选择为 $56\ \Omega$ ，因为该标准电阻值提供的滤波器带宽刚好超过 12kHz ，从而产生用于 24kHz 采样的抗混叠滤波器。

在选择运算放大器时，选择的带宽应至少是 BW_{RsCs} 的 4 倍。在这种情况下，所需的带宽至少为 40kHz ，该要求很容易得到满足。之所以选择 TLV07，是因为此器件可以为该应用实现低成本、低噪声、低 V_{os} 和充足的带宽。

5.2.2 示例 2：仿真

由于此输入设计包含运算放大器，因此第一步是执行瞬态分析以确定运算放大器的稳态输出电压。请注意，本应用报告执行瞬态分析，因为偏置点分析不收敛。电压确定为 2.999995V 。图 5-4 显示了完整的仿真电路（其中包含 $V_{oa_ss} = 2.999995\text{V}$ ）。图 5-5 显示了仿真配置文件。

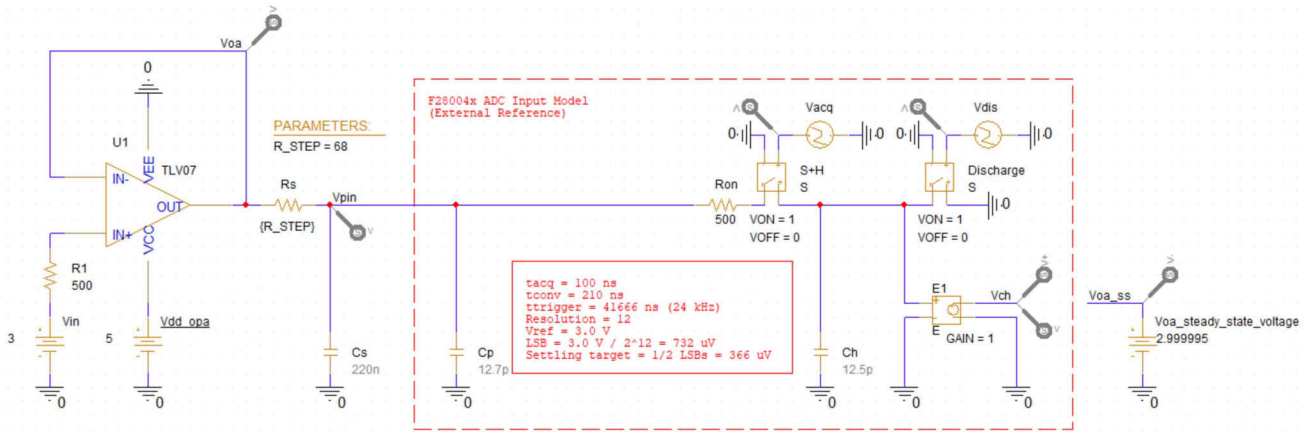


图 5-4. 示例 2：仿真电路

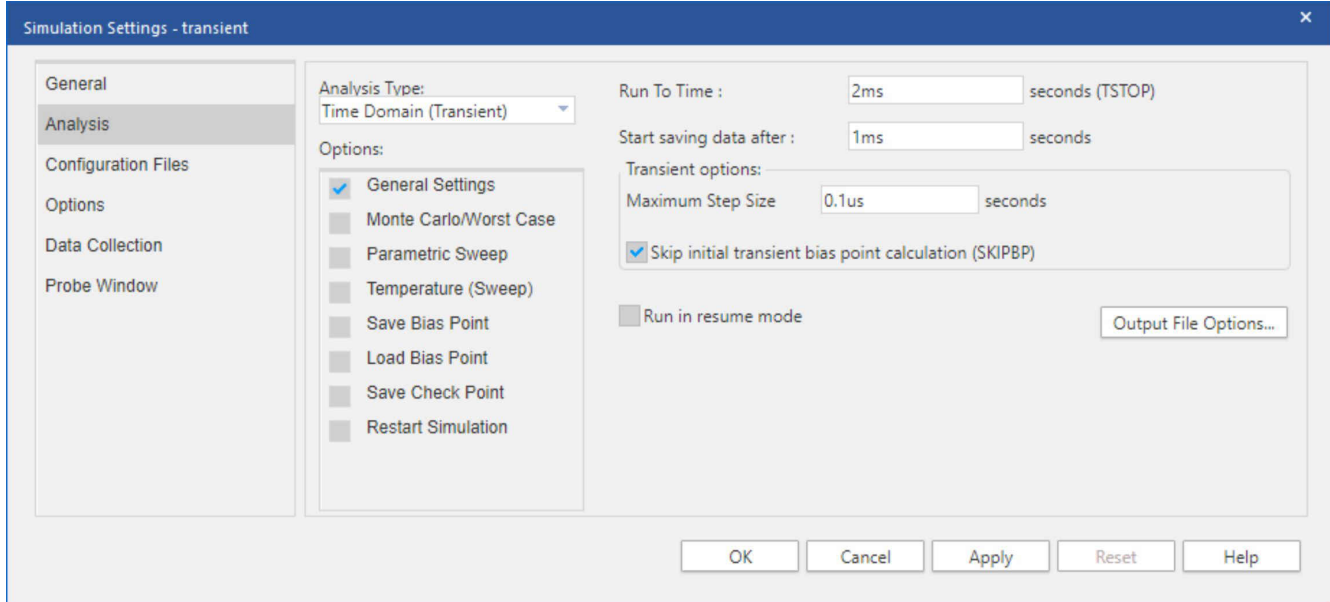


图 5-5. 示例 2：仿真配置文件

在 1ms 至 2ms 的时间内运行瞬态分析可得出图 5-6 中所示的结果。总体建立误差约为 $2.999995\text{V} - 2.999813\text{V} = 182\mu\text{V}$ 。这完全处于 $366\mu\text{V}$ 的建立误差目标范围内。

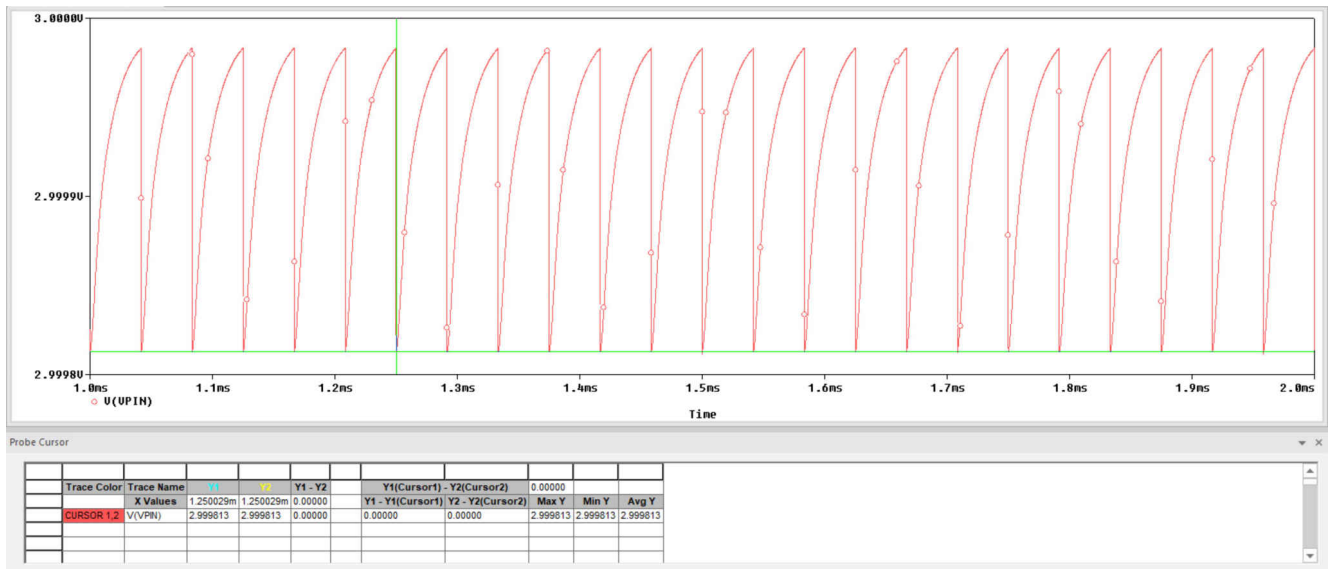


图 5-6. 示例 2：仿真结果

由于运算放大器驱动大容性负载，因此运行相位裕度仿真以确保驱动运算放大器稳定也是一种良好的做法。图 5-7 提供了相关的电路设置，图 5-8 提供了仿真配置文件，而图 5-9 提供了结果。测得的相位裕度为 65° 。由于这大于 45° ，因此可以假定电路是建立的。有关如何运行稳定性仿真的更多信息，请参阅 TI 高精度实验室视频系列：[TI 高精度实验室 - 运算放大器：稳定性](#)。请注意，虽然该视频系列从概念上介绍了如何执行这些仿真，但该视频系列不提供有关如何使用 PSpice for TI 执行这些仿真的明确说明。使用 PSpice for TI 进一步探索这些仿真超出了本应用报告的范围。

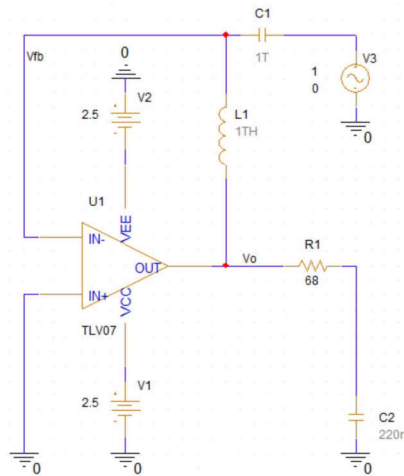


图 5-7. 示例 2：稳定性仿真电路

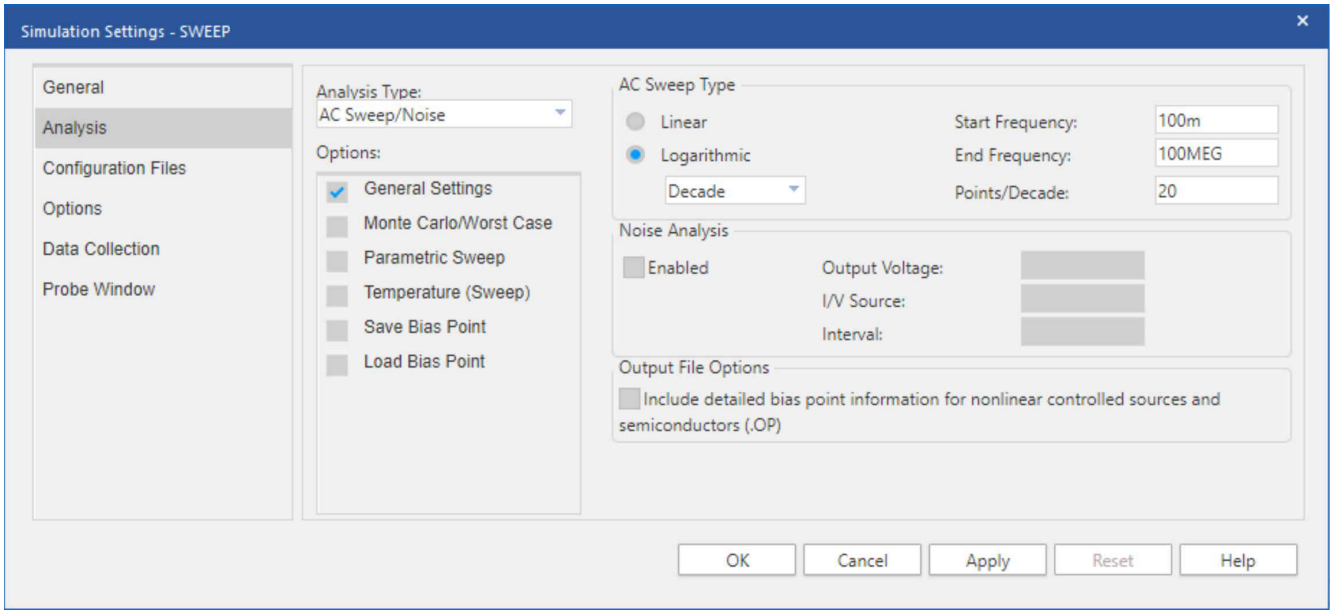


图 5-8. 示例 2 : 稳定性仿真配置文件

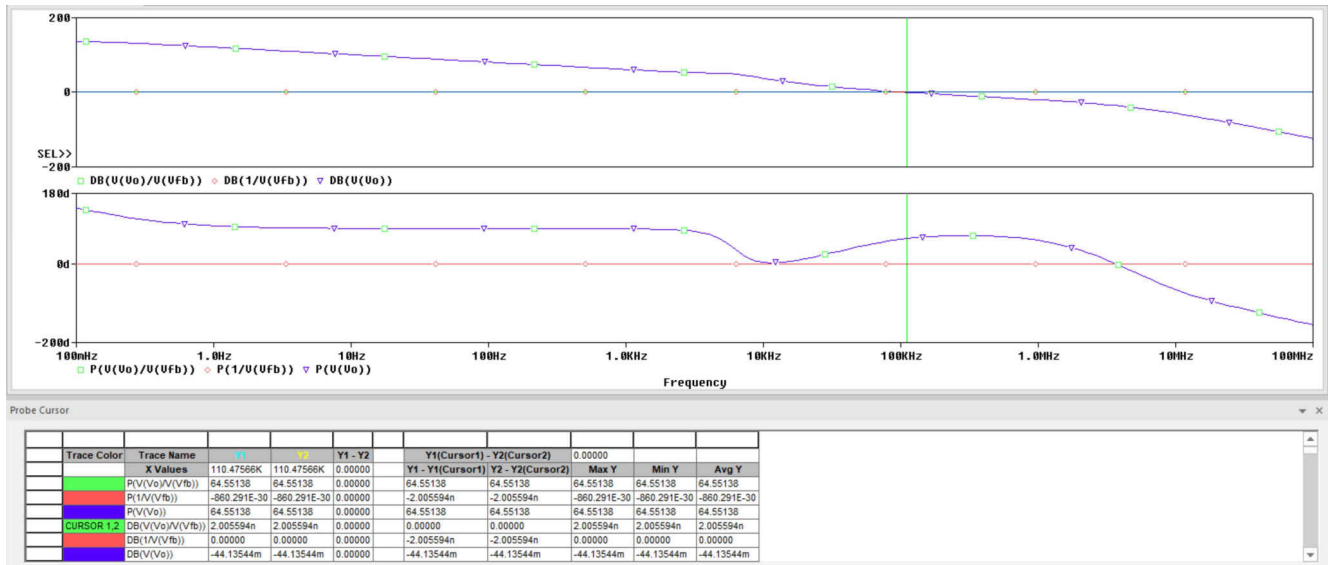


图 5-9. 示例 2 : 稳定性仿真结果

5.2.3 示例 2 : 工作表

表 5-2. 示例 2 : ADC 电荷共享设计工作表

符号	说明	值	说明
N	目标建立分辨率 (位)	12	通常与 ADC 的分辨率相同。 可以采用较低的目标分辨率来降低输入设计要求
V _{fs}	满量程电压范围	3.0V	在外部基准模式下, 这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下, 这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
V _{errmax}	最大误差目标	366μV	$V_{fs}/2^{N+1}$ 可以进一步分为两个分量: 电荷共享误差和跟踪误差, 每个分量为 $V_{errmax}/2$
t _{sh}	S+H 时间	80ns	只要 C _s 容值适合电荷共享, 就可以使用 ADC 数据手册中的最小值。
C _h	ADC S+H 电容	12.5pF	在数据手册表“输入模型参数”中提供

表 5-2. 示例 2 : ADC 电荷共享设计工作表 (continued)

符号	说明	值	说明
C_p	ADC 引脚寄生电容	0pF (假设可忽略不计)	在数据手册表“每通道寄生电容”中提供
C_s	源电容	220nF	至少为 $(2^{N+2} \cdot C_H) - C_p$
R_s	源电阻	68 Ω	驱动 ADC 的源的输出电阻。也可以有意选择。
f_s	采样率	24 ksp/s	目标通道上的采样率。通常是应用的一项要求。
BW_s	源信号所需的带宽。	10kHz	源信号所需的带宽。
R_{smax}	允许的最大源电阻	270 Ω	如果 f_s 已知, 则计算为 $1/(0.7 \cdot f_s \cdot C_s)$, 然后确保 $R_s < R_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
f_{smax}	允许的最大采样频率	不适用	如果 R_s 已知, 则计算为 $1/(0.7 \cdot R_s \cdot C_s)$, 然后确保 $f_s < f_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
BW_{RsCs}	来自 C_s 和 R_s 的滤波器带宽	10.6 kHz	$1/(2 \pi \cdot C_s \cdot R_s)$ 确保 $BW_{RsCs} > BW_s$, 否则需要进行额外的设计迭代。
V_{oa_ss}	稳态运算放大器输出电压	2.999997 V	如果未使用运算放大器, 则设置 $V_{oa_ss} = V_{fs}$ 。否则, 这可以通过 V_{oa} 节点的直流节点分析生成。复制到 V_{oa_ss} , 然后再继续进行其他仿真。
BW_{OPA}	ADC 驱动器运算放大器最小带宽	40kHz	如果需要运算放大器, 则带宽应至少为 BW_{RsCs} 的 4 倍
运算放大器	选择的运算放大器器件型号	TLV07	在此处记录所选的运算放大器 (如果需要)。
V_{err}	仿真产生的实际建立误差	183 μ V	确保 $V_{err} < V_{errmax}$ 否则, 需要进行额外的设计迭代

5.3 示例 3 : 更低的建立目标

在该示例中, 考虑一个具有 96ksp/s 的固定采样率的系统。一组模拟温度传感器 (尚未选择) 将连接到 F28004x 器件的 12 位 ADC。该 ADC 采用 3.0V 外部基准电压。将使用分析和仿真来确定使用电荷共享直接连接时传感器应显示的最大源电阻。这些传感器仅需要 8 位的建立性能 (约 0.4%)。将使用分析和仿真来确定这组传感器可支持的最大源电阻。

5.3.1 示例 3 : 分析

可以在特定于器件数据手册中找到 F28004x ADC 的 C_H 值为 12.5pF。假设 C_p 可以忽略不计。因此可以设置 C_s 容值, 假设建立性能会下降:

$$C_s = (2^{N+2} \cdot C_H) - C_p = (2^{8+1} \cdot 12.5\text{pF}) - 0\text{pF} = 6.4\text{nF} \quad (19)$$

然后将其四舍五入至 $C_s = 6.8\text{nF}$ 。然后可以使用 [方程式 20](#) 来计算最大源电阻:

$$R_{smax} = 1 / (0.7 \cdot f_s \cdot C_s) = 1 / (0.7 \cdot 96\text{ksp/s} \cdot 6.8\text{nF}) = 2188 \Omega \quad (20)$$

如果温度传感器的输出阻抗约为 2.2k Ω 或更低, 则应该可以使用电荷共享电容器将其直接连接到 ADC。

外部低通滤波器带宽 (假设具有最大源电阻) 为:

$$BW_{RsCs} = 1 / (2 \pi \cdot C_s \cdot R_s) = 1 / (2 \pi \cdot 6.8\text{nF} \cdot 2188 \Omega) = 10.7\text{kHz} \quad (21)$$

这对于温度传感器而言应该足够了。此外, 如果所选温度传感器的输出电阻低于 2.2k Ω , 则可以有意添加串联电阻以降低滤波器带宽 (用于噪声抑制目的)。或者, 也可以增加 C_s , 这具有提供更佳的电荷共享建立性能且无需添加额外元件的优势。

5.3.2 示例 3 : 仿真

仿真是使用最坏情况源阻抗设置的，如图 5-10 所示。然后运行 500 μ s 至 750 μ s 的瞬态分析（对应仿真配置文件如图 5-11 所示），得到如图 5-12 所示的测量波形。最终测得的建立误差为 $3V - 2.989125V = 10.9mV = 14.8LSB =$ 满量程范围的 0.36%。这处于 0.4% 的建立误差目标范围内。

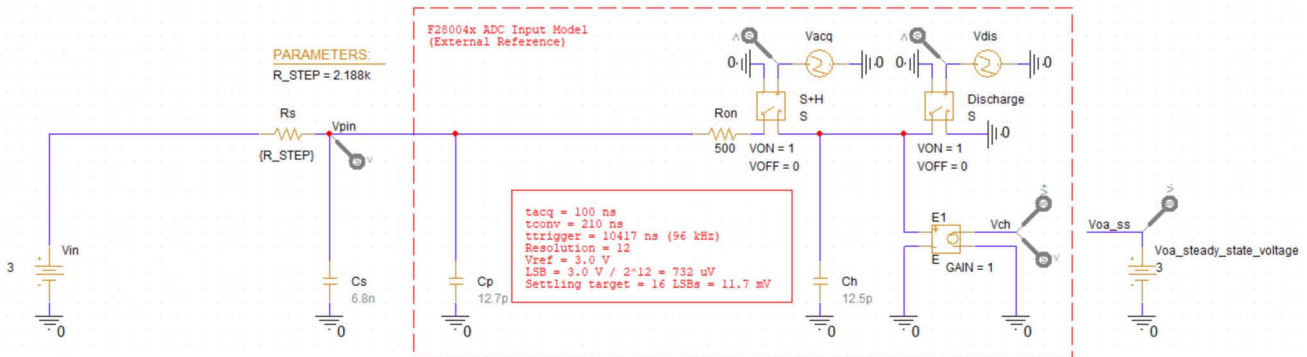


图 5-10. 示例 3 : 仿真电路

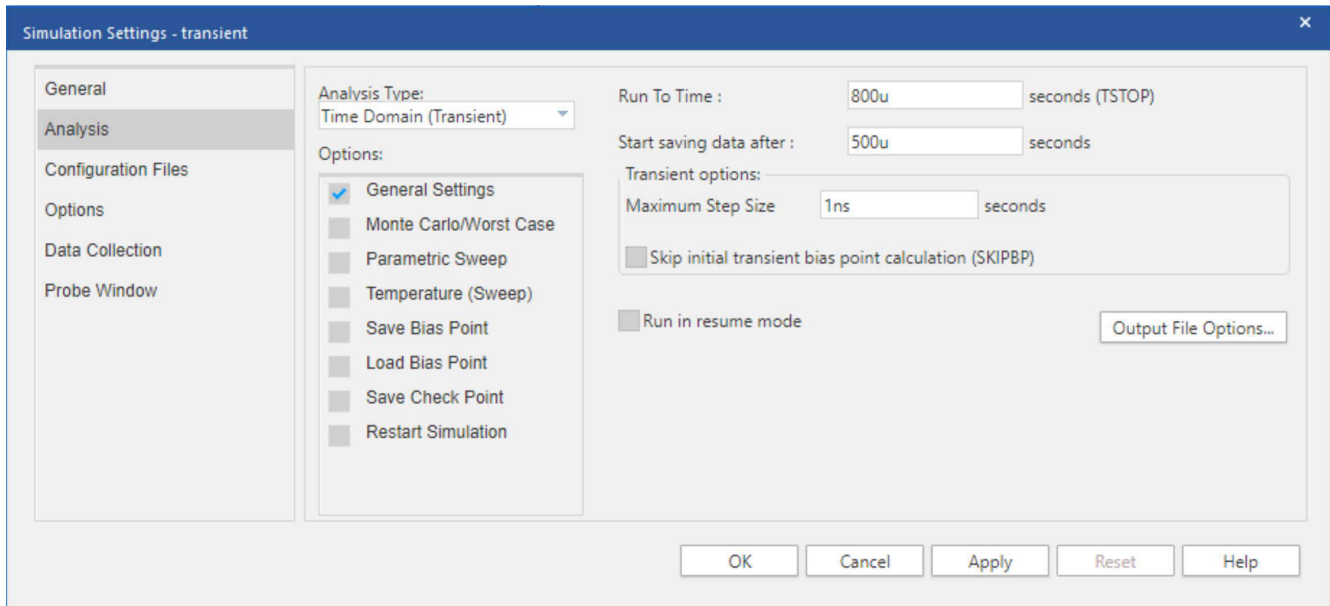


图 5-11. 示例 3 : 仿真配置文件

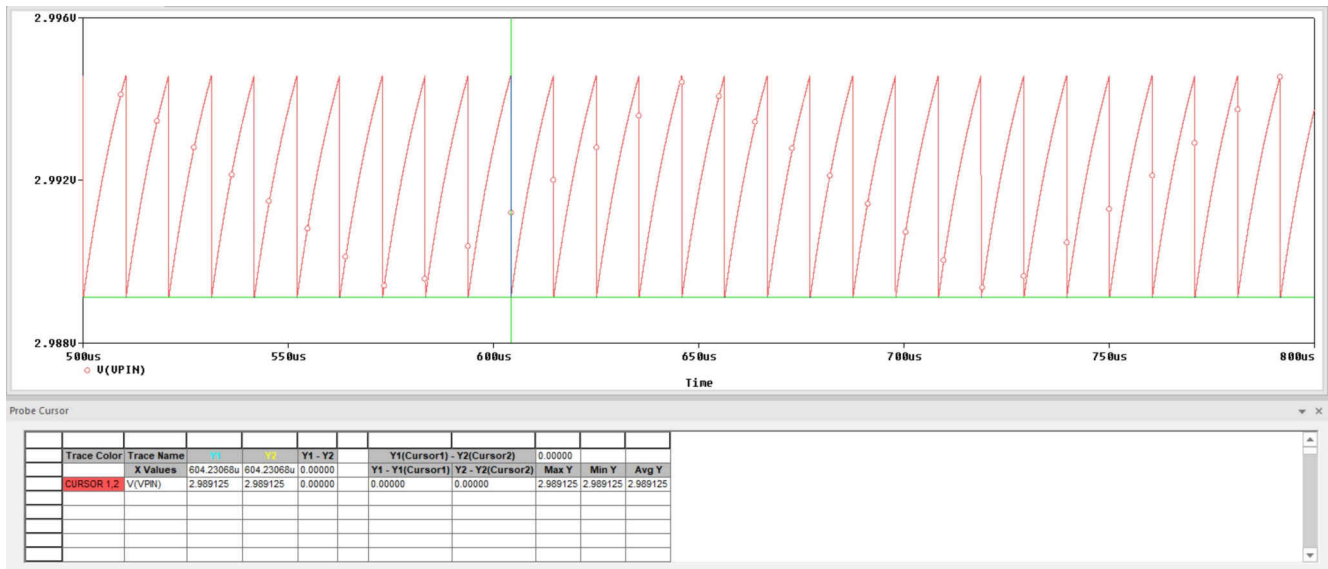


图 5-12. 示例 3 : 仿真结果

5.3.3 示例 3 : 工作表

表 5-3. 示例 3 : ADC 电荷共享设计工作表

符号	说明	值	说明
N	目标建立分辨率 (位)	7 (实现 8 位建立)	通常与 ADC 的分辨率相同。 可以采用较低的目标分辨率来降低输入设计要求
V _{fs}	满量程电压范围	3.0V	在外部基准模式下, 这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下, 这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
V _{errmax}	最大误差目标	11.7mV	$V_{fs}/2^{N+1}$ 可以进一步分为两个分量: 电荷共享误差和跟踪误差, 每个分量为 $V_{errmax}/2$
t _{sh}	S+H 时间	80ns	只要 C _s 容值适合电荷共享, 就可以使用 ADC 数据手册中的最小值。
C _h	ADC S+H 电容	12.5pF	在数据手册表“输入模型参数”中提供
C _p	ADC 引脚寄生电容	0pF (假设可忽略不计)	在数据手册表“每通道寄生电容”中提供
C _s	源电容	6.8nF	至少为 $(2^{N+2} \cdot C_H) - C_p$
R _s	源电阻	不适用	驱动 ADC 的源的输出电阻。也可以有意选择。
f _s	采样率	96 ksp/s	目标通道上的采样率。通常是应用的一项要求。
BW _s	源信号所需的带宽。	低电平	源信号所需的带宽。
R _{smax}	允许的最大源电阻	2188 Ω	如果 f _s 已知, 则计算为 $1/(0.7 \cdot f_s \cdot C_s)$, 然后确保 $R_s < R_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
f _{smax}	允许的最大采样频率	不适用	如果 R _s 已知, 则计算为 $1 / (0.7 \cdot R_s \cdot C_s)$, 然后确保 $f_s < f_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
BW _{RsCs}	来自 C _s 和 R _s 的滤波器带宽	10.7 kHz	$1 / (2 \pi \cdot C_s \cdot R_s)$ 确保 $BW_{RsCs} > BW_s$, 否则需要进行额外的设计迭代。
V _{oa_ss}	稳态运算放大器输出电压	3V	如果未使用运算放大器, 则设置 $V_{oa_ss} = V_{fs}$ 。否则, 这可以通过 V _{oa} 节点的直流节点分析生成。复制到 V _{oa_ss} , 然后再继续进行其他仿真。
BWOPA	ADC 驱动器运算放大器最小带宽	不适用	如果需要运算放大器, 则带宽应至少为 BWRsCs 的 4 倍
运算放大器	选择的运算放大器器件型号	不适用	在此处记录所选的运算放大器 (如果需要)。

表 5-3. 示例 3 : ADC 电荷共享设计工作表 (continued)

符号	说明	值	说明
V_{err}	仿真产生的实际建立误差	10.9mV	确保 $V_{err} < V_{errmax}$ 否则, 需要进行额外的设计迭代

5.4 示例 4 : 分压器

在该示例中, 考虑使用分压器对 400V 总线进行采样。由 160k Ω 和 1.2k Ω 电阻器组成的分压器将提供 0.00744 的衰减系数, 将 400V 输入映射到 ADC 输入上的 2.978V。该输入将连接到 F28004x 器件的 12 位 ADC。该 ADC 采用 3.0V 外部基准电压。将使用分析和仿真来确定该分频器可以支持的最大采样率和信号带宽。需要 10 + 1 位 (<0.1%) 的建立性能。

5.4.1 示例 4 : 分析

根据特定于器件的数据手册, 确定 F28004x ADC 的 C_H 值为 12.5pF。假设 C_p 可以忽略不计。因此可以相应地确定 C_s 容值:

$$C_s = (2^{N+2} \cdot C_H) - C_p = (2^{10+2} \cdot 12.5\text{pF}) - 0\text{pF} = 51.2\text{nF} \quad (22)$$

然后将其四舍五入至 $C_s = 51\text{nF}$ 。

分压器的等效串联电阻为 $1.2\text{k}\Omega \parallel 160\text{k}\Omega = 1191\Omega$ 。然后使用以下公式计算最大采样率:

$$f_{smax} = 1 / (0.7 \cdot R_s \cdot C_s) = 1 / (0.7 \cdot 1191\Omega \cdot 51\text{nF}) = 23.5\text{kHz}$$

外部低通滤波器带宽为:

$$BW_{R_sC_s} = 1 / (2\pi \cdot C_s \cdot R_s) = 1 / (2\pi \cdot 51\text{nF} \cdot 1191\Omega) = 2.6\text{kHz} \quad (23)$$

如果需要更高的采样率, 则可以添加一个运算放大器, 以将分压器的等效电阻与 ADC 输入隔离 (请参阅节 5.2)。或者, 分压器的两个支路的电阻都可以成比例地降低。这会产生较低的等效电阻 (因此允许更快的采样速度), 但代价是会通过分压器消耗额外的静态电流。

5.4.2 示例 4 : 仿真

对 ADC 驱动器行为进行仿真的第一步是确定分压器输出端的直流电压 (假设输入为 400V)。这可以使用与运算放大器稳态电压输出相同的方法来完成: 偏置点分析。图 5-13 显示了进行该分析之后带注释的电路。可以看到, 分压器输出为 2.977667V。该值被复制到 V_{oa_ss} , 以便 V_{error} 的值仅正确反映建立误差。最后, 运行 1ms 至 2ms 的瞬态分析, 相应的仿真配置文件如图 5-14 所示。结果如图 5-15 中所示。最终建立误差为 2.977667V - 2.976219V = 1.45mV

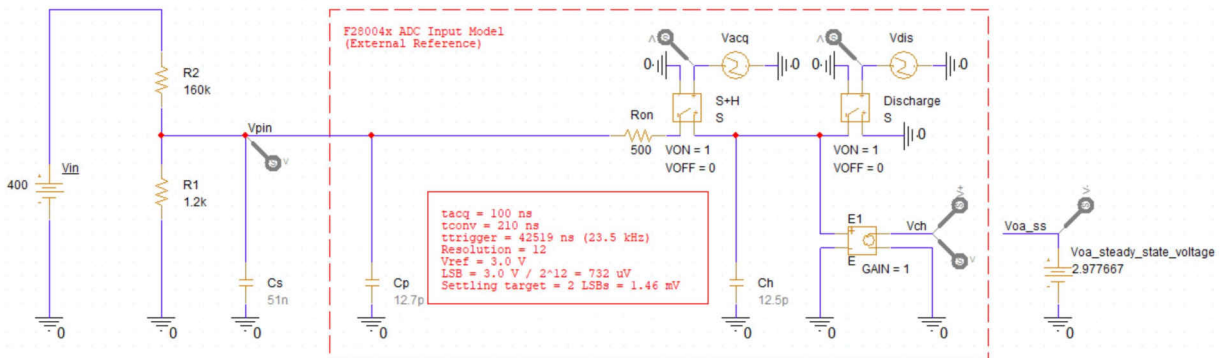


图 5-13. 示例 4 : 仿真电路

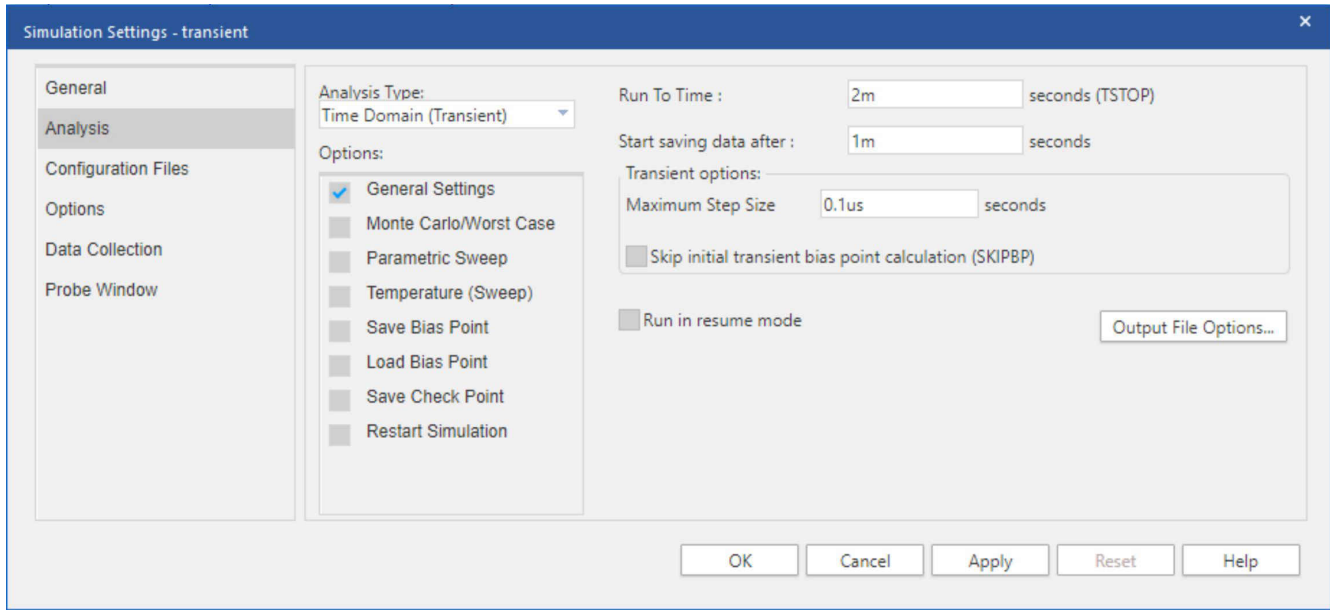


图 5-14. 示例 4 : 仿真配置文件

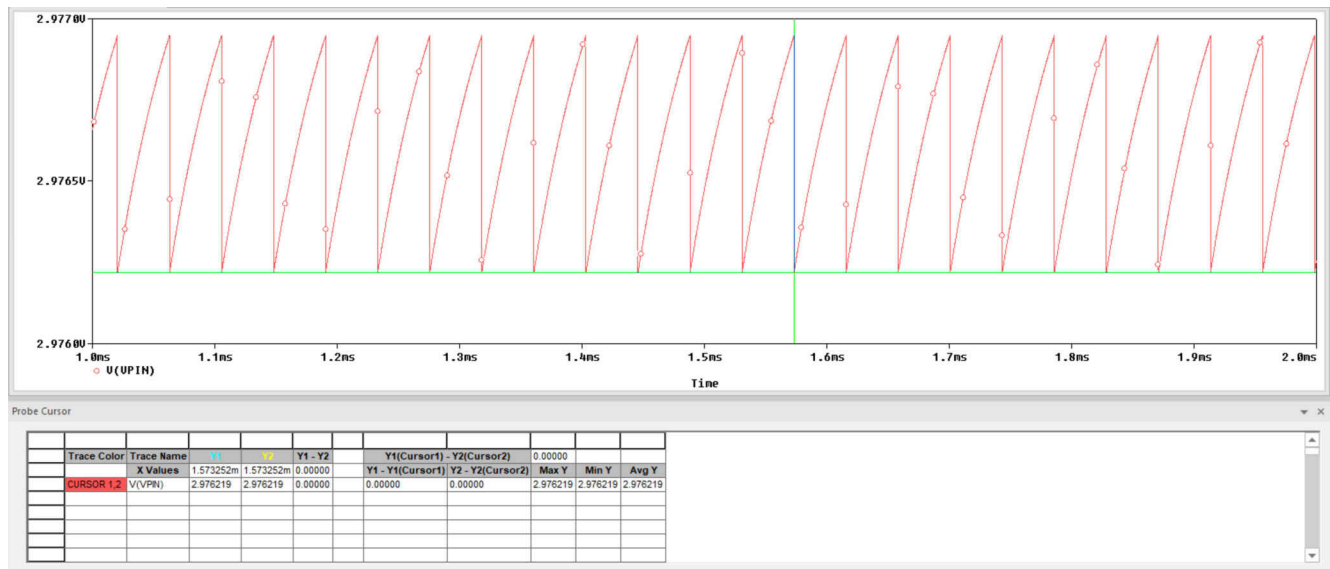


图 5-15. 示例 4 : 仿真结果

5.4.3 示例 4 : 工作表

表 5-4. 示例 4 : ADC 电荷共享设计工作表

符号	说明	值	说明
N	目标建立分辨率 (位)	10	通常与 ADC 的分辨率相同。 可以采用较低的目标分辨率来降低输入设计要求
V_{fs}	满量程电压范围	3.0V	在外部基准模式下, 这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下, 这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
V_{errmax}	最大误差目标	1.46 mV	$V_{fs}/2^{N+1}$ 可以进一步分为两个分量: 电荷共享误差和跟踪误差, 每个分量为 $V_{errmax}/2$
t_{sh}	S+H 时间	80ns	只要 C_s 容值适合电荷共享, 就可以使用 ADC 数据手册中的最小值。
C_h	ADC S+H 电容	12.5pF	在数据手册表“输入模型参数”中提供

表 5-4. 示例 4 : ADC 电荷共享设计工作表 (continued)

符号	说明	值	说明
C_p	ADC 引脚寄生电容	0pF (假设可忽略不计)	在数据手册表“每通道寄生电容”中提供
C_s	源电容	51nF	至少为 $(2^{N+2} \cdot C_H) - C_p$
R_s	源电阻	1191 Ω	驱动 ADC 的源的输出电阻。也可以有意选择。
f_s	采样率	不适用	目标通道上的采样率。通常是应用的一项要求。
BW_s	源信号所需的带宽。		源信号所需的带宽。
R_{smax}	允许的最大源电阻	不适用	如果 f_s 已知, 则计算为 $1/(0.7 \cdot f_s \cdot C_s)$, 然后确保 $R_s < R_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
f_{smax}	允许的最大采样频率	23.5 ksp/s	如果 R_s 已知, 则计算为 $1/(0.7 \cdot R_s \cdot C_s)$, 然后确保 $f_s < f_{smax}$ 。如果不满足条件, 则需要进行额外的设计迭代。
$BW_{R_s C_s}$	来自 C_s 和 R_s 的滤波器带宽	2.6 kHz	$1/(2 \pi \cdot C_s \cdot R_s)$ 确保 $BW_{R_s C_s} > BW_s$, 否则需要进行额外的设计迭代。
V_{oa_ss}	稳态运算放大器输出电压	2.977667 V	如果未使用运算放大器, 则设置 $V_{oa_ss} = V_{fs}$ 。否则, 这可以通过 V_{oa} 节点的直流节点分析生成。复制到 V_{oa_ss} , 然后再继续进行其他仿真。
BWOPA	ADC 驱动器运算放大器最小带宽	不适用	如果需要运算放大器, 则带宽应至少为 $BW_{R_s C_s}$ 的 4 倍
运算放大器	选择的运算放大器器件型号	不适用	在此处记录所选的运算放大器 (如果需要)。
V_{err}	仿真产生的实际建立误差	1.45 mV	确保 $V_{err} < V_{errmax}$ 否则, 需要进行额外的设计迭代

6 总结

为了在实时控制应用中实现良好的采样性能, 必须设计 ADC 信号调节电路以实现适当的输入建立。使用本报告中介绍的分析和仿真方法, 可以使用电荷共享方法创建简单的低成本 ADC 驱动电路。这些电路还可以通过实现最短的 S+H 时间来减少采样延迟, 并可以通过同时提供低通滤波来降低采样噪声。

A 附录：ADC 输入建立动因

以下各节提供了有关 ADC 输入建立的更多背景知识，以及在未实现正确的输入建立设计时可能产生的误差类型。

A.1 ADC 输入建立的机制

要将检测到的模拟电压转换为数字转换结果，ADC 必须首先在其采样保持电路 (S+H) 中准确捕获施加的输入电压。如图 A-1 所示，这需要在配置的采集窗口时间 (也称为 S+H 时间) 内，将内部 ADC S+H 电容器 (C_H) 充电至所施加电压的某个可接受容差 (通常为 0.5LSB) 范围内。

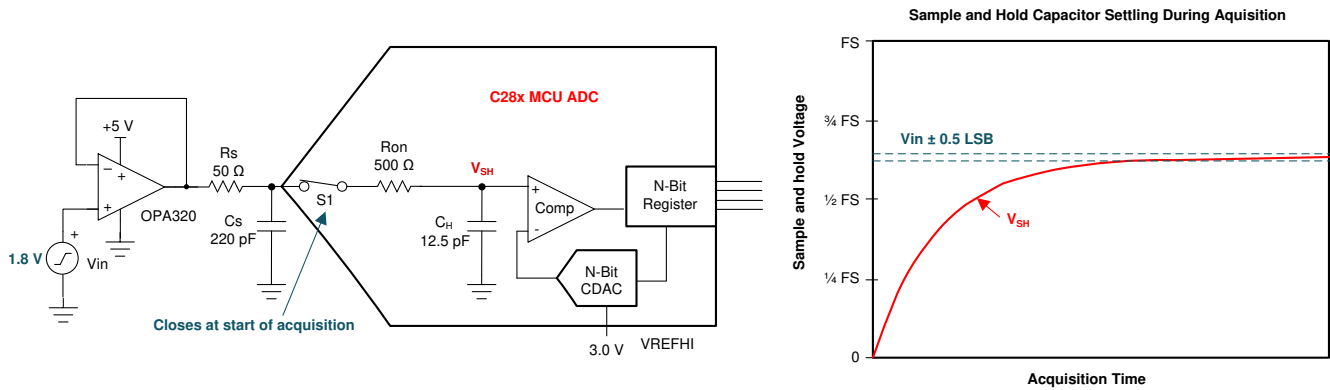


图 A-1. ADC S+H 电容器的建立

考虑到外部 ADC 驱动器电路的有限带宽和建立时间以及内部 ADC S+H 电路的建立时间，快速将 C_H 充电至所施加电压的过程会变得复杂。在图 A-1 中，驱动器显示为具有有限带宽的运算放大器 (OPA320)，驱动器电路也有意放置了源电阻 (R_s) 和源电容 (C_s)，其有限的建立时间由 RC 时间常数决定。请注意，其他电路拓扑可用于驱动 ADC，这些电路可能具有额外的元件，需要对这些元件进行建模以确保适当的建立时间。这些元件可能会意外产生寄生效应，例如传感器的输出阻抗或分压器的有效源电阻。从图 A-1 还可以看到，ADC 具有内部寄生开关电阻 (R_{on})。这与 C_H 一起提供了一个会限制建立速度的额外 RC 时间常数。

A.2 建立不适当的症状

一旦将电压捕获到 S+H 电容器中，ADC 就会在转换阶段将该电压转换为数字转换结果。然后，CPU 可以使用该结果来控制或监测系统。但是，如果捕获的电压没有准确地表示由于建立误差而施加的电压，即使 ADC 转换过程顺利，最终转换结果也会导致误差。

这些建立误差的表现形式各不相同，具体取决于 ADC 是重复采样同一通道还是按顺序扫描多个通道。建立误差的表现形式也会因采集阶段开始时 S+H 电容器上的启动电压而有所不同。一些 ADC 架构实现方案的起始 S+H 电压接近上一次采样的电压，而另一些架构通常在采集阶段开始时使用放电的 S+H 电容器。

A.2.1 失真

在 ADC 对同一信号重复采样的情况下，建立误差通常表现为输入信号失真。在 S+H 电压开始接近上一次采样电压的架构中，输入信号的缓慢移动部分比快速移动部分的建立效果更佳。图 A-2 展示了一种架构，其中序列采样从上一次转换中采样和保持的电压开始建立。

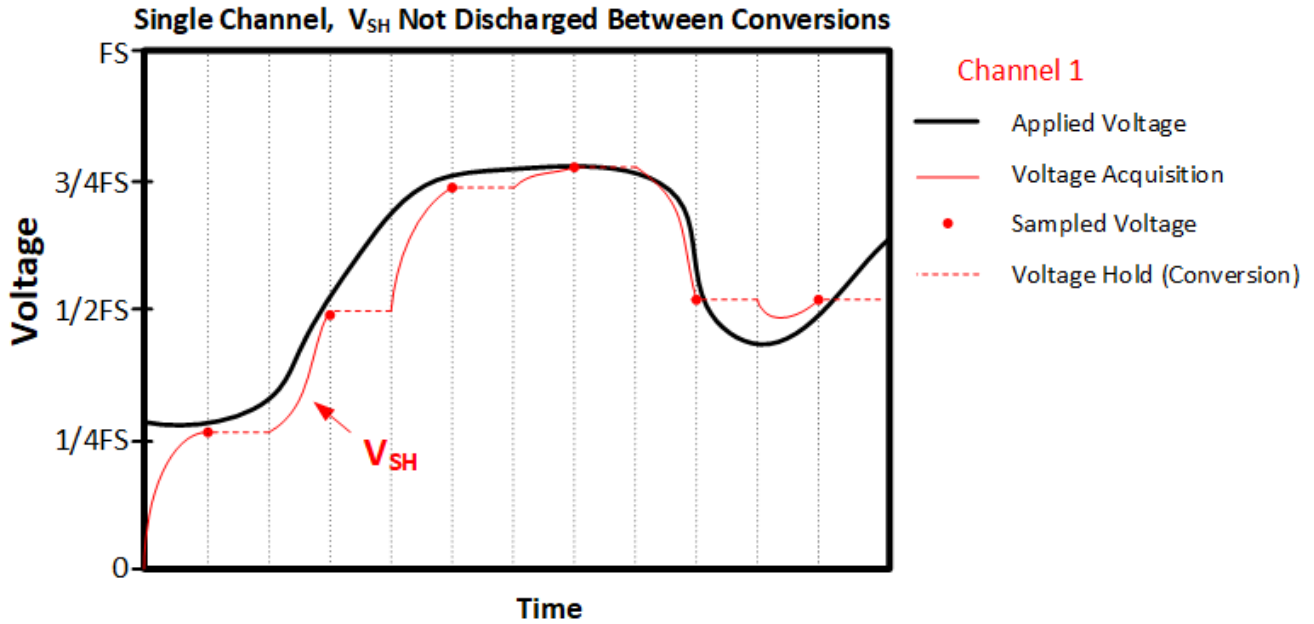


图 A-2. 两次转换之间保持 C_H 的采样序列

对于 S+H 电容器在放电状态下开始每个采集阶段的架构，较高输入电压的建立性能较差，从而导致信号调节失真。图 A-3 展示了一种架构，其中序列采样总是从接近零标度的地方开始建立。

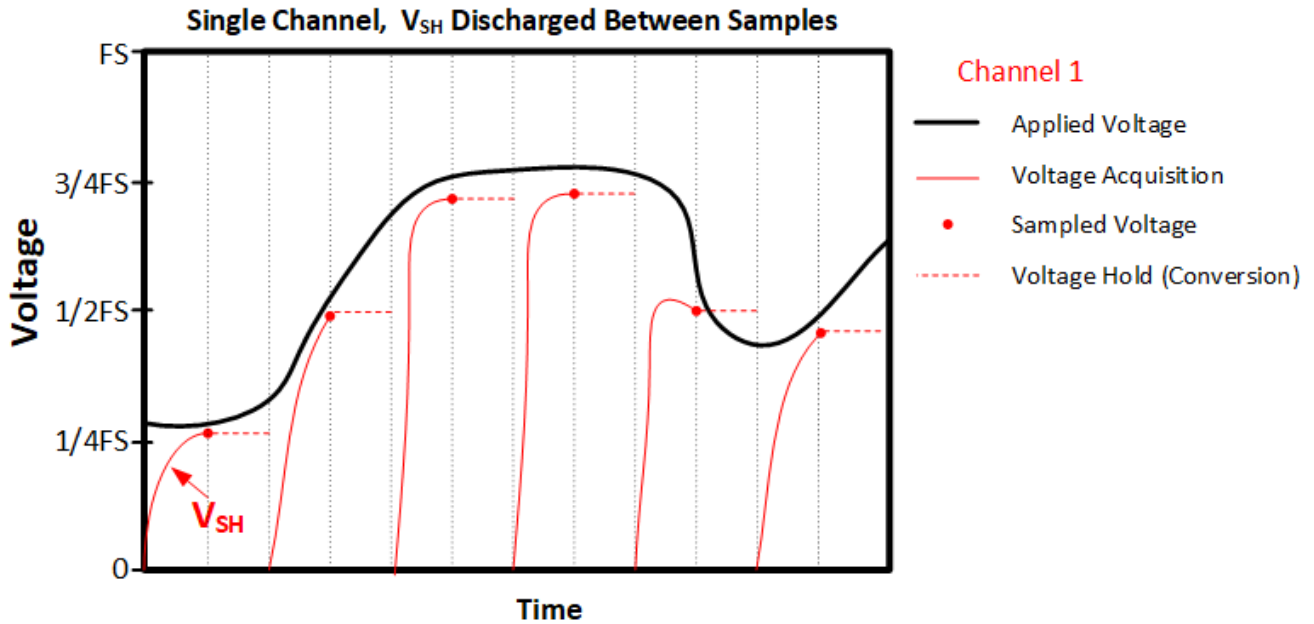


图 A-3. 两次转换之间 C_H 放电的采样序列

A.2.2 存储器串扰

在许多 C2000 实时 MCU 应用中，一个典型的用例是使用 ADC 输入多路复用器按顺序扫描多个通道。如果转换后的通道建立不适当，该通道可能会被拉至序列中上一次转换的电压。发生这种情况是因为 S+H 电压在开始时接近上一次转换的电压，然后稳定至（但未达到）所施加的电压。上一次转换会导致发生一系列影响当前转换的转换，这种倾向称为存储器串扰。通常可以通过适当的建立设计来完全缓解存储器串扰问题。

图 A-4 说明了这样一种情况：共用采样保持必须在两个不同的多路复用输入信号之间来回建立。

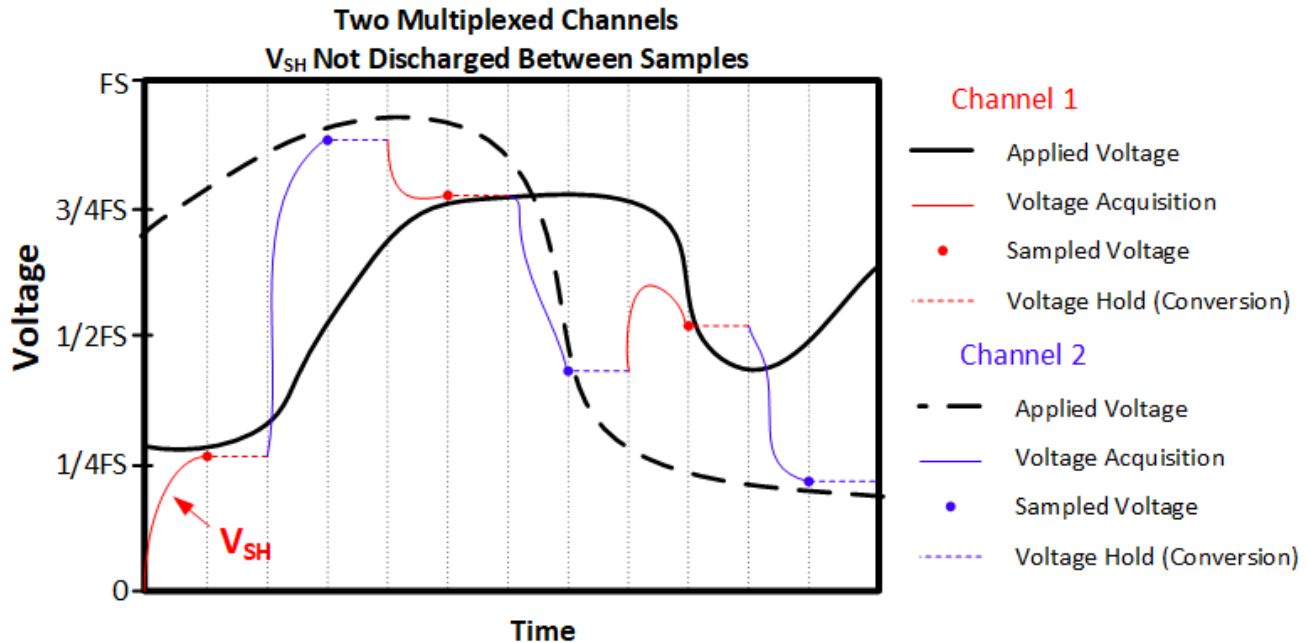


图 A-4. 多路复用采样序列

从 S+H 电容器完全放电开始的转换器架构通常不会经历显著的存储器串扰（但如果 ADC 驱动电路不适合分配的采集时间，仍会经历与输入建立相关的失真）。

A.2.3 精度

输入建立不适当而引入的误差通常无法通过过采样和取平均值来校准或减少。因此，即使检测到的输入信号是低频甚至是直流信号，关注绝对采样精度的应用也需要确保适当的 ADC 输入建立。

A.2.4 C2000 ADC 架构

C2000 实时 MCU ADC 通常先将 S+H 电容器预充电至接近上一个转换结果的电压。例外情况是 ADC 支持差分信号但在单端模式下运行。在这种情况下，当上一次在偶数通道转换而当前通道为奇数通道时，S+H 电容器会开始放电，反之亦然。例如，如果在 A3 之后对通道 A4 进行采样（或者相反），则 S+H 电容器会开始放电，但在通道 A2 之后对通道 A4 进行采样或在通道 A3 之后对通道 A1 进行采样时，开始接近上一次转换的电压。

参考文献

- [TI 高精度实验室 - SAR ADC 输入驱动器设计](#)
- [模拟工程师计算器](#)
- [TINA-TI](#)
- [PSPICE-FOR-TI](#)
- 德州仪器 (TI) : [C2000 MCU 的 ADC 输入电路评估 \(使用 TINA-TI 仿真工具\)](#)
- 德州仪器 (TI) : [C2000 实时 MCU 的 ADC 输入电路评估 \(使用 PSPICE-FOR-TI\)](#)
- 德州仪器 (TI) : [C2000 ADC 的电荷共享驱动电路 \(使用 TINA-TI 仿真工具\)](#)
- 德州仪器 (TI) : [缓解 ADC 存储器串扰的方法](#)
- [TI 高精度实验室 - 运算放大器：稳定性](#)
- 德州仪器 (TI) : [TMS320F28004x 微控制器数据手册](#)
- 德州仪器 (TI) : [选择能最大限度地减少音频应用失真的电容器](#)

修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2021) to Revision A (March 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	3
• 更新了 节 1.1.7 。.....	4

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司