

Srinivasan Iyer, Srinivas Murthy

摘要

本应用手册介绍了 AFE79xx TI 收发器的环回功能。本应用手册重点介绍了 AFE79xx 作为本地单芯片中继器功能的特性和性能，该功能可以使用正常 RX、TX 对来实现低延迟信号环回，以及使用 RX 反馈和 TX 对来实现快速信号环回。

本应用手册包含以下要点。

- 了解和配置 AFE79xx 的内部环回 JESD 和快速环回模式。
- 测量不同数据速率下的群延迟和增益响应，突出显示了低于 2 μ s 的最小延迟和所应用宽带频谱带宽的平坦通带响应。
- 测量快速反馈模拟环路响应群延迟，为在宽带宽 (1GHz) 中继器信号链应用中要求最低延迟的应用实现低于 50ns 的群延迟响应

内容

1 引言	3
1.1 重点产品.....	3
1.2 器件环回模式.....	3
2 测试和结果	6
2.1 测试方法.....	6
3 结论	11
4 参考文献	11
5 修订历史记录	12

插图清单

图 1-1. ADC 至 DAC JESD 环回.....	3
图 1-2. ADC 至 DAC 低延迟环回.....	5
图 2-1. 硬件方框图 - JESD 环回.....	6
图 2-2. 硬件方框图 - 低延迟环回.....	6
图 2-3. ADC 至 DAC JESD 环回使能模式.....	7
图 2-4. 幅度响应 122.88MSPS.....	8
图 2-5. 群延迟 122.88MSPS.....	8
图 2-6. 幅度响应 184.32MSPS.....	8
图 2-7. 群延迟 184.32MSPS.....	8
图 2-8. 幅度响应 245.76MSPS.....	9
图 2-9. 群延迟 245.76MSPS.....	9
图 2-10. 幅度响应 368.64MSPS.....	9
图 2-11. 群延迟 368.64MSPS.....	9
图 2-12. 幅度响应 491.52MSPS.....	9
图 2-13. 群延迟 491.52MSPS.....	9
图 2-14. 幅度响应 ADC 至 DAC 低延迟环回.....	10
图 2-15. 群延迟 ADC 至 DAC 低延迟环回.....	10

表格清单

表 1-1. 开关特性.....	4
------------------	---

商标

所有商标均为其各自所有者的财产。

1 引言

移动通信中通过部署多频带射频中继器，将基站的覆盖范围扩展到基站尚未覆盖的区域。该中继器需要在不影响信号质量的情况下自行运行，并以最低的群延迟重新传输信号。

本应用手册重点介绍了 AFE79xx 器件内环回特性功能，以演示中继器功能的用例。其固有的单芯片运行无需外部 FPGA 或 JESD 链路建立，即可实现高瞬时带宽和最低延迟，能够满足射频中继器产品的规格要求。

1.1 重点产品

AFE79xx 是一系列高性能、高带宽、多通道收发器，集成了四个射频采样发送器链、四个射频采样接收器链和多达两个射频采样数字化辅助链（反馈路径）。发送器链和接收器链的高动态范围使器件可以从无线基站生成和接收 3G、4G 和 5G 信号，而 AFE79xx 器件的高带宽能力适用于多频带 4G 和 5G 基站。每个接收器链均包含一个 25dB 范围的数字步进衰减器 (DSA)，后跟一个 3GSPS 模数转换器 (ADC)。单通道或双通道数字下变频器 (DDC) 提供了高达 600MHz 的组合信号带宽。在 TDD 模式下，接收器通道经过配置可在流量接收器 (TDD RX) 和宽带反馈接收器 (TDD FB) 间动态切换，能够重复使用同一模拟输入来实现两种用途。每个发送器链均包含一个单通道或双通道数字上变频器 (DUC)，支持最高 1200MHz 的组合信号带宽。

1.2 器件环回模式

1.2.1 ADC 至 DAC JESD 环回

AFE79xx 支持内部数字 JESD 环回，如图 1-1 所示，无需外部 STX 和 SRX 通道连接。内部 20 位数字流环回已通过以下方式进行了测试：使用矢量网络分析器驱动 RXD 以获得增益和群延迟参数图，并使用 12GSPS 的 DAC 输出和 122.88MSPS 至 491.52MSPS 的多个 JESD 数据速率。带宽在 3.4GHz 的信号音调上测量，以演示 5G N78 频带的环回功能。该器件还可以通过相应地调整外部匹配电路来针对不同频带进行配置。

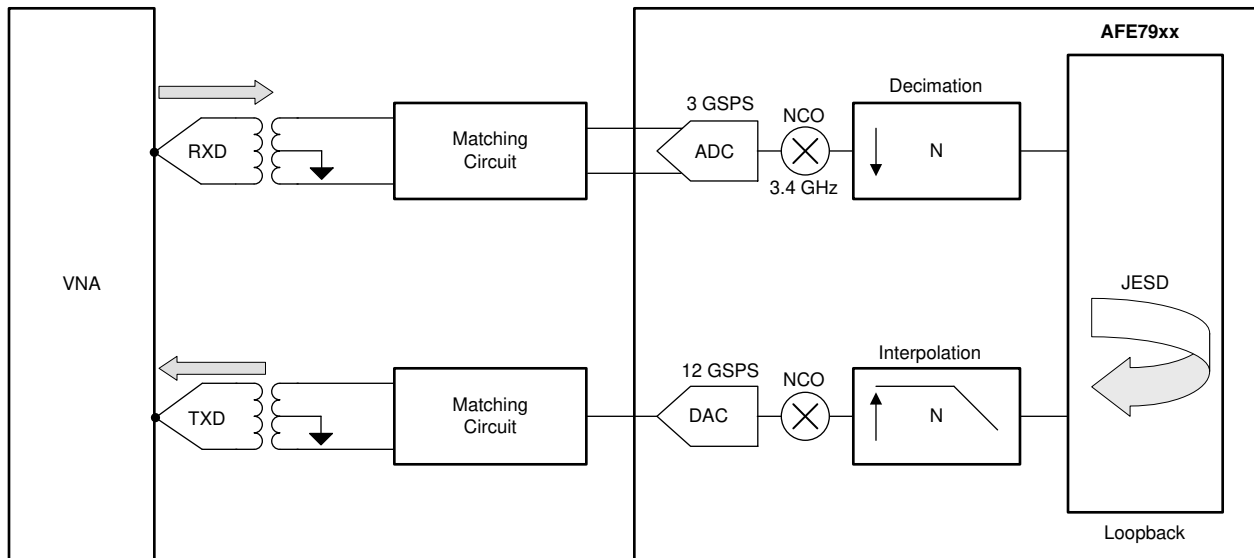


图 1-1. ADC 至 DAC JESD 环回

数据表“开关特性”突出显示了不同 SERDES 速率下预期延迟与内部时钟周期之间的函数关系，如表 1-1 所示。

整体延迟是由于匹配元件、RX 输入到 JESD 输出延迟、JESD 到 TX 输出延迟和 VNA 内部延迟而在信号路径中引入的总延迟。

以 122.88MSPS 为例，AFE79xx 在 122.88MHz 时的总内部延迟为 189 个时钟周期，约为 1.53us。借助外部匹配元件，我们可以实现低于 2us 的群延迟响应。

表 1-1. 开关特性

$T_A = 25^\circ\text{C}$ 时，整个温度范围为 $T_{A, \text{MIN}} = -40^\circ\text{C}$ 至 $T_{J, \text{MAX}} = +110^\circ\text{C}$ ；TX 输入速率 = 737.28MSPS、 $f_{\text{DAC}} = 8847.36\text{MSPS}$ ； $f_{\text{ADC}} = 2949.12\text{MSPS}$ ；标称电源；单音幅度为 -1dBFS；DSA 衰减 = 0dB，SerDes 速率 = 24.33Gbps；除非另有说明

参数	测试条件	最小值	典型值	最大值	单位
TX 通道延迟					
串行器/解串器接收器模拟延迟	全速率		2.8		ns
JESD 到 TX 输出延迟	LMFSHd = 2-8-8-1, 368.64MSPS 输入速率, 24 倍插值, Serdes 速率 = 16.22Gbps (JESD204C)		152		接口时钟周期
	LMFSHd = 8-16-4-1, 491.52MSPS 输入速率, 24 倍插值, 串行器/解串器速率 = 16.22Gbps (JESD204C)		176		
	LMFSHd = 4-16-8-1, 245.76MSPS 输入速率, 48 倍插值, 串行器/解串器速率 = 16.22Gbps (JESD204C)		124		
	LMFSHd = 2-16-16-1, 122.88MSPS 输入速率, 96 倍插值, 串行器/解串器速率 = 16.22Gbps (JESD204C)		97		
RX 通道延迟					
串行器/解串器发送器模拟延迟			3.6		ns
RX 输入到 JESD 输出延迟	LMFS = 2-8-8-1, 368.64MSPS, 8 倍抽取, 串行器/解串器速率 = 16.22Gbps (JESD204C)		118		接口时钟周期
	LMFS = 2-16-16-1, 122.88MSPS, 24 倍抽取, 串行器/解串器速率 = 16.22Gbps (JESD204C)		92		
	LMFS = 4-16-8-1, 245.76MSPS, 12 倍抽取, 串行器/解串器速率 = 16.22Gbps (JESD204C)		108		
	LMFS = 4-8-4-1, 491.52MSPS, 6 倍抽取, 串行器/解串器速率 = 16.22Gbps (JESD204C)		153		
FB 通道延迟					
串行器/解串器发送器模拟延迟			3.6		ns
FB 输入至 JESD 输出延迟	LMFS=1-2-8-1, 368.64MSPS, 8 倍抽取		151		接口时钟周期
	LMFS=2-4-4-1, 491.52MSPS, 6 倍抽取		177		

1.2.2 ADC 至 DAC 低延迟环回

AFE79xx 还支持内部模拟环回，如 图 1-2 所示，无需内部 JESD 接口。快速环回已经通过以下方式进行了测试：使用矢量网络分析器驱动 RX 反馈通道以获得增益和群延迟，并将 12GSPS DAC 输出与内部 NCO 连接，以实现信号带宽的最低延迟。此模式下禁用了内部抖动。带宽在 3.4GHz 的信号音调上测量，以演示 5G N78 频带的环回功能。该器件还可以通过相应地调整外部匹配电路来针对不同频带进行配置。

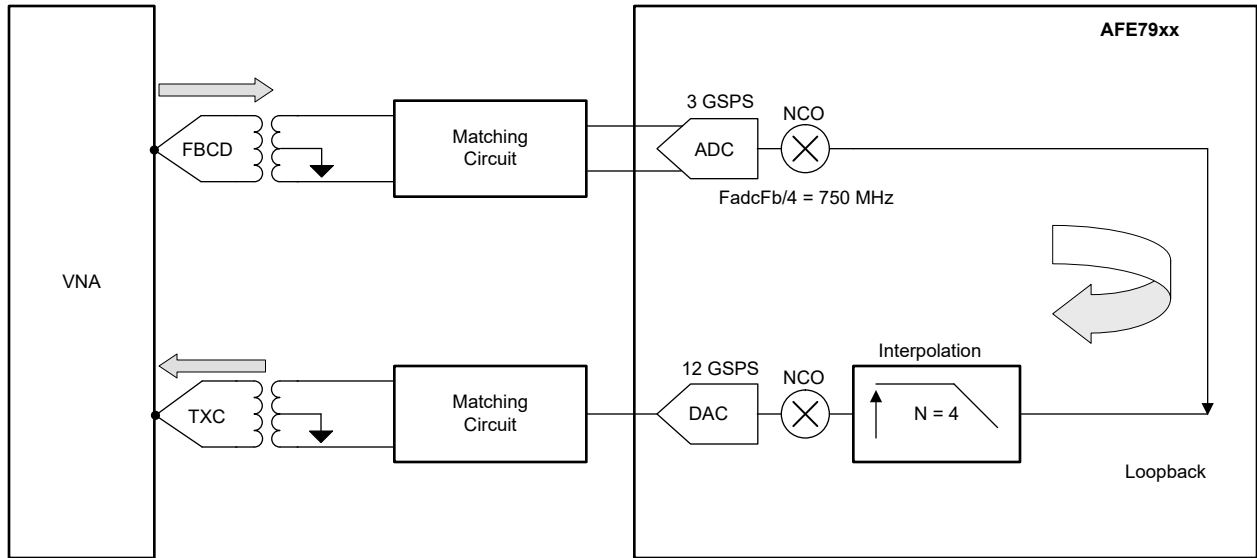


图 1-2. ADC 至 DAC 低延迟环回

2 测试和结果

2.1 测试方法

2.1.1 硬件设置

2.1.1.1 ADC 至 DAC JESD 环回

矢量网络分析器端口 1 连接到器件的 RXD 通道，而 TXD 通道重新连接到矢量网络分析器的端口 2，以捕获群延迟和环路增益。矢量网络分析器在内部扫描相对于 SERDES 数据速率设置的带宽。

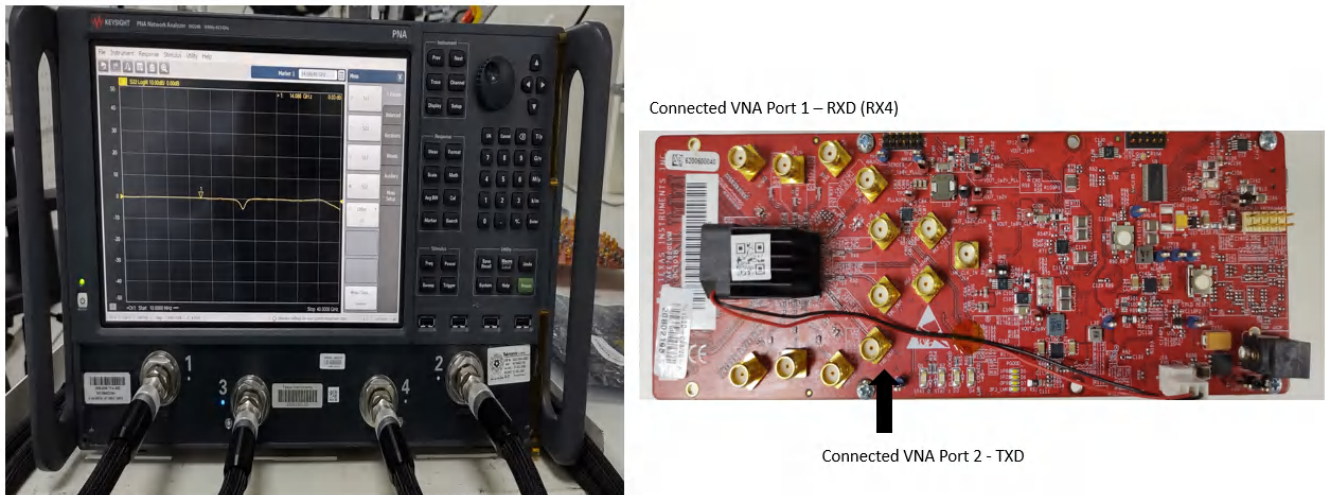


图 2-1. 硬件方框图 - JESD 环回

2.1.1.2 ADC 至 DAC 低延迟环回

矢量网络分析器端口 2 连接到器件的 FB2_IN 通道，而 TXC 通道重新连接到矢量网络分析器的端口 1，以捕获群延迟和环路增益。矢量网络分析仪在内部扫描相对于阻抗匹配带宽的带宽。

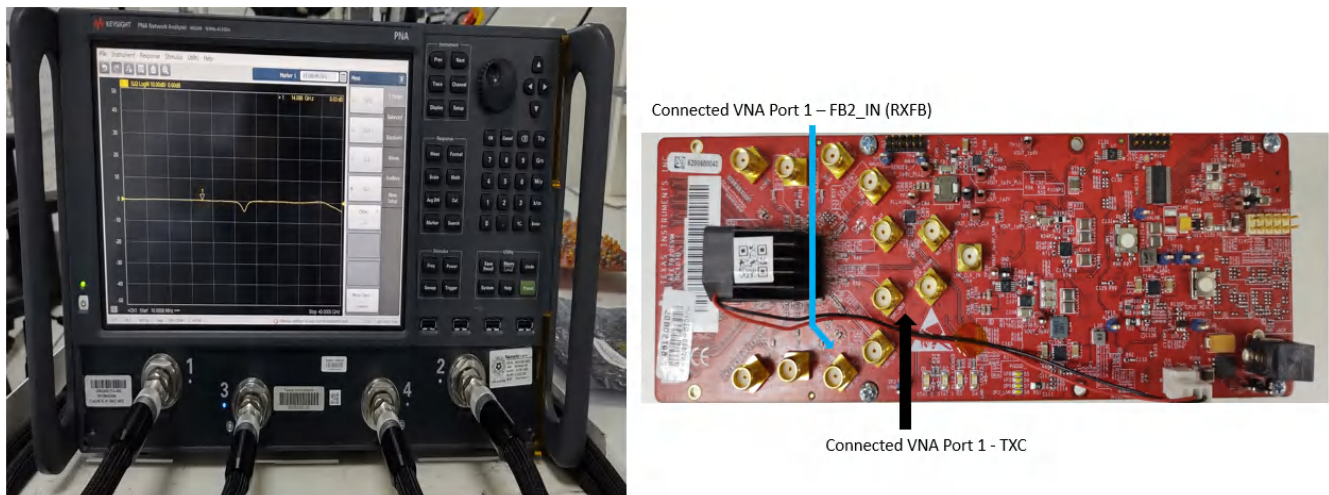


图 2-2. 硬件方框图 - 低延迟环回

2.1.2 GUI 设置

2.1.2.1 ADC 至 DAC JESD 环回

AFE 支持通过内部 JESD 块进行 RX ADC 至 DAC 环回。这可以通过将 *jesdLoopBackEn* 位设置为 True 来启用。以下是使用此功能时需要满足的条件。

1. ADC 和 DAC 接口速率必须相同。
2. RX 和 TX 的 JESD 设置和通道速率必须相同。
3. RxA 必须环回到 TXA，RXB 必须环回到 TXB，依此类推。
4. 环回模式使用如图 2-3 所示的复选框启用。

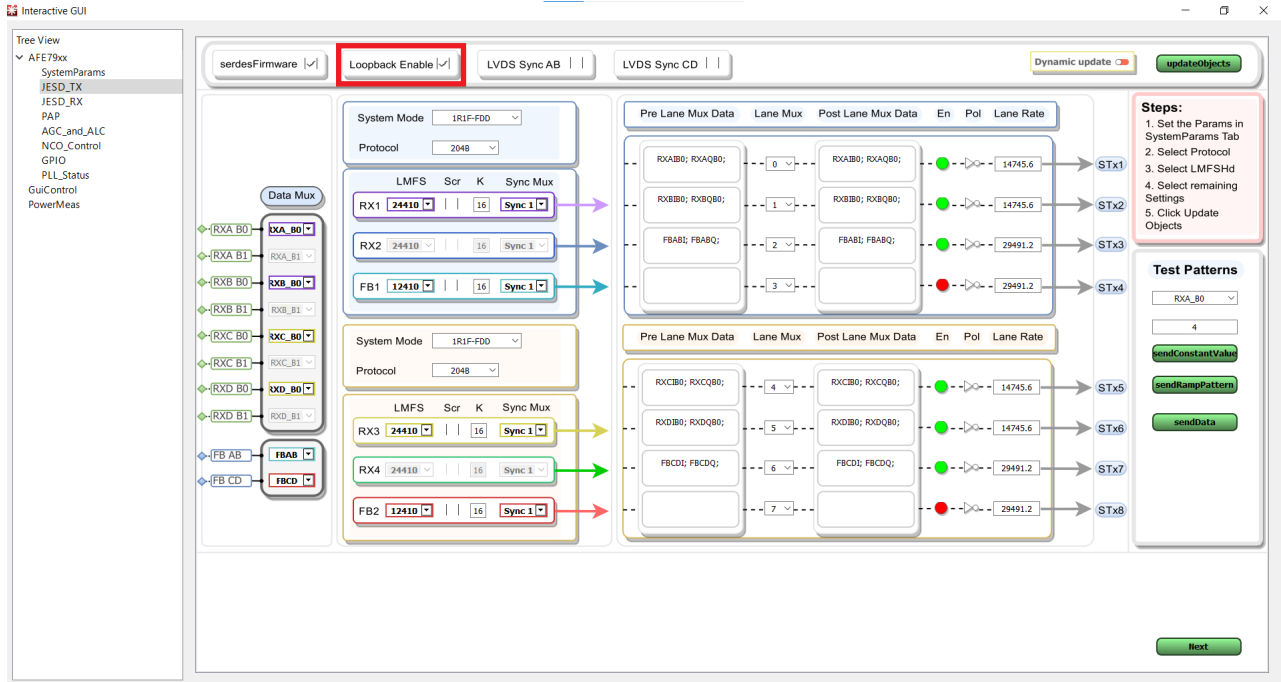


图 2-3. ADC 至 DAC JESD 环回使能模式

2.1.2.2 ADC 至 DAC 低延迟环回

这会将 FB ADC 输出（在抽取之前）环回到 TX A/C，因此具有非常低的环回延迟。此环回可以使用参数 *enableTxFbLoopbackLowLatencyMode* 设置。将 FBAB 环回到 TXA 和将 FBCD 环回到 TXC 是独立控制的。例如，要将 FBAB 环回到 TXA，并在直通模式下使用 FBCD 和 TXCD，可将此参数设置为 *sysParams.enableTxFbLoopbackLowLatencyMode = [True, False]*。列表中的第一个值用于 FBAB，第二个值用于 FBCD。

2.1.3 测试条件

AFE79xx 配置为 12GSPS DAC 和 3GSPS ADC 采样率。NCO 在内部配置为单频带 3400MHz，以便与匹配网络和从矢量网络分析器施加的信号音匹配。串行器/解串器数据速率在内部根据不同的 JESD 接口速率设置进行相应更改。

2.1.4 测试结果

2.1.4.1 ADC 至 DAC JESD 环回

2.1.4.1.1 JESD 122.88MSPS

内部 JESD 设置为 122.88MSPS 的数据速率，以实现 100MHz 信号带宽。幅度响应在通带内无纹波，群延迟测量值为 1.98us，器件无任何纹波演示线性相位响应。

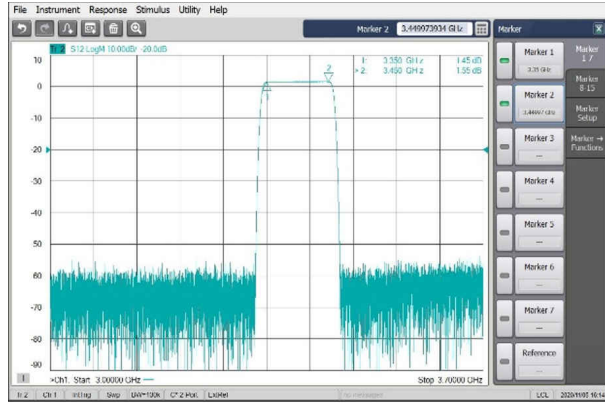


图 2-4. 幅度响应 122.88MSPS

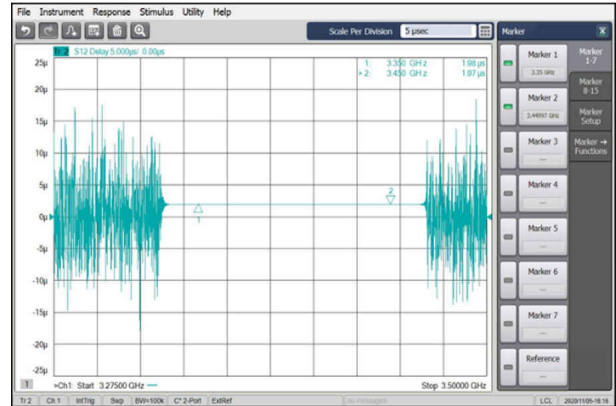


图 2-5. 群延迟 122.88MSPS

2.1.4.1.2 JESD 184.32MSPS

内部 JESD 设置为 184.32MSPS 的数据速率，以实现 150MHz 信号带宽。幅度响应在通带内无纹波，群延迟测量值为 1.33us，器件无任何纹波演示线性相位响应。

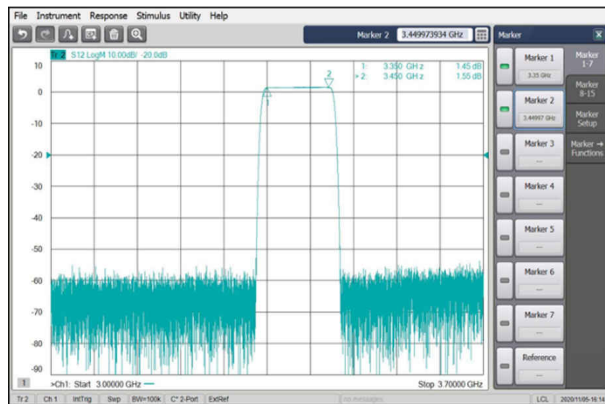


图 2-6. 幅度响应 184.32MSPS

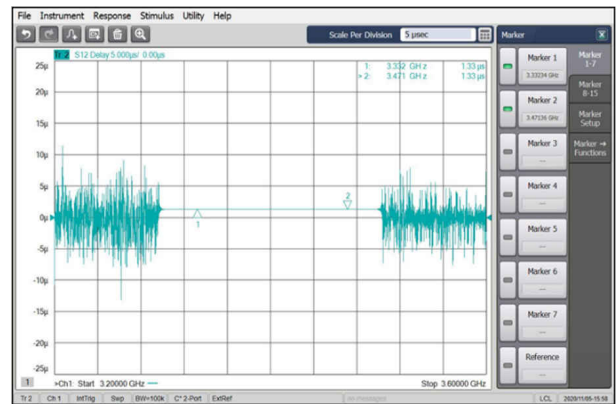


图 2-7. 群延迟 184.32MSPS

2.1.4.1.3 JESD 245.76MSPS

内部 JESD 设置为 245.76MSPS 的数据速率，以实现 200MHz 信号带宽。幅度响应在通带内无纹波，群延迟测量值为 1.08us，器件无任何纹波演示线性相位响应。

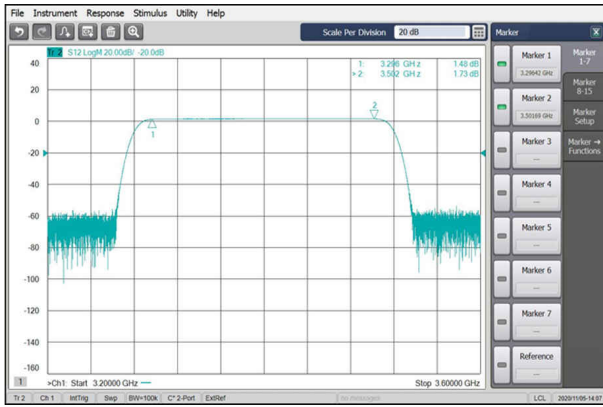


图 2-8. 幅度响应 245.76MSPS

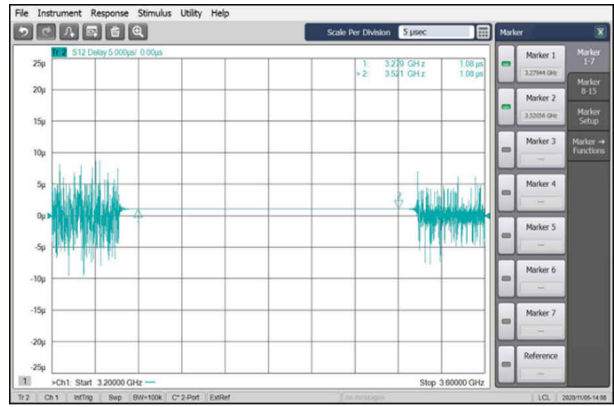


图 2-9. 群延迟 245.76MSPS

2.1.4.1.4 JESD 368.64MSPS

内部 JESD 设置为 368.64MSPS 的数据速率，以实现 350MHz 信号带宽。幅度响应在通带内无纹波，群延迟测量值为 760ns，器件无任何纹波演示线性相位响应。

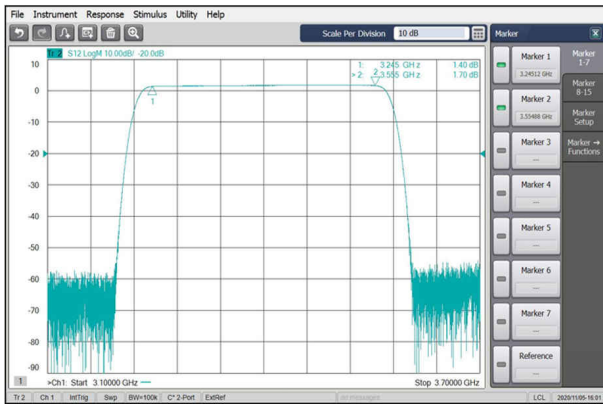


图 2-10. 幅度响应 368.64MSPS

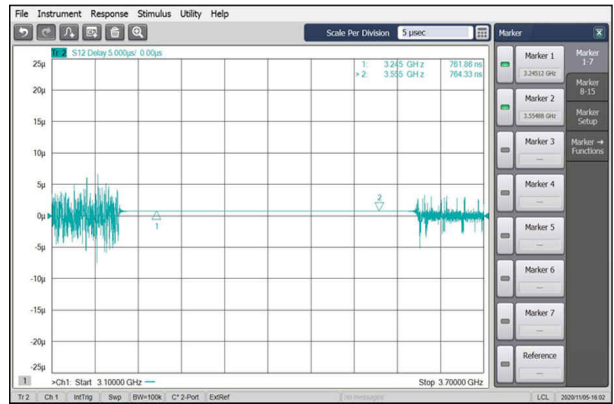


图 2-11. 群延迟 368.64MSPS

2.1.4.1.5 JESD 491.52MSPS

内部 JESD 设置为 491.52MSPS 的数据速率，以实现 450MHz 信号带宽。幅度响应在通带内无纹波，群延迟测量值为 650ns，器件无任何纹波线性相位响应。

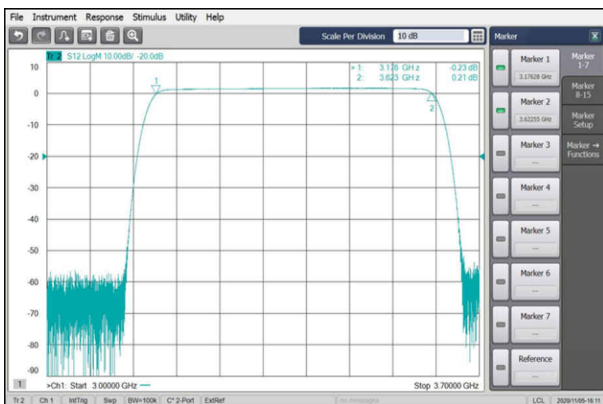


图 2-12. 幅度响应 491.52MSPS

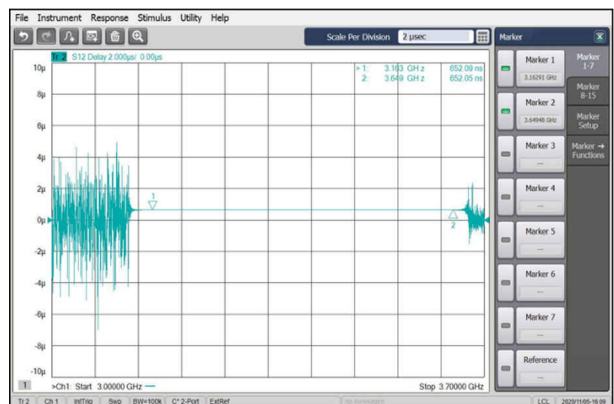


图 2-13. 群延迟 491.52MSPS

2.1.4.2 ADC 至 DAC 低延迟环回

在此模式下，该器件在没有 DDC 和 JESD 接口的情况下进行了环回测试，实现了高模拟信号带宽（约 1GHz）。幅度响应不会反映通带中的任何衰减，该衰减更多是取决于外部匹配网络环路响应。群延迟测量值约为 49.48ns，展示了延迟最低的反馈信号链。

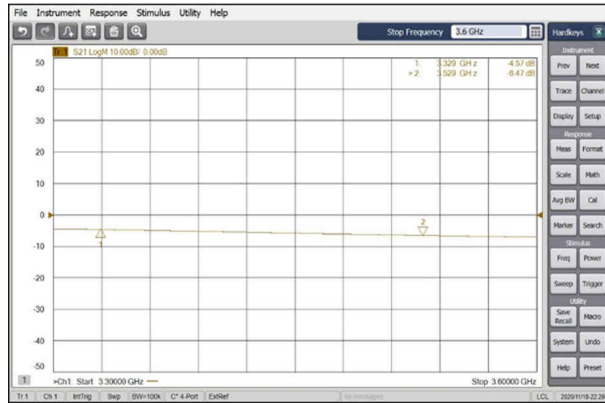


图 2-14. 幅度响应 ADC 至 DAC 低延迟环回

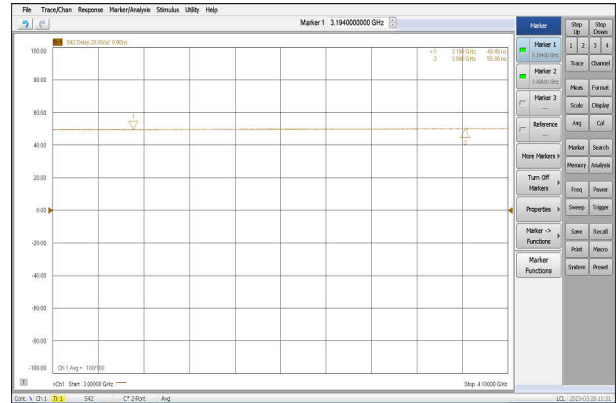


图 2-15. 群延迟 ADC 至 DAC 低延迟环回

有一个名为 `lowLatencyModeProgDelay(afInst, chNo, progDelay)` 函数可用于改变此模式下的延迟值。此处，对于 FBAB，`chNo` 设置为 0，而对于 FBCD，则设置为 1。`progDelay` 的值可以在 0 到 23 之间变化，其中 0 对应于最小延迟。随着 `progDelay` 的值从 0 增加到 23，环路延迟会增加。

3 结论

AFE79xx 采用直接射频采样架构，并具有内部低延迟 (1.5us) JESD 环回和高带宽 50ns 延迟，因此可在环回应用中用作单芯片设计。

该器件具有平坦的通带幅度响应，因此系统设计无需额外的增益级即可运行。无纹波通带还表示该器件没有带内无杂散泄漏。

随着 5G NR 无线接口的出现和对远距离高带宽覆盖的需求，AFE79xx 为设计低延迟、高带宽中继器产品提供了一种低成本单芯片设计。

4 参考文献

- 德州仪器 (TI), [AFE76xx、AFE77xx 和 AFE79xx JESD204 层测试 应用报告](#)。
- 德州仪器 (TI), [AFE79xx、LMH9xx EVM 用户指南](#)

5 修订历史记录

Changes from Revision * (September 2021) to Revision A (May 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更改了 ADC 至 DAC 低延迟环回 图像.....	4
• 将通道名称 RXFB 更改为 FBCD	6
• 将 TX A/D 更改为 TX A/C	7
• 更改了 ADC 至 DAC 低延迟环回 部分.....	10
• 将带宽延迟从 40ns 更改为 50ns	11

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司