

TI Transceiver 芯片 AFE8092 的 AGC 控制方法

Jason Ren

摘要

TI 射频 Transceiver 芯片 AFE8092 已经在 Massive MIMO 大规模商用，其大带宽及多通道的特性给 MIMO 应用带来了高灵活度、高集成度的优势。AFE8092 所有通道为射频直采架构，包含 8 个发射通道，8 个接收通道，2 个反馈通道。其中，接收通道为了防止大信号阻塞导致接收通道灵敏度降低，集成了 AGC(Automatic Gain Control)功能。除了基础的 AGC 增益控制功能，AFE8092 的 AGC 也提供了更有效率的 CMD (JESD 定义 Command Channel)模式传输增益控制字方法，以及控制时序更准确的帧同步控制方法。本文将针对 AFE8092 的 AGC 模块的组成和行为模式进行介绍，并基于此说明 AGC 在基站射频板上的应用注意事项。

目录

| | | |
|---|-----------------------------------|----|
| 1 | 引言 | 2 |
| 2 | AFE8092 RX AGC模块说明..... | 2 |
| | 2.1 AGC Controller控制逻辑..... | 4 |
| | 2.2 DSA模块 | 4 |
| | 2.3 AGC功率检测Detector及判决策略 | 5 |
| | 2.3.1 Digital Peak Detector | 5 |
| | 2.3.2 RF Analog Detector | 7 |
| | 2.4 ALC模块 | 7 |
| | 2.5 CMD模式 | 8 |
| 3 | 参考文献 | 10 |

图/表

| | | |
|-----------|---------------------------------|---|
| Figure 1. | AFE8092 RX链路框图 | 2 |
| Figure 2. | AGC功能模块示意框图 | 3 |
| Figure 3. | Internal AGC控制逻辑示意图 | 4 |
| Figure 4. | 数字峰值功率检测器工作机制示意图..... | 5 |
| Figure 5. | JESD 数据块示意图..... | 9 |
| Figure 6. | JESD Sync Header Bit功能映射关系..... | 9 |
| Figure 7. | JESD Sync Header Bit功能映射关系..... | 9 |

1 引言

随着 RF Transceiver 芯片的集成度越来越高，在 RRU 的 TRX 链路的各个芯片功能更多地前移到 RF Transceiver 中。TI 的 AFE8092 集成了 8T8R8FB 的 RF Transceiver 芯片，所有信号基于射频直采架构，各个通道的高信号带宽特性使得 AFE8092 支持更多的应用场景，在大带宽场景下有独特的优势。所有通道都为射频直采架构，规避了零中频架构中可能出现的直流分量和 IQ 失衡问题，更方便射频链路的性能调试。同时，TI RF Transceiver 的路标演进的过程中，也在不断提升单器件的通道集成度，给用户带来了小尺寸，低功耗的技术优势。各项优势使得 AFE8092 在更多的客户产品中实现商用。

AGC 在基站射频应用中，起着调节输入到后级数字芯片(ASIC/FPGA)的信号功率的作用，其中 AGC 的行为模式及配置方法会对整个链路的灵敏度产生影响，因此需要硬件设计者进行小心的设计。本文针对 AGC 的原理进行简述，对 AGC 行为模式进行描述，简介了 AGC 模块的参数选取方法，介绍了 CMD 模式和帧同步特性。

2 AFE8092 RX AGC 模块说明

在基站应用中，无线接收机接收信号受用户接入随机性的影响，输入到接收机射频信号功率有着时变特性。在大信号来临时，接收机 ADC 可能饱和；在信号非常小时，接收机的 ADC 收到的射频信号可能不满足解调门限。为了解决上述问题，AGC 控制环路被引入到基站射频链路中。

如上文所说，AGC 在 AFE8092 的 RX 链路中起着调节输入到后级数字芯片射频信号功率的作用，是以接收链路中的反馈环路的原理实现，下图为 AFE8092 的接收链路框图。

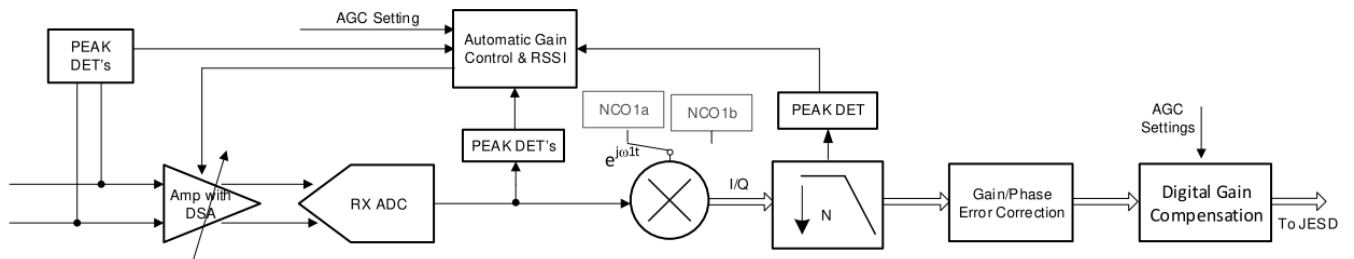


Figure 1. AFE8092 RX 链路框图

RX 链路模拟端包括 RF 功率检测器，数控衰减控制模块（DSA），最高可达 4Gsp/s 采样率的 ADC；数字端包括数字功率检测器，自动增益控制(AGC)模块，数字混频器，抽值器(DDC)，以及数字增益补偿模块；高速接口侧包括 JESD 模块以及 SERDES 模块，在此不进行赘述。

如图 2 所示，AGC 环路是由 RX 链路中的 RF 功率检测器，DSA，DGC 等模块组成。这里先简介一下各个模块的大致功能，后续章节针对各个模块进行详细介绍。

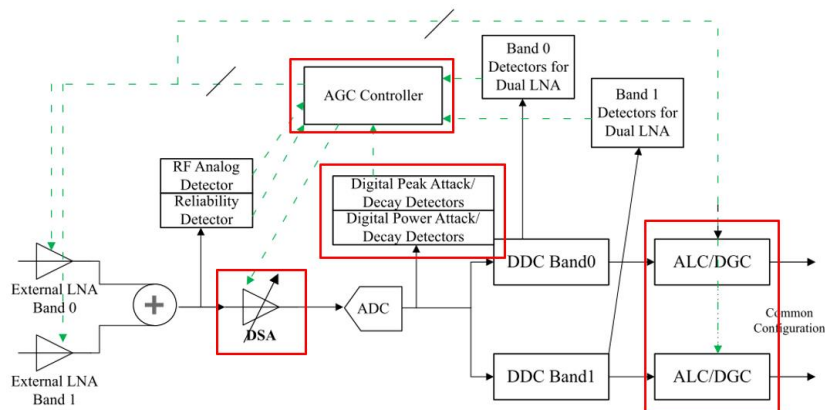


Figure 2. AGC 功能模块示意框图

为了解决输入信号动态变化导致接收机指标恶化的问题，AGC 环路引入了 DSA 模块，针对输入信号大小进行动态衰减值的调节，DSA 支持 0-30dB 动态范围，1dB 步进的调整。

为了感知输入信号功率大小的变化，AGC 环路引入了射频信号检测器。该监测器用来感知输入信号是否超出用户提前预设的功率门限范围。如果输入功率高于预设门限，则 DSA 动态向高调整，如果输入功率低于预设门限，则 DSA 动态向低调整。

为了进一步提升调节信号功率能力，AGC 环路引入了 external LNA control 功能。在输入信号足够大，导致 DSA 已经达到了最大值且输入到接收机的信号功率仍超出用户预设功率门限的情况下，该功能会通知射频系统内的 LNA bypass，进一步降低接收机功率。

在出现 AGC 动作时，Transceiver 模拟端的 DSA 值会发生变化，进而导致从射频口到数字域的总链路增益变化，这种情况下接收机灵敏度会出现跳动的问题，这是接收机不能接受的。为了解决该问题，AGC 环路引入了 DGC 模块。该模块会通过特定方法通知系统前级模拟增益值大小来进行数字域增益补偿，同时也会引入用户可配的固定数字域衰减防止特定场景下数字域饱和。

在控制模式方面，AFE8092 同时支持 internal AGC 和 external AGC。Internal AGC 是将链路增益控制手段一部分放在 AFE 芯片内，external AGC 是将链路增益控制手段放在 AFE 芯片外，由 AFE 上报增益控制信息。对比来看，internal AGC 不要求外部系统的 DSA 控制算法，全部交由 Transceiver 芯片来进行控制，系统层面看控制逻辑没有 external AGC 模式灵活，但是节省 GPIO 资源；External AGC 将一部分 DSA 控制算法放在了外部系统，系统层面看控制逻辑更加灵活，但是会消耗更多的 GPIO 资源。

AGC 所有的动作，包括感知信号功率，调节系统衰减等，需要 AGC 主控 controller 进行控制。受控于用户提前预设的 AGC 参数，状态机根据感知信号功率对 analog 和 digital 的衰减进行控制。

下面会重点对 AGC 环路内的几个模块进行详细介绍。

2.1 AGC Controller 控制逻辑

AGC Controller 的作用是接收数字峰值功率检测器上报的 Attack(接收信号过大的场景)/Decay(接收信号过小的场景)事件, 控制 AGC 模块的状态机, 状态机会对 DSA 和 ALC 进行控制。功能框图如下图所示, 控制逻辑是将输入到 FPGA 侧的信号功率稳定在一定的范围内, 该范围是 attack 门限和 decay 门限之间。后面会针对 AGC Controller 控制的每个模块进行详述。

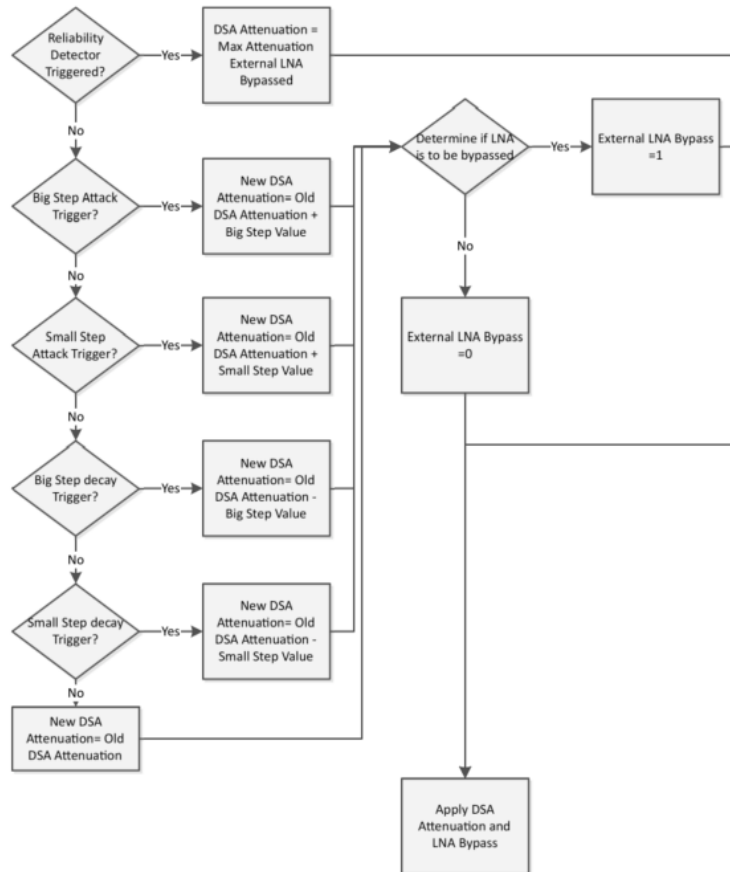


Figure 3. Internal AGC 控制逻辑示意图

2.2 DSA 模块

DSA 模块由数字信号控制, 针对信号链路进行特定衰减值的衰减。该 DSA 可通过 SPI 接口写寄存器控制, 通过 GPIO 控制, 或者通过 AGC 自动进行控制, 这三者的控制优先级可以通过静态寄存器配置或者 API 接口进行修改。

1. SPI 接口寄存器控制: 通过 SPI 访问读写 DSA 页内的寄存器, 来配置/回读 DSA 值。
2. GPIO 控制方法: 分为两种, 为 external DSA control 和 fast gain swap。

External DSA control 通过 3bit GPIO 信息以 8 个挡位对 DSA 进行控制，DSA 衰减值的初始状态和步进大小通过寄存器进行配置。最终的衰减值计算方法如下。其中， $B[2..0]$ 为 GPIO 高低电平状态， ATT_{min} 是初始最小衰减值， ATT_{step} 是 GPIO 控制模式下的各挡位间的步进， ATT_{max} 是 RX 链路最大可支持的衰减值。

$$DSA_ATT_{actual} = \min(ATT_{min} + B[2..0] * ATT_{step}, ATT_{max})$$

Fast gain swap 是使用特定的 GPIO 来触发 DSA 快速跳到提前配置好的 DSA 挡位上。

DSA 的应用和原理较为简单，这里针对实际系统应用中实际问题进行简述：

- 在调试 AGC 时，可能存在 DSA 回读值不满足特定输入信号功率时的预期 DSA 值。一般来说，这种情况是由于 DSA 的精度在进行 DSA 精度/相位校正前较差，回读值和实际使能值有一定差异，一般可由 DSA 校正修复。DSA 校正流程可见 TI Application Note: [AFE7686 RX DSA 校正简析 \(ti.com\)](#)
- 在基站应用场景中，一般会存在链路增益温补/批补的工作机制，因此也需要对 AGC 不起控时的 DSA 值(预埋值)进行约束，可由 minMaxDsaAttnConfig 或者静态寄存器配置进行设置，入参为 defDsaAttn

2.3 AGC 功率检测 Detector 及判决策略

AFE8092 包含了非常丰富的功率检测节点，这些功率检测节点可以被用来进行 AGC 环路控制，或者直接被用来给系统上报接收机收到的信号功率。主要包括以下几个功率检测: Digital Peak Detector, RF Analog Detector, Power Detector 和 Band Detector, 下面重点针对前两个进行介绍。

2.3.1 Digital Peak Detector

如图 2 所示，数字峰值功率检测模块位于接收机数字域 ADC 出口位置，主要用来进行 AGC 功率检测。判断出信号功率过大的需要进行衰减上调的事件(Big/Small Step Attack)，信号功率过低的需要进行衰减回调的事件(Big/Small Step Decay)。

AFE8092 的数字峰值功率检测模块类似伪峰值功率检测，会对固定窗长内的信号峰值点功率的判决结果进行计数处理，进而影响 AGC 状态机，下面进行详细介绍。

功能示意图如下所示，检测器会在每 8 个 ADC 未经过 DDC 的采样点内取到一个信号峰值，经过计数器处理，影响 AGC 状态机转入 Attach 事件/Decay 事件。

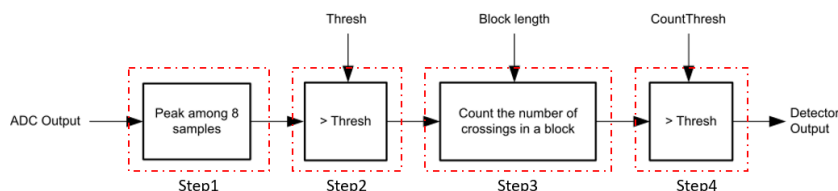


Figure 4. 数字峰值功率检测器工作机制示意图

- Attack 事件，大信号场景下衰减增加：

Step1: 数字峰值功率检测模块从 ADC 侧一次性取出 8 个采样点(未经过 DDC 抽取)，并取出这 8 个点中最大功率点；

Step2: 与用户预设门限进行比较，其中该门限可由 agcDigDetConfig 动态配置或者静态 hex 配置，入参值为：快衰门限-bigStepAttkThresh/慢衰门限-smallStepAttkThresh

Step3: 如果功率值高于预设门限，则 step3 中的计数器加一，如果不高于预设门限，则 step3 中的计数器保持不动。

Step4: 在一定窗长内，如果计数器累加值超出了用户预设门限，则上报 Attack 事件；如果计数器累加值未超出用户预设门限，则认为未发生 Attack 事件。一定窗长内的累加次数是为了进行信号均值统计，防止高 CCDF 场景下出现 AGC 误触发问题。

这里，窗长和计数器门限均可配置：

窗长大小：该窗长可由 agcDigDetTimeConstantConfig 动态配置或者静态 hex 配置进行设置，入参值为：快衰窗长-miscStepAttkWinLen/慢衰窗长-bigStepAttkWinLen

计数器门限：该门限可由 agcDigDetAbsoluteNumCrossingConfig 动态配置或者静态 hex 配置，入参值为：快衰门限-bigStepAttkNumHits/慢衰门限-smallStepAttkNumHits

- Decay 事件，小信号场景下衰减降低：

Decay 事件的状态机决策方法与 Attack 事件的方法类似，差异主要是看信号功率大于/小于功率判决门限。

Step1: 数字峰值功率检测模块从 ADC 侧一次性取出 8 个采样点(未经过 DDC 抽取)，并取出这 8 个点中最大功率点；

Step2: 与用户预设门限进行比较，其中该门限可由 agcDigDetConfig 动态配置或者静态 hex 配置，入参值为：快回调门限-bigStepDecThresh/慢回调门限-smallStepDecThresh

Step3: 如果功率值低于预设门限，则 step3 中的计数器加一，如果不高于预设门限，则 step3 中的计数器保持不动。

Step4: 在一定窗长内，如果计数器累加值超出了用户预设门限，则上报 Decay 事件；如果计数器累加值未超出用户预设门限，则认为未发生 Decay 事件。

窗长和计数器门限均可配置：

窗长大小：该窗长可由 agcDigDetTimeConstantConfig 动态配置或者静态 hex 配置进行设置，入参值为：decayWinLen

计数器门限：该门限可由 agcDigDetAbsoluteNumCrossingConfig 动态配置或者静态 hex 配置。入参值为：快回调门限-bigStepDecNumHits/慢回调门限-smallStepDecNumHits

这里不难看出，Attack 和 Decay 事件的功率检测点位一致，状态机决策方法类似。其中，快衰和慢衰，快回调和慢回调无优先级仲裁问题，完全靠计数器门限和功率门限进行区分。举个例子，输入信号功率在-1dbfs，在快衰功率门限-1dbfs，慢衰功率门限-3dbfs，快衰计数器门限 8，慢衰计数器门限 12。这种情况下，快衰和慢衰的门限都会触发，但是由于快衰门限计数器低于慢衰门限计数器，快衰永远会先触发，直到功率检测器接收到的功率低于快衰门限。

2.3.2 RF Analog Detector

该检测器位于 DSA 和 ADC 之间，为模拟域功率检测，通常用于在 DSA 达到最大值时启用的 LNA Bypass 功能。该功率检测模块响应速度很高，小信号情况下精度较低。

2.4 ALC 模块

ALC 模块位于接收链路 DDC 后，作用为补偿部分数字增益以及上报当前 DSA 部分衰减挡位信息到系统，并确保任何情况下不会出现数字域饱和问题。

ALC 会在不同的输入信号功率等级和 DSA 的场景下，配置自身的增益以及传递给 FPGA 的 SLICER 因子，

ALC 中，又包含三部分增益：粗调增益 Coarse Gain，根据 DSA 挡位进行小于 6db 以下的粗调；细调增益 Fain Gain，根据 DSA 挡位和 Coarse Gain 值进行 1db 挡位的细调；FineGainOffset，固定的 ALC 衰减，防止在部分场景下出现数字域饱和的情况。所以，ALC 的总增益为：

$$\text{Applied Gain} = \text{FineGain}(\text{dB}) + \text{FineGainOffset}(\text{dB}) + \text{CoarseGain}(\text{dB})$$

Coarse Gain 只与 DSA 挡位相关，计算方法如下。其中，CoarseStep 可配置成 2,3,4,6,8。

$$\text{CoarseGain} = \text{CoarseStep} * (\text{floor}(\text{DSA} / \text{CoarseStep}))$$

Fine Gain 与 DSA 挡位及 CoarseGain 相关，计算方法如下。

$$\text{FineGain} = \text{DSA} - \text{CoarseGain}$$

为了便于理解，举个简单例子如下表所示。可以看到，DSA 会保证 ADC 输出数字功率始终维持在一个功率等级。经过 ALC 后，数字功率会在某一个功率等级范围内变化。FPGA 在得到 SLICER 信息后，会将数字功率补偿一部分，最终的输出功率会随着 ADC 输入功率线性变化。

| ADC Output | DSA | Fine Gain | Coarse Index (LSB) | Output (without Coarse Index) | Output with Coarse Index |
|------------|-----|-----------|--------------------|-------------------------------|--------------------------|
| -1 | 0 | 0 | 0 | -7 | -7 |
| -1 | 1 | 1 | 0 | -6 | -6 |
| -1 | 2 | 2 | 0 | -5 | -5 |
| -1 | 3 | 3 | 0 | -4 | -4 |
| -1 | 4 | 4 | 0 | -3 | -3 |

| | | | | | |
|----|----|---|---|----|----|
| -1 | 5 | 5 | 0 | -2 | -2 |
| -1 | 6 | 0 | 1 | -7 | -1 |
| -1 | 7 | 1 | 1 | -6 | 0 |
| -1 | 8 | 2 | 1 | -5 | 1 |
| -1 | 9 | 3 | 1 | -4 | 2 |
| -1 | 10 | 4 | 1 | -3 | 3 |
| -1 | 11 | 5 | 1 | -2 | 4 |
| -1 | 12 | 0 | 2 | -7 | 5 |

上文介绍了 slicer 生成逻辑，这部分 slicer 生成后需要上传给 FPGA 端。上传方法主要有 JESD 数据冗余位上传模式，GPIO 上传模式和 CMD 上传模式，下面简介前两种上传模式，CMD 上传模式会在 2.5 节中进行详细说明。

JESD 数据冗余位上传 slicer 方法：在单个通道的 I/Q 数据未占满 16bit，且 JESD 组帧预留了单个通道传输 16bit 空间的情况下，将 slicer 信息放在 JESD 的数据 LSB 中上传。Slicer 占用 bit 如下表所示：

| MODE # | DESCRIPTION |
|--------|---|
| 1 | 2-bit Coarse Index, 1 LSB of I and Q |
| 2 | 3-bit Coarse Index, 2 LSBs of I and Q |
| 3 | 4-bit Coarse Index, 2 LSBs of I and Q |
| 4 | 2-bit Coarse Index, 2 LSBs of I (and repeated on Q) |
| 5 | 3-bit Coarse Index, 3 LSBs of I (and repeated on Q) |

GPIO 上传 slicer 方法：通过 GPIO 高低电平组合来上报 Slicer 信息，在此不进行赘述。

2.5 CMD 模式

如 2.4 节中所述，ALC 模块会以 slicer 的形式上报当前的 DSA 挡位信息到系统中，一般由三种方法传递：GPIO 高低电平组合，JESD 数据冗余位以及 CMD 模式。本节针对 CMD 模式进行描述，并说明系统设计注意事项。

CMD 模式基本原理是利用 JESD 204 接口协议中规定的 SH(Sync Header)中预留的冗余位传输当前 Slicer 挡位信息。在 JESD 数据 bit 占满单 Frame 的情况下，可以使用组帧中 Sync Header 的冗余位进行数据传输，在特定的情况下，如 FPGA/ASIC I/O 管脚资源紧张，或者 Serdes 资源紧张的情况下，可帮助用户节省外围的 CPLD 器件甚至降低 FPGA/ASIC 成本。

下面从 JESD204C 的组帧方式开始，介绍基本原理和设计注意事项。

在 JESD 协议中引入了 Sync Header 特性，用作在链路层 64B/66B 编码过程中做帧同步功能和部分误码校验功能，如图 5 所示，每个数据块的前两 bit 不用于传输数据而是进行同步指示，误码校验以及特定场景下的冗余信息传输，32 个数据块组成多块(MB)时，由同步头位组成 32 位同步字。

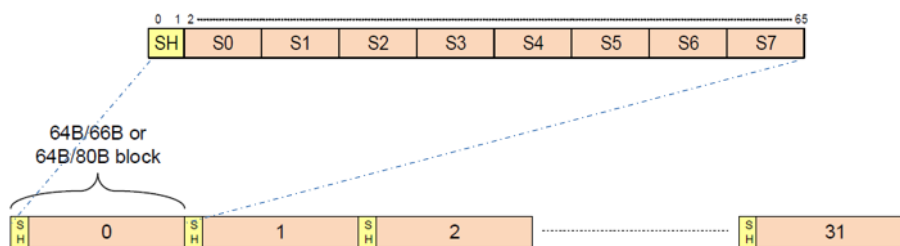


Figure 5. JESD 数据块示意图

上图中所述的 32 位同步字的 bit 功能对应表单描述如图 6。可以看到，除了协议中规定的 CRC 校验，扩展多块校验位以外，协议还规定了用户可定义的冗余位 CMD bit。这部分 CMD bit 被 AFE8092 利用起来传输特定信息，如通道控制信息，天线校准信息以及上文提到的 Slicer 信息。可以看到在一个 MB 中，包括 7 bit CMD 信息，其中 bit[0]用于校验，bit[6]用于指示该包数据为 header(约定后续 payload 信息 mapping 方式)还是 payload(数据包)，因此每个 MB 的 CMD 信息共有 5 bit。

| Bit | Function | Bit | Function | Bit | Function | Bit | Function |
|-----|----------|-----|----------|-----|----------|-----|----------|
| 0 | CRC[11] | 8 | CRC[5] | 16 | Cmd[6] | 24 | Cmd[2] |
| 1 | CRC[10] | 9 | CRC[4] | 17 | Cmd[5] | 25 | Cmd[1] |
| 2 | CRC[9] | 10 | CRC[3] | 18 | Cmd[4] | 26 | Cmd[0] |
| 3 | 1 | 11 | 1 | 19 | 1 | 27 | 0 |
| 4 | CRC[8] | 12 | CRC[2] | 20 | Cmd[3] | 28 | 0 |
| 5 | CRC[7] | 13 | CRC[1] | 21 | 1 | 29 | 0 |
| 6 | CRC[6] | 14 | CRC[0] | 22 | EoEMB | 30 | 0 |
| 7 | 1 | 15 | 1 | 23 | 1 | 31 | 1 |

Figure 6. JESD Sync Header Bit 功能映射关系

举个简单的例子如图 7，在 10 bit payload 模式下，MB0 的 Sync header 全部用来传输 header 信息，MB1-2 的 Sync Header 全部用来传输 payload。

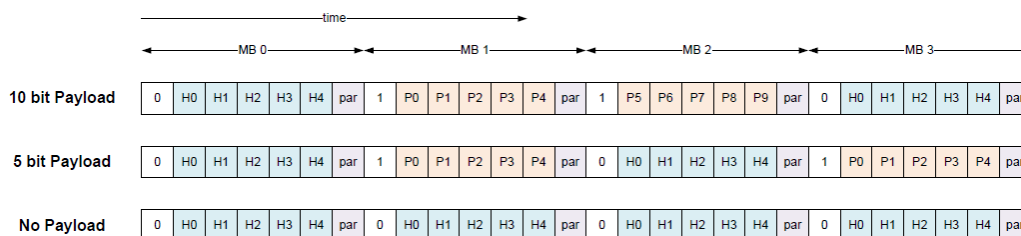


Figure 7. JESD Sync Header Bit 功能映射关系

在系统接收到 Header 信息后，会根据该信息获得后续 payload 的 bit 功能映射信息。如在 Header 解析为 0x14 时，后续的 payload[0:24]传输每个接收通道的 Slicer 信息。这里映射关系不进行详述，更详细的说明可联系 TI 技术支持进行说明。

从上面的描述可以看到，在进行 CMD 模式传输时，上传到系统中的 slicer 生效时间由几点因素影响：MB 周期，AGC 增益补偿更新周期。在 lane 速率较低(单个 lane 传输数据包速度较慢)，lane 个数较少(传输完整 CMD 数据包的速度较慢)，可能存在 Slicer 更新周期较长的问题，因此用户需要仔细评估 Lane 配置是否支持系统所需的 slicer 更新周期。举个例子如下，线速率=24.33024G 时，1 个 MB 时长约 87ns，1 包数据包包含 4*MB 时，该数据包时长约 $87*4=348$ ns。如果 348ns 是用户无法接受的 slicer 更新周期，需用户增加 lane 数量进行多 lane 分担数据包进行传输。

3 参考文献

AFE80xx 器件手册：AFE8092_RTM_MAY2021_datasheet

JESD 204C 协议：JEDEC STANDARD Serial Interface for Data Converters

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司