

Michael Saul

引言

数字滤波器是一种信号处理器件，用于修改离散时间信号的频率内容。数字滤波器既可以通过硬件实现以进行实时信号处理，也可以通过软件实现以供稍后进行后处理。为了提供所需的幅度响应，系统采用数字滤波器来消除不需要的频率分量。这些不需要的频率分量包括干扰信号或在模数转换过程中混叠的信号频率。此外，数字滤波器可对频率响应进行整形，以便满足带宽、平坦度或衰减等方面的系统要求。另一个考虑因素是通过信号传播滤波器的数学运算结果时从滤波器输入到输出的延时时间。当应用于模数转换时，滤波器可改善转换数据的质量并提高系统的有效分辨率。通常会在 Δ - Σ ADC、微控制器和 FPGA 中实现数字滤波器。

数字滤波器类型

一般而言，数字滤波器有三种基本类型：有限脉冲响应 (FIR) 滤波器、无限脉冲响应 (IIR) 滤波器和 sinc 滤波器。sinc 滤波器是 FIR 滤波器的一个子类，采用专门的更高计算效率的实现方案。

FIR 滤波器是仅使用采样输入值的非迭代滤波器，当输入在有限的样本数量内保持稳定后，滤波器的脉冲响应输出会收敛为稳态值。这些滤波器还可能有一个线性相位会在整个频率范围内为输入信号引入恒定的延迟。FIR 滤波器具有固有的稳定性，因此适合于多种应用。FIR 滤波器的一种常见实现结果是低通滤波器功能。该功能可在奈奎斯特频率之前提供陡峭的频率滚降，以避免信号混叠。

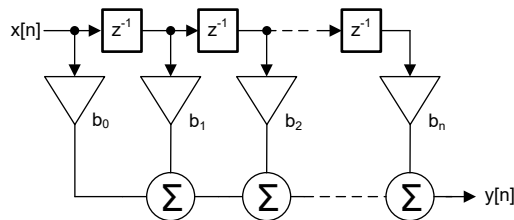


图 1. FIR 滤波器方框图

IIR 滤波器是依赖于滤波器输入值和滤波器输出值的递归滤波器。当提供无限的数学分辨率时，IIR 滤波器需要无限长的时间来使输出值稳定。如需为任意阶带通、带阻、高通和低通滤波器实现模拟类滤波器，IIR 滤波器非常高效。由于 IIR 滤波器可能不稳定，会导致无界输出，因此必须仔细设计此类滤波器。IIR 滤波器对滤波器操作中使用的系数舍入和有限数学分辨率的影响很敏感。

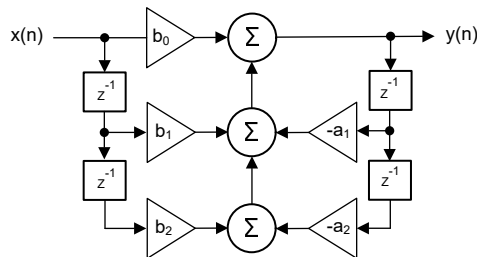


图 2. IIR 滤波器方框图

Δ - Σ ADC 中的数字滤波器

数字滤波器是 Δ - Σ ADC 运行过程不可或缺的一部分，会依靠过采样概念来提高分辨率。 Δ - Σ ADC 中常见的 FIR 数字滤波器有两种类型： sinc 滤波器和宽带滤波器。

由于尺寸和功效的原因， sinc 滤波器通常用于信号变化缓慢的直流信号应用，例如温度和压力传感器。通常， sinc 滤波器具有 $\sin(x)/x$ 频率响应，并且与宽带滤波器相比可提供更短的稳定时间。高阶 sinc 滤波器是通过级联 sinc 滤波器构成的，这种情况下，滤波器称为 sinc^x ，其中 x 是滤波器的阶数。图 3 展示了各阶 sinc 滤波器的频率响应。滤波器的阶数对应于使输入稳定所需的样本数。例如， sinc^3 滤波器在三个样本中稳定。

sinc 滤波器的优点包括：

1. 在裸片面积和功耗方面具有更高的计算效率。
2. 固有稳定性。
3. 线性相位响应
4. 单调响应具有相对较短的滤波器延迟时间。
5. 高阶实现方案在奈奎斯特频率下提供 -20dB 的抑制。

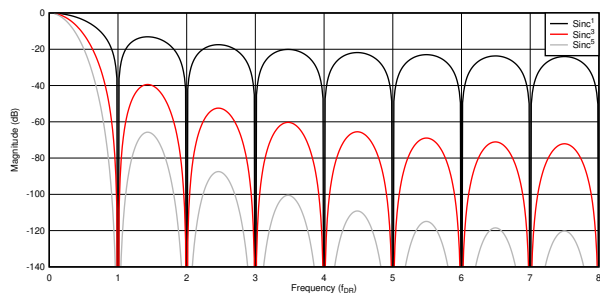


图 3. Sinc 数字滤波器的频率响应

宽带滤波器是一类将采样的输入值与滤波器系数相乘的 FIR 滤波器。宽带滤波器通常在通带内提供平坦的频率响应，并具有陡峭的过渡带，以便在截止频率下抑制不需要的信号。顾名思义，宽带滤波器通常用于高带宽应用，例如测试和测量设备以及音频应用。图 4 展示了 ADS127L11 的宽带滤波器响应。宽带滤波器可降低对模拟抗混叠滤波器的要求，因为此类滤波器设计用于在奈奎斯特频率 ($f_s/2$) 下提供衰减。此外，宽带滤波器具有线性相位响应，因此可在整个频带内实现一致的延迟。然而，由于内部计算引起的延迟，与 sinc 滤波器相比，阶跃响应时间更长并且是非单调的。

宽带滤波器的优点包括：

1. 通带内具有平坦的频率响应，这意味着宽带滤波器不会使所需频率的信号功率衰减或失真。
2. 陡峭的过渡带，可在改善信号带宽的同时抑制通带中不需要的信号。

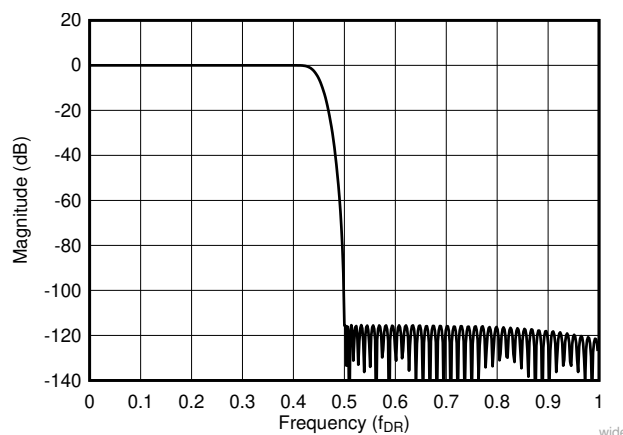


图 4. 宽带滤波器频率响应

要了解有关 Δ - Σ ADC 中的传统数字滤波器的更多信息，请参阅 [\$\Delta\$ - \$\Sigma\$ ADC 中的数字滤波器类型](#)。虽然 Δ - Σ ADC 中的数字滤波器可以通过低通滤波和抽取相结合来提高系统性能，但仍然可能需要额外的模拟和数字滤波器来进行抗混叠、信号调节或抑制不需要的信号。

在 FPGA 中实现 FIR 和 IIR 滤波器

在某些应用中，需要使用外部 FIR 和 IIR 后处理滤波器来提供自定义滤波器特征。这些滤波器通常会在现场可编程门阵列 (FPGA)、数字信号处理器 (DSP) 以及 (如果有合理的 MIPS 数量) ARM 内核器件中实现。根据所使用的滤波器类型，可以通过多种方法在 FPGA 中实现数字滤波器。通常，请采用以下步骤：

1. 选择滤波器类型和设计要求 (FIR/IIR、滤波器阶数、截止频率等)。
2. 使用软件工具设计滤波器系数。
3. 通过仿真来评估滤波器的性能和功能。
4. 使用原语元素或硬件描述语言 (HDL) 在 FPGA 中实现滤波器。
5. 决定使用浮点还是定点算术。
6. 通过硬件在环测试来验证性能。

尽管 FPGA 上的数字 FIR 和 IIR 滤波器效率高、性能强，但它们的设计仍然具有挑战性。设计过程中最困难的部分是在考虑滤波器中的门数和滤波器功耗时如何使用原语元素或 HDL 编码在 FPGA 上进行滤波器算术的物理实现。这要求滤波器设计人员具有专业知识并需要时间，但该过程允许进行定制和控制。然后，需要广泛的仿真来验证滤波器的性能，可能会非常耗时。

ADS127L21 中的可编程滤波器

在系统中实现数字滤波器有多种方法，包括 Δ - Σ ADC 中的集成滤波器或 FPGA 中的自定义数字滤波器。传统 Δ - Σ ADC 中的固定数字滤波器足以满足许多应用的需求，但系统可能需要自定义滤波来满足某些非标准要求。在 FPGA 中实现数字滤波器可以支持完整的定制和控制，但这需要一定的专业知识。

提供可编程滤波器的 ADC 允许用户在 ADC 内实现许多任意滤波功能，而不会因 FPGA 设计所需的额外功耗、设计时间和成本而受到损失。此外，带有 ADC 的可编程数字滤波器可以取代低通巴特沃斯滤波器等模拟滤波器的功能。通过由数字滤波器实现模拟滤波器功能，可以消除模拟滤波器的噪声、功率和 PCB 面积。

ADS127L21 是一款具有可编程数字滤波器的 24 位 Δ - Σ ADC，使用宽带滤波器时数据速率高达 512kSPS，使用低延迟滤波器时数据速率高达 1365kSPS。该器件内的可编程 IIR 和 FIR 数字滤波器支持自定义滤波器特征，例如高通滤波器、50Hz 或 60Hz 陷波滤波器以及 A 加权补偿。ADS127L21 包含一个具有 128 个 32 位滤波器抽头的可编程 FIR 滤波器和一个具有四个 32 位双二阶滤波器的可编程 IIR 滤波器。

在 ADS127L21 中使用可编程滤波器的优点包括：

1. 简化滤波器实现：设计滤波器系数后，可以使用 SPI 通信将系数直接编程到器件中。无需使用 Verilog 或 VHDL 手动对滤波器编码。这可以缩短上市时间并减少设计所需的工作量。消除了 FPGA 滤波器的成本和功耗。
2. 消除模拟滤波器块：与模拟滤波器不同，数字滤波器是可编程的并且可以修改。数字滤波器消除了模拟输入滤波器的噪声、失真、成本和功耗。此类滤波器对于取代高阶模拟输入滤波器特别具有成本效益。
3. 灵活选择微控制器 (MCU)：由于滤波器位于 ADC、MCU 或 FPGA 内，因此无需实现数字滤波器。进而，可以更灵活地选择 MCU。
4. 更低功耗：ADS127L21 内的数字滤波器针对效率进行了优化，其功耗设计比使用外部滤波器时可能实现的功耗更低。

ADS127L21 评估模块 (EVM) 允许对可编程数字滤波器进行绘图和测试。使用该评估模块来设计滤波器和评估性能的过程如下列步骤所示。

1. 使用 **MatLAB® Filter Designer 应用程序** 等软件工具设计滤波器系数。
2. 将系数加载到 EVM 图形用户界面 (GUI) 中并运行仿真频率响应图。
3. 通过向 EVM 施加测试信号来测试硬件性能。

如需更多详细信息，请参阅 **ADS127L21EVM-PDK 用户指南**。

ADS127L21 滤波器示例

为避免受到电力线频率的干扰，工业控制系统必须抑制 50Hz 和 60Hz 信号。某些 $\Delta-\Sigma$ ADC (如 ADS124S08) 可以抑制信号，但 ADC 的采样速率必须低于 20 个样本/秒。借助 ADS127L21，可在以 1000 个样本/秒的速率进行采样时采用 50Hz 或 60Hz 陷波滤波器在这些频率下进行信号抑制。

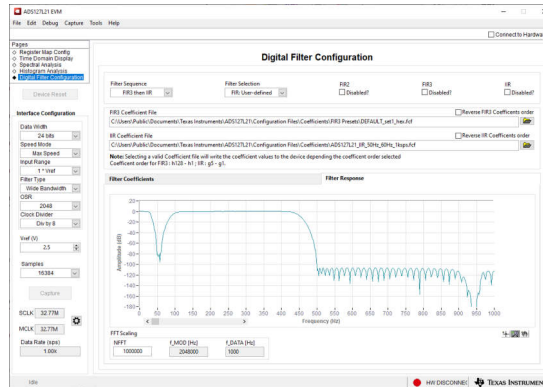


图 5. 使用 ADS127L21 时 50Hz 和 60Hz 陷波滤波器的频率响应

振动传感器和音频系统等应用会使用交流耦合来阻止信号的直流部分使用适用于信号交流部分的范围。交流耦合使用高通滤波器。ADS127L21 可编程 IIR 滤波器以数字方式消除信号和低频的残余直流分量，从而无需外部滤波即可提高分辨率。图 6 展示了一个 10kHz 8 阶高通滤波器消除低于 10kHz 的信号分量的示例。

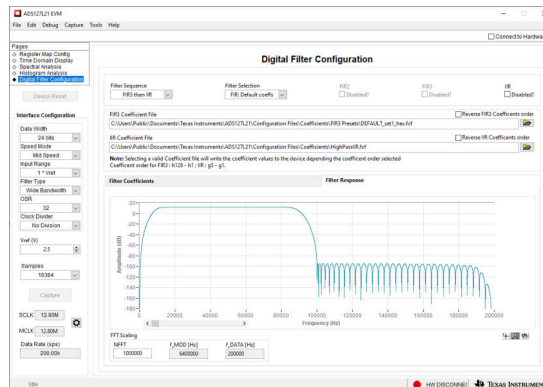


图 6. 使用 ADS127L21 时高通滤波器的频率响应

结论

许多系统使用数字滤波器对信号的频率响应进行整形并消除噪声。 $\Delta-\Sigma$ ADC 会使用这些滤波器，但这些是不允许用户进行自定义的固定滤波器。FPGA 可以实现高性能和可定制的数字滤波器，但需要设计人员具备一定的专业知识。ADS127L21 具有集成的 FIR 和 IIR 滤波器，用户可以直接在芯片上进行编程，从而降低成本并提高效率。因此，用户能够设计出满足系统要求的自定义滤波器特征，并可减少设计人员的工作量。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司