



Brandon Young, Jack Guan, Parker Dodson

摘要

RS-485 是一项存在已久的差分有线通信标准，工厂和楼宇自动化、电机驱动器、医疗设备和电网基础设施等许多工业应用都严重依赖该标准。该标准能够在多个通信节点之间创建远距离有线通信网络，同时保持在恶劣的工业环境中运行所需的稳健性，因而备受推崇。总线长度可达 1.2km (约 4000ft)，因此布线很快就会成为系统中成本最高的环节之一，布线至少需要两条数据线，还需要中性线和电源线；很明显，节约成本的措施将对最终用户有利。

TI 的 Powerbus 是满足此需求的一种方法，它通过开关键控 (OOK) 调制 RS-485 使电源和数据共用一根电缆。然而，Powerbus 和传统 RS-485 并不直接兼容，因此它们通常不能混搭使用。这对一些可从 Powerbus 中受益的最终用户来说是个问题，在他们的一些系统中，他们无法控制每个通信节点的设计，因此无法直接实现 Powerbus。本应用手册旨在指导最终用户设计一块电路板，该电路板既可用于传统 RS-485 系统，又可用于采用 Powerbus 的系统。

内容

1 引言.....	2
2 什么是 Powerbus ?	2
3 Powerbus 与传统 RS-485	6
4 组合系统指南.....	8
5 总结.....	20
6 参考文献.....	21

插图清单

图 2-1. THVD80x0：调制和解调.....	2
图 2-2. THVD8000 调制频率与设置电阻值间的关系.....	3
图 2-3. THVD80x0：功能方框图.....	4
图 2-4. THVD80X0 简化版原理图 (图中所示为 THVD8010)	4
图 3-1. Powerbus 标准引脚排列.....	6
图 3-2. 适用于 8 引脚半双工 RS-485 收发器的标准引脚排列.....	6
图 4-1. 通用电源输入原理图.....	9
图 4-2. 通用单端 I/O 原理图.....	10
图 4-3. 传统 RS-485 + Powerbus 接口原理图.....	11
图 4-4. 示例布局 - 顶层.....	13
图 4-5. IC PWR、IO、差分总线和高功率接口布局特写.....	14
图 4-6. 示例布局 - 底层.....	18
图 4-7. 示例布局 - 层堆叠.....	19

表格清单

商标

所有商标均为其各自所有者的财产。

1 引言

在远距离 RS-485 系统中，找到既具有成本效益又不影响性能的解决方案是系统设计成功的关键。TI 的 Powerbus 器件 THVD8000 和 THVD8010 利用 RS-485 的 OOK 调制和外部耦合网络，让数据和电源共用一条总线，从而解决了这一问题。但由于传统 RS-485 和 Powerbus 的特性，这两种器件均无法正确理解对方，从而阻碍了传统 RS-485 和 Powerbus 之间的通信。

这就给大型系统的设计造成了麻烦，设计人员可能无法控制连接到总线的每个通信节点，并可能导致设计人员重新使用传统 RS-485 以确保其所有系统中的兼容性。不过，也有一些组合解决方案，可使一块电路板适用于多个系统（无论是否使用 Powerbus）。本应用手册将首先介绍 Powerbus 是什么以及它是如何工作的。接下来，将深入研究 Powerbus 与传统 RS-485 的区别，分析两者之间的不兼容之处。最后，对可应用于各种系统的联合解决方案进行研究。

2 什么是 Powerbus ?

在比较传统 RS-485 与 Powerbus 之前，需全面了解 TI Powerbus 的理论基础。首先来了解一下 OOK 调制方案以及物理调制器和解调器，看看数据是如何编码和解码的。然后探究物理收发器以及收发器在总线上的工作方式。最后，探讨外部耦合网络及其提供的功能。

OOK 调制也称为开关键控，是幅移键控 (ASK) 的一种极其简单的形式，它表示的是存在或不存在载波信号的数字数据。在 TI 的 Powerbus 中，通过采用较低速率的数字数据传输并发送较高频率（至少是数据速率的 10 倍）的 OOK 调制信号，可以进一步实现这一点，其中载波信号的存在表示逻辑低电平（二进制值 0），载波信号的缺失表示逻辑高电平（二进制值 1）。

输入位	Powerbus OOK 输出	Powerbus OOK 输入	输出位
0	调制频率下的载波有效	调制频率下的载波有效	0
1	总线空闲 - 无有效载波	总线空闲 - 无有效载波	1

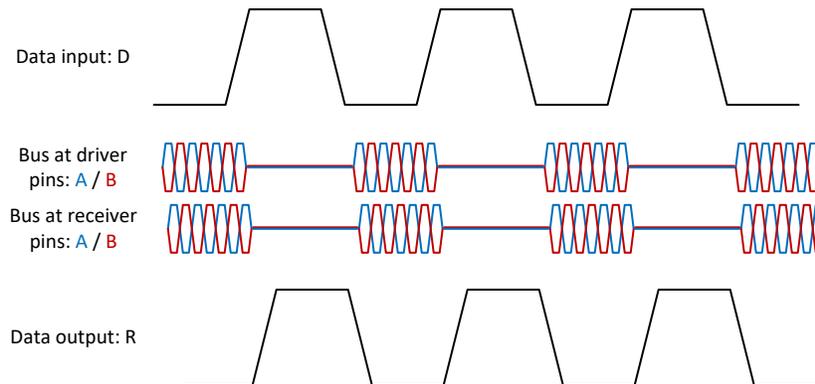


图 2-1. THVD80x0 : 调制和解调

通过 THVD8000 或 THVD8010 上的设置电阻来选择调制频率。THVD8000 的调制频率范围为 125kHz 至 5MHz，而 THVD8010 的调制频率范围为 125kHz 至 300kHz，但对噪声的敏感度低于 THVD8000。

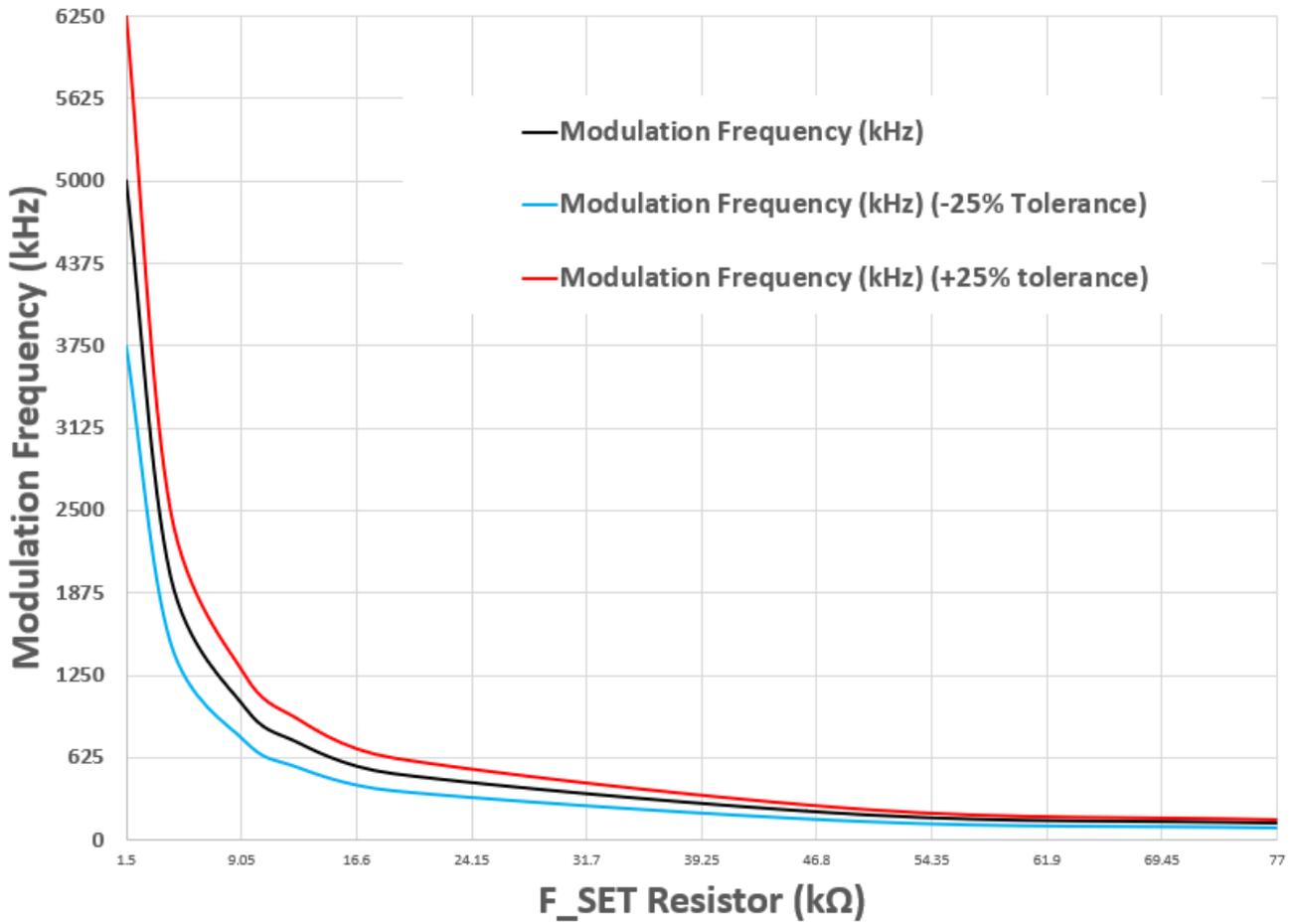


图 2-2. THVD8000 调制频率与设置电阻值间的关系

OOK 信号的解调遵循与调制信号相同的逻辑，但顺序相反。解调器通过使用集成式变频带通滤波器来实现这一点，该滤波器通过与之前相同的设置电阻进行控制，以便做好充分准备，以正确的频率接收数据。其中一个重要的细微差别是变频带通滤波器的品质因数 (Q_0) 值较低，这意味着其通带较宽 - 之所以这样，是因为调制器本身对信号的载波频率有 $\pm 25\%$ 的容差 - 因此滤波器本身并不十分挑剔，并且在一条总线上使用多个 OOK 频率会导致通信问题，通常不建议这样做。

了解调制器和解调器后，就可以更详细地探究收发器本身。

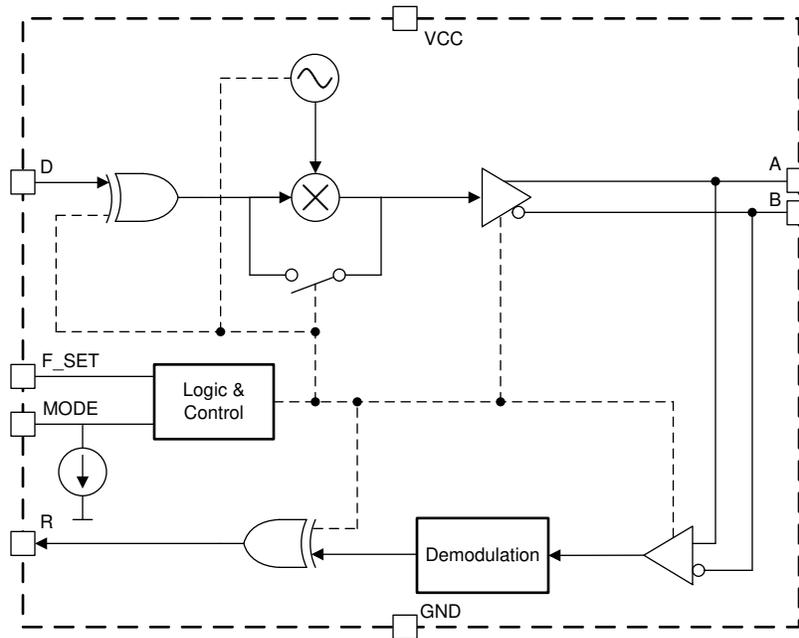


图 2-3. THVD80x0 : 功能方框图

功能方框图显示 Powerbus 器件可分为三组。首先是面向数字控制台的引脚 (D、MODE 和 R)，用于对器件进行控制，并允许向收发器控制器传输数据以及从中接收数据。D 和 MODE 引脚是标准逻辑输入端，与传统 RS-485 器件通用的其他逻辑输入端相同：输入高电平为 2V 或更高，输入低电平为 0.8V 或更低。D 是传输的数据，MODE 是对器件的控制，其中逻辑高电平可将器件置于发送器模式，而逻辑低电平可将器件置于接收器模式。其次是调制器和解调器 - OOK 调制和解调方案物理集成到器件的这个位置，其功能如前所述。最后是面向收发器总线的实际引脚 A 和 B。除了输入阈值 (由于调制方案的原因) 外，该前端的所有其他方面均符合 RS-485 标准。因此它不会对传统 RS-485 总线产生负面影响，但它无法与线路上的其他器件通信。

外部耦合网络可以说是 Powerbus 设计中最重要方面之一，因为它允许在同一条总线上传输电力和数据。

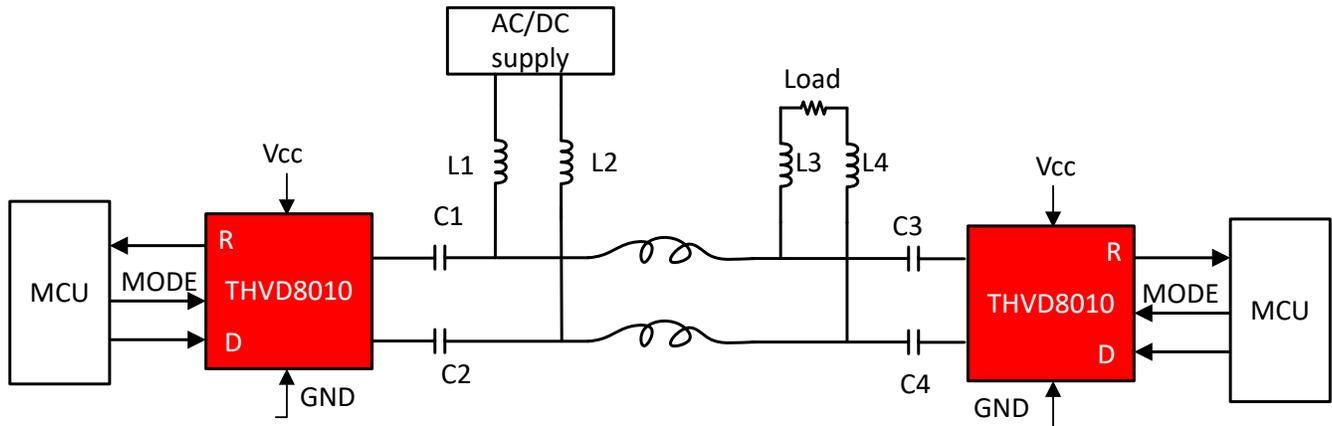


图 2-4. THVD80X0 简化版原理图 (图中所示为 THVD8010)

每个节点的耦合网络均由 2 个电容器和 2 个电感器组成。在 THVD80X0 简化版原理图 (图中所示为 THVD8010) 中，C1、C2、L1 和 L2 表示第一个 THVD8010 的耦合网络，而 L3、L4、C3 和 C4 表示第二个 THVD8010 的耦合网络。概括来说，共享总线背后的理念是频分多址 (FDMA)，其中数据信号的频率远高于电源信号的频率 (电源信号频率要么为 0Hz (直流)，要么为低频交流 (50Hz - 60Hz))，并且每个目标器件的预期负载都可以滤除无用信号。实际上，这意味着网络中的电容器对 THVD8000 或 THVD8010 应具有低阻抗，但对电源信号应具有高阻抗，从而使收发器仅与数据信号本身交互。相反，电感器必须对电源信号具有低阻抗，这样电源信号在通过时才不会会有太大的衰减；而对 OOK 数据信号具有高阻抗，以防止收发器过载并帮助防止电源或负载上的噪声。假设电源和电源负载具有大容量电容，以帮助为 OOK 信号创建交流接地 - 使用交流电源 (而不是更

简单的直流电源) 时, 这是一个重要的考虑因素。电容器和电感器的大小根据以下公式确定, 这些公式假定系统已正确端接 (两个 120 Ω 终端, 每个终端节点各一个)。

$$C_{\min} = \frac{1}{2 \times \pi \times f_{\text{mod}} \times 5\Omega} \quad (1)$$

$$L_{\text{Min}} = \frac{1}{\left(\frac{1}{375\Omega} - \frac{N}{R_{\text{in}}}\right) \times \frac{2 \times \pi \times f_{\text{mod}}}{N}} \quad (2)$$

电容器的大小设定为每个节点上的最小允许电容在调制频率下为 5 Ω。如果不遵循此过程, 数据信号的衰减会更大。该值可以低于 5 Ω, 但不能高于 5 Ω。

电感器设置每个所用电感器的最小有效电感值 (例如, 如果有 2 个节点和 4 个电感器, 则每个节点和电感器至少需要 L_{\min})。N 是同一总线上其他 Powerbus 节点的数量。在 N 值较小的情况下, 电感值不会受到收发器负载的影响, 但随着 N 的增大, 它将成为计算的重要部分。这样一来, 总线的共模负载就等于或大于 375 Ω, 这相当于 32 个单位负载的近似共模负载, 即 RS-485 允许的最大值。该公式仅给出有效电感 (因为电源电流会导致降额), 确保运行期间有效电感处于这一电平至关重要。其他电感器参数取决于电源系统需求, 而不是 THVD8000 或 THVD8010 的需求。

耦合网络最终用作滤波器, 而调制方案是一种可在与电源信号相同的线路上进行可靠通信的方案。THVD8000 或 THVD8010 的运行不需要该网络, 但需要该网络来保护自身免受潜在破坏性电源信号的影响, 并防止总线过载。

这份关于 Powerbus 可能的修改的列表并非详尽无遗, 但确实显示了标准 Powerbus 应用背后的基本设计原理。

3 Powerbus 与传统 RS-485

Powerbus 与传统 RS-485 有何不同？Powerbus 采用与具有相似电气特性的标准 RS-485 器件相同的面向总线架构，与传统 RS-485 具有许多相同的特性。但是，即使这两项标准之间有很多相似之处，它们也无法相互通信。本节将指导最终用户辨别这些同类器件之间的异同。

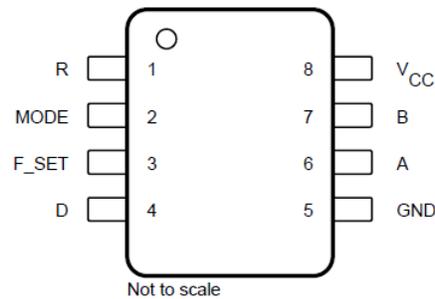


图 3-1. Powerbus 标准引脚排列

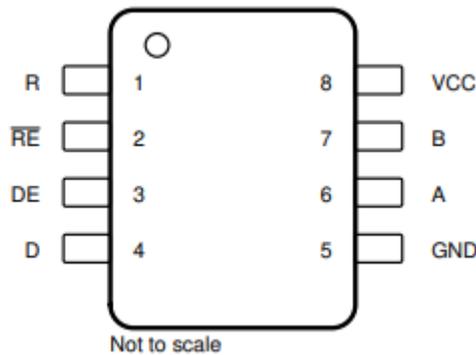


图 3-2. 适用于 8 引脚半双工 RS-485 收发器的标准引脚排列

由于传统 RS-485 与 Powerbus 具有类似的面向总线架构以及类似的面向控制器架构，因此这两项标准有一些共性。研究控制器侧引脚，可以发现，有两个引脚在这两项标准之间具有等效功能，即“D”引脚和“R”引脚。当接收器处于运行状态时，R 向控制器发送单端数据信号，反之则发送高阻态信号；而 D 则将单端数据传输到差分总线上。大多数传统 RS-485 与 Powerbus 之间的标准 V_{IH} （最小值）为 2V， V_{IL} （最大值）为 0.8V。

如果 THVD8000 上的 Mode 引脚与 /RE 和 DE 引脚短接在一起，则这两个引脚等效。MODE 的逻辑低电平 = RX 模式下的 THVD80X0，MODE 的逻辑高电平 = TX 模式下的 THVD80X0。所有这些引脚使控制器能够确定数据流是流向控制器还是流出控制器。主要区别在于，THVD80X0 不具有真正的禁用状态，因为 MODE 引脚仅允许两种不同但处于工作状态的模式，而具有使能功能的传统 RS-485 则允许器件在 VCC 电平有效时进入关断/禁用模式。应该注意的是，使能功能并未在 RS-485 标准中明确定义，但在许多 RS-485 器件中十分常见，而 Powerbus 系列采用了一种不太标准的控制方法来允许在 F_SET 引脚中实现额外功能。F_SET 引脚用于通过接地电阻设置调制频率 - 为了在 RS-485 通用的典型 8 引脚封装中保留 Powerbus，必须将控制引脚移至单个控制引脚中。

上述相似之处并不仅限于面向控制台的引脚。电源引脚是等效的，但更有意思的是，面向总线的引脚也是如此。总线接口将符合所有 RS-485 要求的规格，只有 1 项除外，即差分输入阈值。Powerbus 器件具有与 1/8 单位负载器件相同的驱动强度和负载能力，具有共模输入电压范围和短路电流限制（这里仅举几个关键规格）。归根结底，这意味着 THVD80X0 系列器件如果放置在标准 RS-485 总线上，在正常工作条件下不会造成损坏，也不会造成接收器损坏。由于 Powerbus 无法在不切断器件电源的情况下禁用收发器，因此如果在一块电路板上同时使用两种器件，可能需要采用外部分离方法。

如前所述，Powerbus 不符合 RS-485 标准的一项规格是输入阈值。这主要是由于 THVD80X0 系列器件采用了调制方案。在传统 RS-485 中，-200mV 及以下是逻辑低电平，200mV 或更高电压是逻辑高电平 - 这是输入阈值的

基线。Powerbus 器件不能使用此逻辑，因为逻辑高电平在理想情况下为 0V，而逻辑低电平将在正值和负值之间交替。这意味着，对于没有集成式失效防护的旧版 RS-485 系统，如果 THVD8000 发送逻辑 1，则传统 RS-485 器件会将其读作未定义。如果 RS-485 系统使用带有集成式失效防护的现代收发器，那么逻辑 1 实际上会被读作 1，因为在更现代的器件上，0V 被读作逻辑 1。但是，在旧版和现代 RS-485 收发器上，如果从 THVD8000 发送逻辑 0，则传统 RS-485 收发器会将其读作数据速率为 2 倍调制频率的交替位模式。假设收发器的额定数据速率更高，则读取的数据将不正确。如果将此实验翻转至 THVD80X0 器件接收数据的位置 - THVD80X0 系列器件不仅能检测信号幅度，还能通过带通滤波器传递信号 - 因此，数据信号要么看起来像一串实实在在的 0，要么由于内部带通滤波器对信号进行了抑制，所以就像什么也没传输一样。可以这样认为，Powerbus 器件和传统 RS-485 虽然非常相似，但语言却不通，因此无法相互通信。

4 组合系统指南

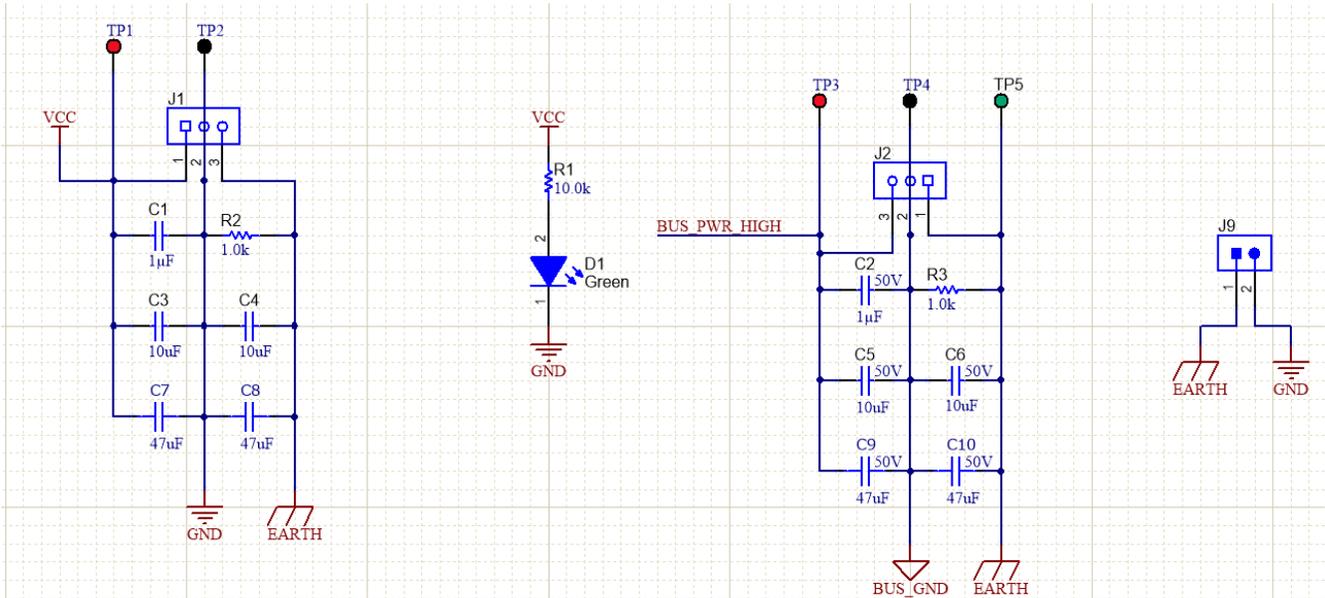
了解传统 RS-485 与 Powerbus 之间的基本差异后，我们发现器件无法相互通信，但如果器件之间确实能够进行通信，也不会直接对彼此造成损害。然而，这使工厂和/或楼宇自动化用例中的大型通信节点网络的设计人员面临独特难题，在这些用例中，设计人员可能无法完全控制系统中的每个节点，但 Powerbus 可将布线成本减半，从而有助于大幅降低系统的总成本。在过去，这意味着，设计人员会在他们能够完全控制网络的内部工程中实现 Powerbus，在无法完全控制网络时则实现传统 RS-485，同时不得不向客户建议更昂贵的解决方案，直到其他节点的设计人员决定使用 Powerbus 以大幅降低实现成本（如果他们真的这样做的话）。这就造成了这样一种情况，即需要设计多块电路板来满足多个特定需求，并且将系统从传统 RS-485 升级到 Powerbus 将需要全新的电路板设计。不过，还有一种更快捷的方法，那就是设计一块两用电路板，经过配置后，既可用作 Powerbus，也可用作传统 RS-485。本应用手册的其余部分将介绍原始设计参数、原理图设计，最后介绍通用板外观的拟议布局，以及追求此类应用的好处和利弊权衡。

Powerbus 在设计上非常灵活。为了能够举例说明，已将设计参数调整为满足以下要求。

参数	要求
主电源轨	36V 直流
来自电源轨的最大电流	3A
电源节点总数	4
器件 VCC	5 V 或 3.3 V
调制频率	5MHz

使用第 1 节的公式，可得到以下结果。最小串联电容为 6.4nF - 因此，任何 6.4nF 或更大的电容都可以正常工作，所以本设计将选用 1 μ F 电容器。为避免因电压问题而导致过多降额，应选择 50V 至 100V 陶瓷电容器 - 一般来说，电容器两端的最大电压乘以 2 是一个很好的电压额定值，这样才能避免陶瓷电容器的降额。需要注意的一点是，无论直流系统中的调制频率如何，255nF 或更大的电容器均可在任何 Powerbus 应用中正常运行 - 在交流系统中，由于交流信号将通过串联电容器进行传导，因此电容值的重要性要高得多。每个节点的最小有效电感（由于有 4 个节点，因此需要 8 个电感器）为 48.5 μ H，这是每个电源节点连接的有效电感。务必要考虑电感器的饱和电流，因为根据电感器制造商的不同，饱和电流是将电感降低标称值的 10%、20% 或 30% 所需的电流 - 因此，虽然电源电流对 Powerbus 器件无关紧要，但对耦合网络的电感器部分却很重要。讨论了 Powerbus 参数之后，现在就可以对联合原理图设计进行分析了。

传统 RS-485 系统设计比 Powerbus 简单得多，因此，该联合原理图适用于任何采用 8 引脚 SOIC 封装的器件，这种封装是半双工 RS-485 收发器的常见封装。这种组合设计可分为三个不同的部分：电源连接、单端 I/O 和直接收发器接口。



Device VCC and Powerline Connections

图 4-1. 通用电源输入原理图

对于器件 VCC，电源连接本身包含两个端子块/测试点输入；对于 Powerbus，主电源线将包含共享总线上的一半信号。它们的结构相同，都是一个简单的三脚输入端（带电、中性/GND 和 EARTH/机箱连接），其中 J1 用于器件 VCC，J2 用于更高功率信号。它们在电源正极和负极端子之间均存在大容量电容，您还可以选择在电源负极端子和 EARTH/机箱连接之间添加额外电容。器件 VCC 不需要大容量电容，但假设 Powerbus 器件在电源和负载上存在大容量电容。电容值可根据具体用例而变化。此外，还可在 GND 和 EARTH 之间添加一个电阻，以减少接地环路电流，从而降低出现噪声问题的风险。除了电源输入，还有另外两个特性：器件 VCC 的 LED 指示灯，以及 GND 和 EARTH 之间的分流器（如果系统中不存在接地连接）。根据具体用例确定连接方式。

元件	传统 RS-485	Powerbus	说明
J1	器件 VCC 输入	器件 VCC 输入	接受 3.3V 至 5V
TP1	器件 VCC 输入 + 端子	器件 VCC 输入 + 端子	各用例情况相同
TP2	器件 GND 输入	器件 GND 输入	各用例情况相同
J2	未使用	电力线输入	仅用于 Powerbus
TP3	未使用	电力线“带电”输入	-
TP4	未使用	电力线“中性”输入	-

Single Ended I/O

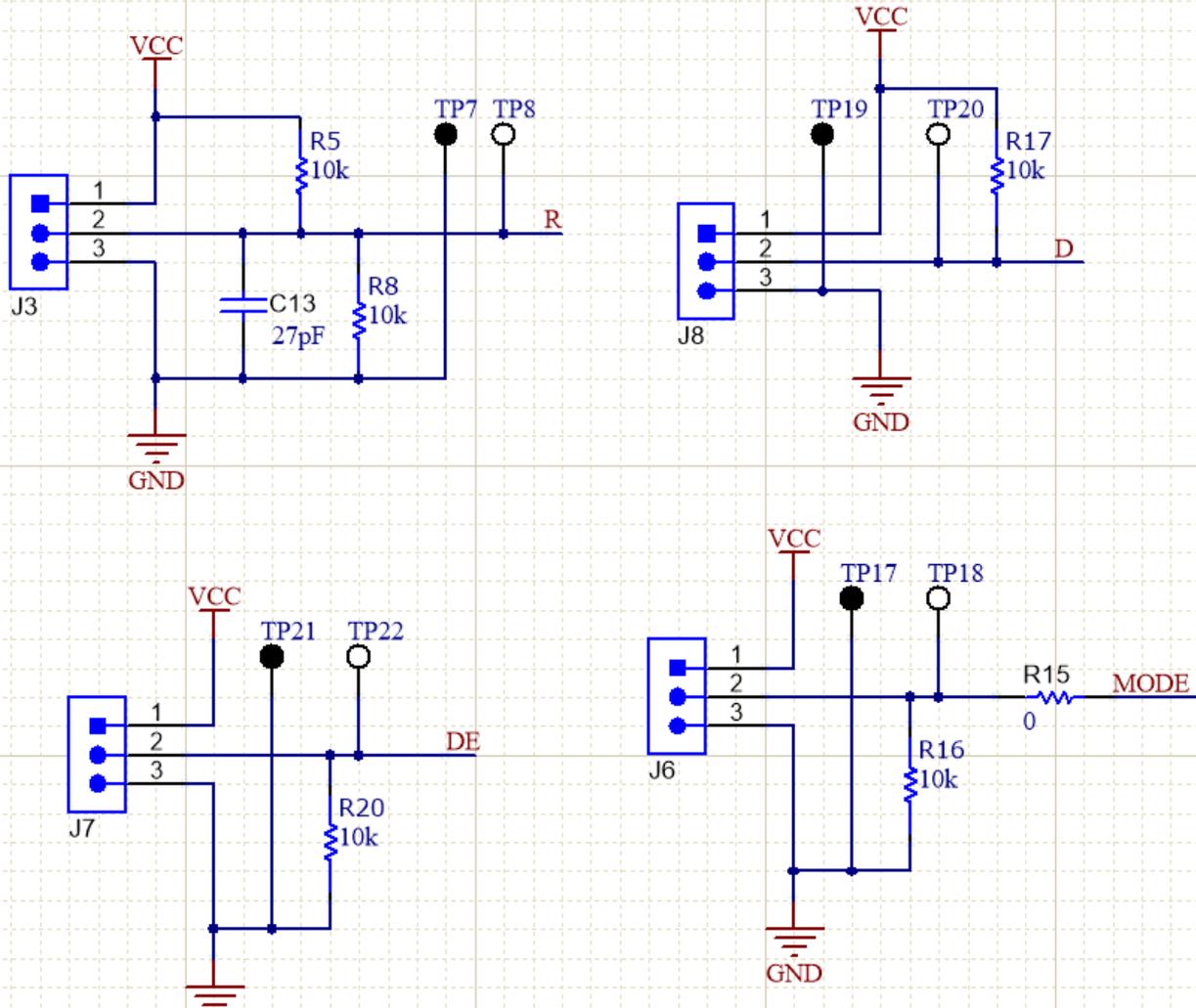


图 4-2. 通用单端 I/O 原理图

介绍完电源连接后，接下来要关注的是单端 I/O。幸运的是，如前所述，无论是传统 RS-485 还是 Powerbus，D 和 R 引脚的功能均相同。在大多数用例中，R 和 D 可直接连接到有线通信子系统的控制器 - 无论负载情况如何，均可使用上拉和下拉电阻。上面连接到 J3 的 R 引脚可选择上拉、下拉和/或容性负载（常见用例是采用上拉电阻和容性负载，以便空闲状态始终读为“高电平”），这在 UART 协议中很常见。连接到 J8 的 D 引脚显示了采用上拉电阻的情况，用于确保在启动时达到保证的电平。妥善做法始终是在逻辑输入端设定一个预定义的“默认”状态，以防止输出端出现毛刺脉冲，但不一定是上拉电阻，也可以是下拉电阻。组合电路板上更多地涉及到其他两个信号。首先看看连接到 J7 的 DE 信号，需要注意的是，该输入仅用于传统 RS-485 子系统，因为 Powerbus 器件没有 DE 引脚。最后，J6 上的“MODE”输入将根据使用的应用类型来更改其运行方式。在 Powerbus 应用中，J6 的输入将用于切换收发器的模式（RX（逻辑低电平）或 TX（逻辑高电平）），而在传统 RS-485 中，该输入用于打开（逻辑低电平）或关闭（逻辑高电平）接收器。

组件	传统 RS-485	Powerbus	备注
J3	R 引脚单端输出	R 引脚单端输出	各标准之间没有区别
R5	可选上拉	可选上拉	各标准之间没有区别
R8	可选下拉	可选下拉	各标准之间没有区别

做到这一点，但通常需要一种编码方案，这种方案会降低系统的总体吞吐量，同时增加数据传输的复杂性。为了解决这个潜在的问题，该电路板提供了电阻串联或电容串联选项。在 **Powerbus** 中，需要安装电容器，而不会安装 $0\ \Omega$ 链路；而对于传统 **RS-485**，反之亦然。下一个主要关注点是电感耦合 - 从技术角度讲，**RS-485** 标准并未明确禁止对“交流”接地基准的共模电感，但该标准中提到了对地的最小共模阻抗。同样，该值约为 $375\ \Omega$ 。由于电感器的阻抗基于频率，并且在没有额外编码方案的情况下，无法保证未调制 **RS-485** 数据流的基频分量能保持正确的频率以防止总线过载，这将导致传统 **RS-485** 和 **Powerbus** 之间的总线负载不匹配。要解决这个问题，只需在需要 **Powerbus** 时为电感器保留焊盘，而在其他情况下不安装焊盘即可。其他元件主要包括建议用于传统 **RS-485** 和 **Powerbus** 的元件 - 包括分裂终端、保护二极管，以及使用传统 **RS-485** 时可在传统 **RS-485** 和 **Powerbus** 连接之间实现的电阻链路。

组件	传统 RS-485	Powerbus	备注
R9	如果通过 1 个信号控制两个控制引脚，则安装	请勿安装	-
R14	如果通过 1 个信号控制两个控制引脚，则安装	请勿安装	-
R6 和 R12	可选脉冲保护串联电阻	可选脉冲保护串联电阻	在保护二极管开始导通之前的浪涌/瞬态期间保护输入引脚
D3	双向保护二极管 (+/-12V)	差分 TVS 保护二极管	以差分线为基准进行保护
D2	双通道双向保护二极管 (-7V/12V)	双通道双向保护二极管 (-7V/12V)	以器件 GND 为基准进行保护
R7、R11 和 C14	分裂终端 - EMI 降低；可以改用 $120\ \Omega$ 电阻	分裂终端 - EMI 降低；可以改用 $120\ \Omega$ 电阻	分裂终端有助于滤除共模噪声
C12 和 C15	请勿安装	安装	用于 Powerbus 的串联耦合电容器
R4 和 R10	安装	请勿安装	-
L1 和 L2	请勿安装	安装	-

了解原理图以及在何种情况下如何使用后，就可以构建可能的布局。

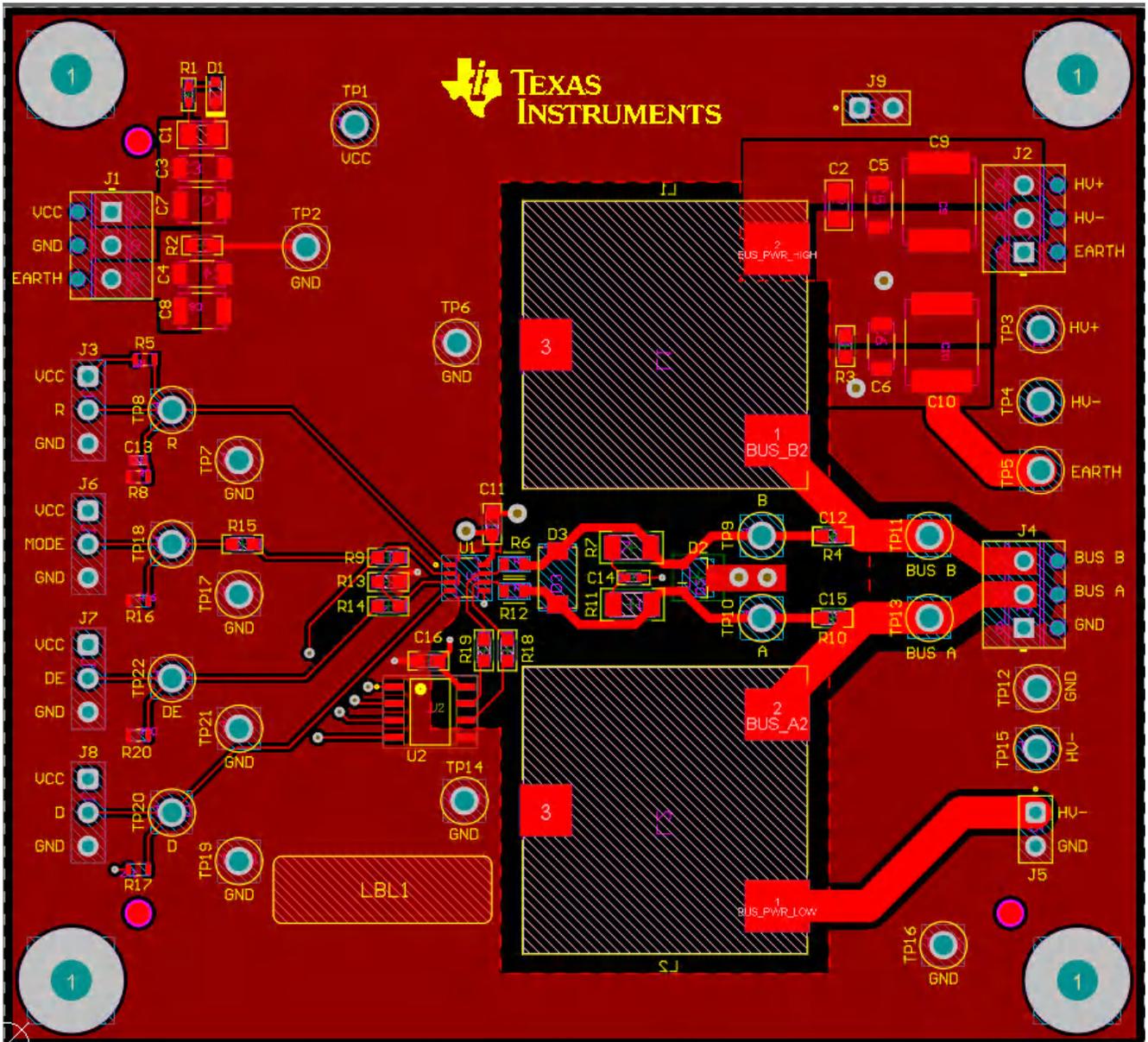
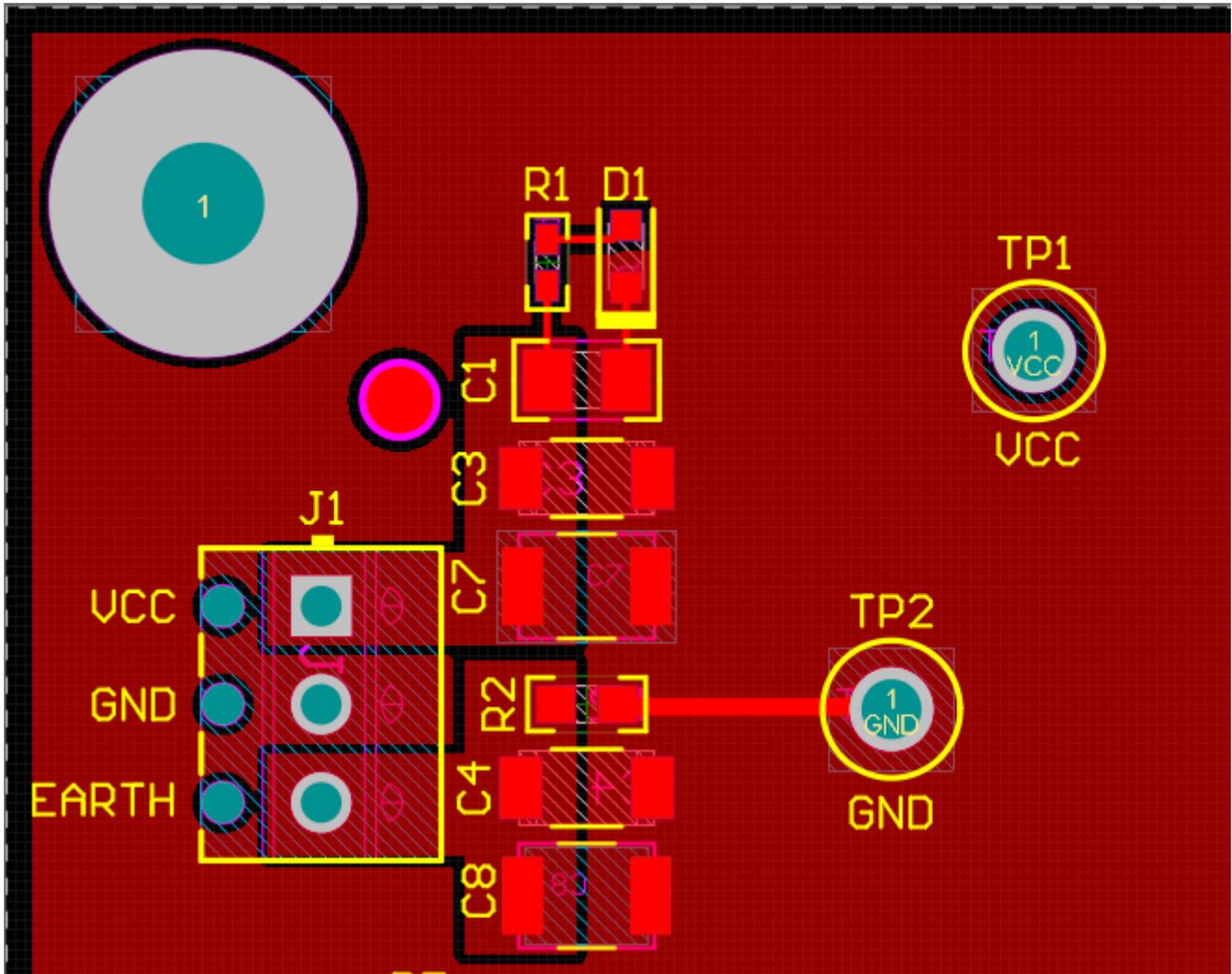
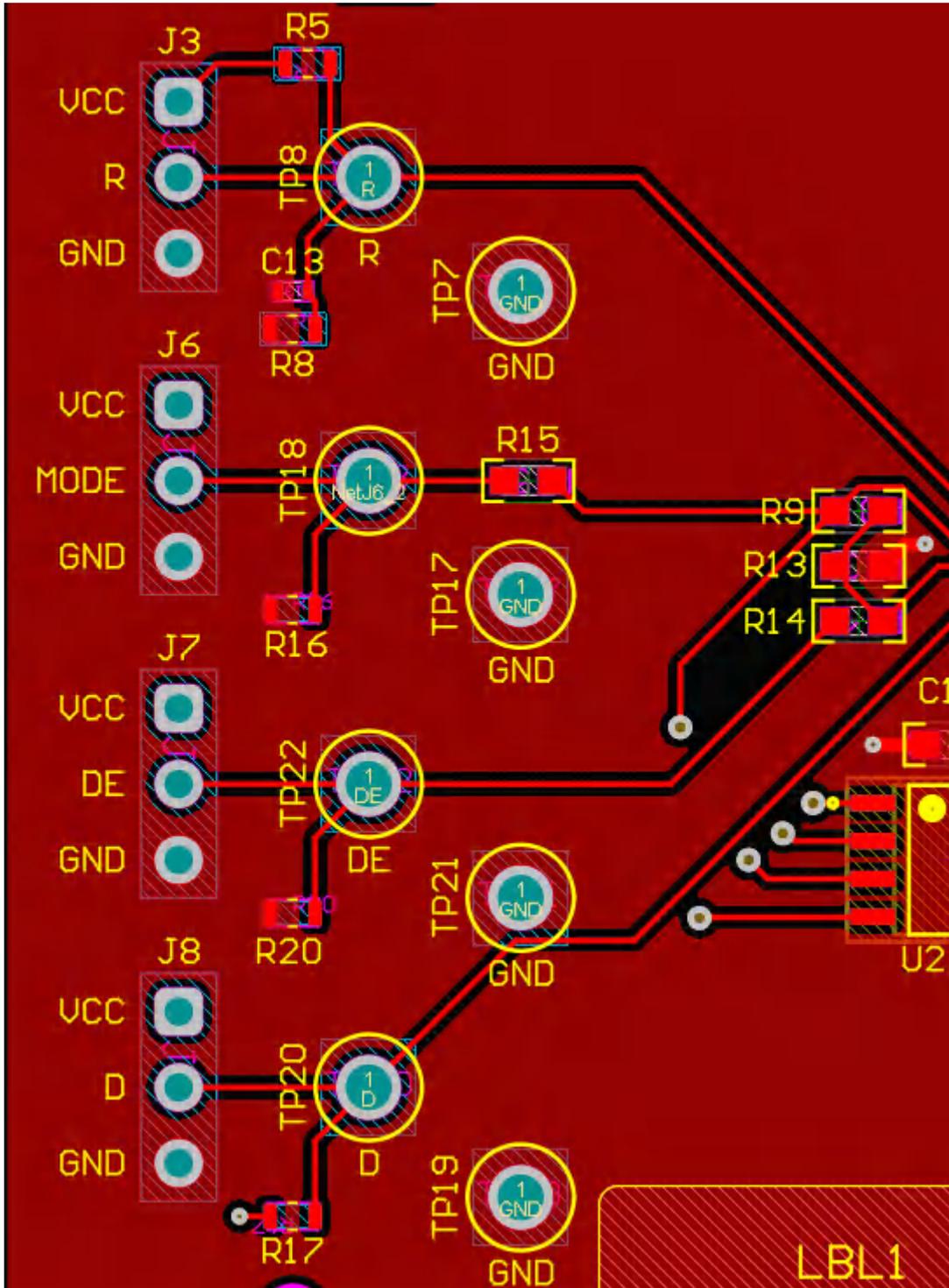
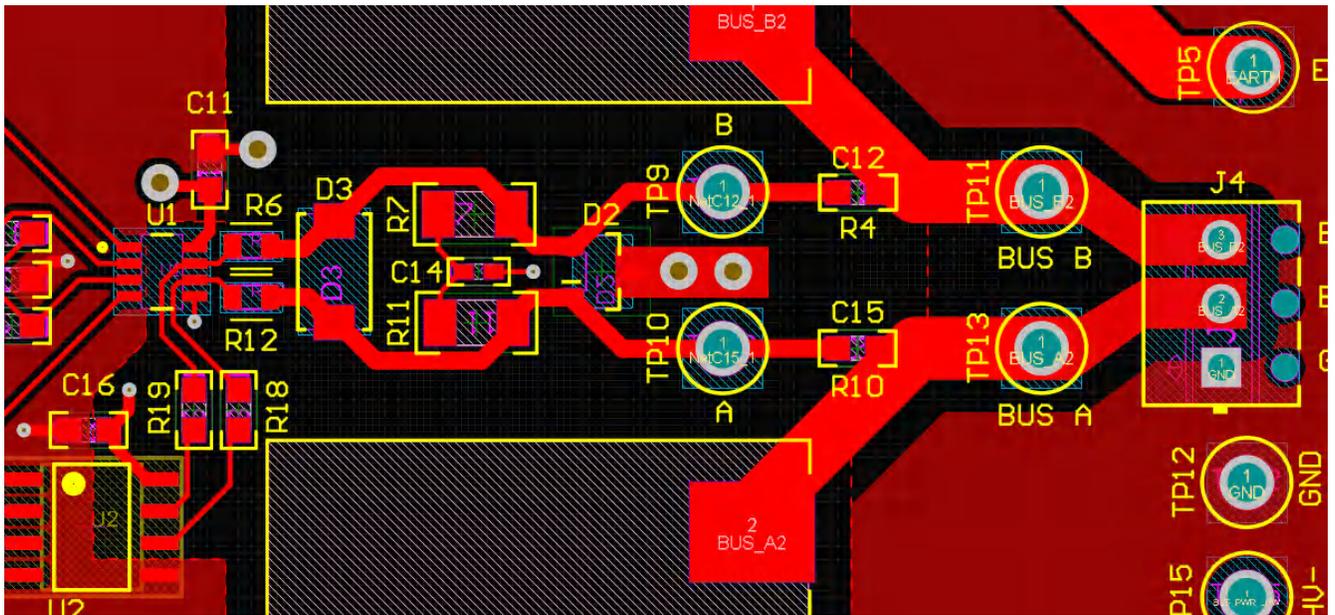


图 4-4. 示例布局 - 顶层







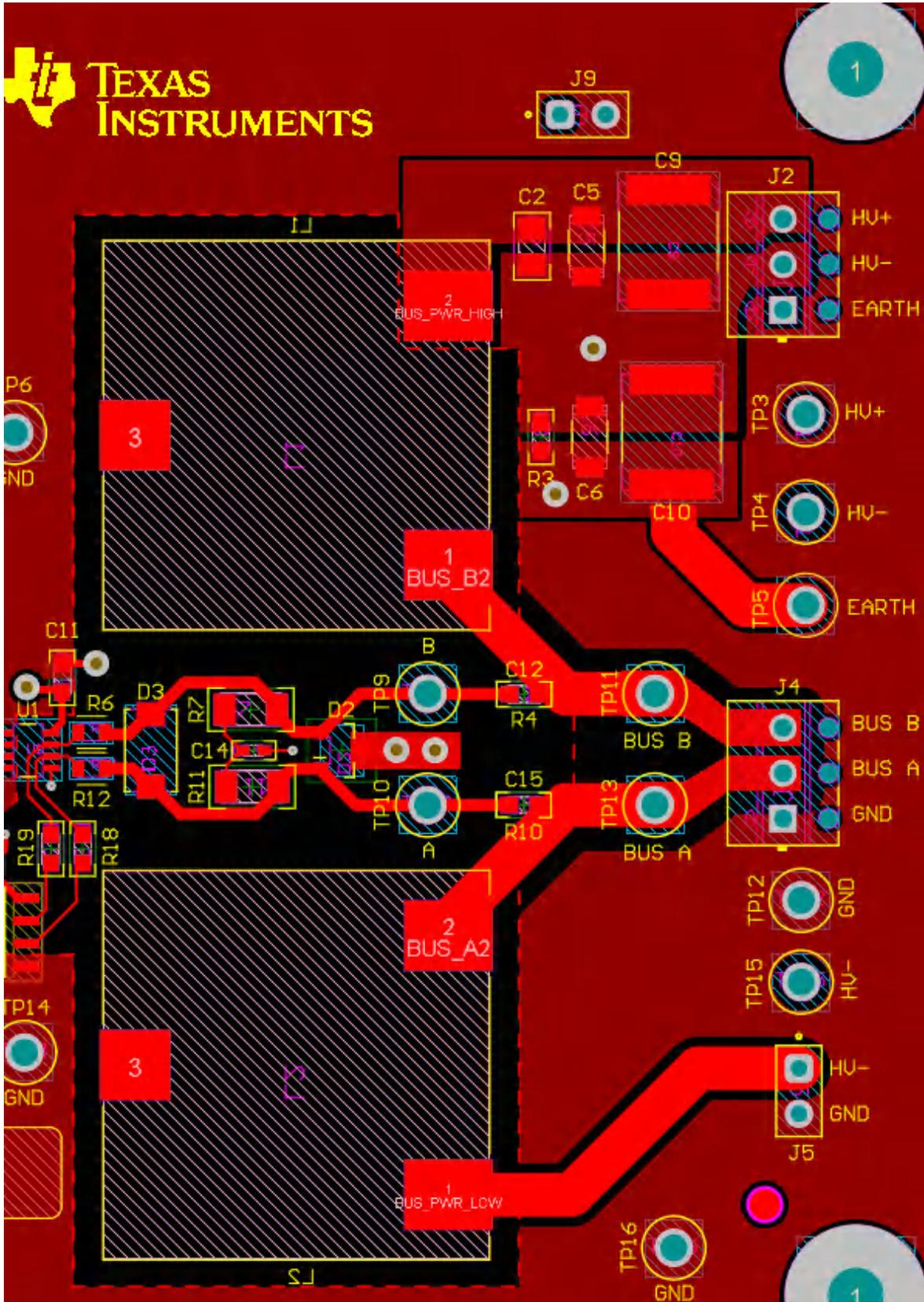


图 4-5. IC PWR、IO、差分总线和高功率接口布局特写

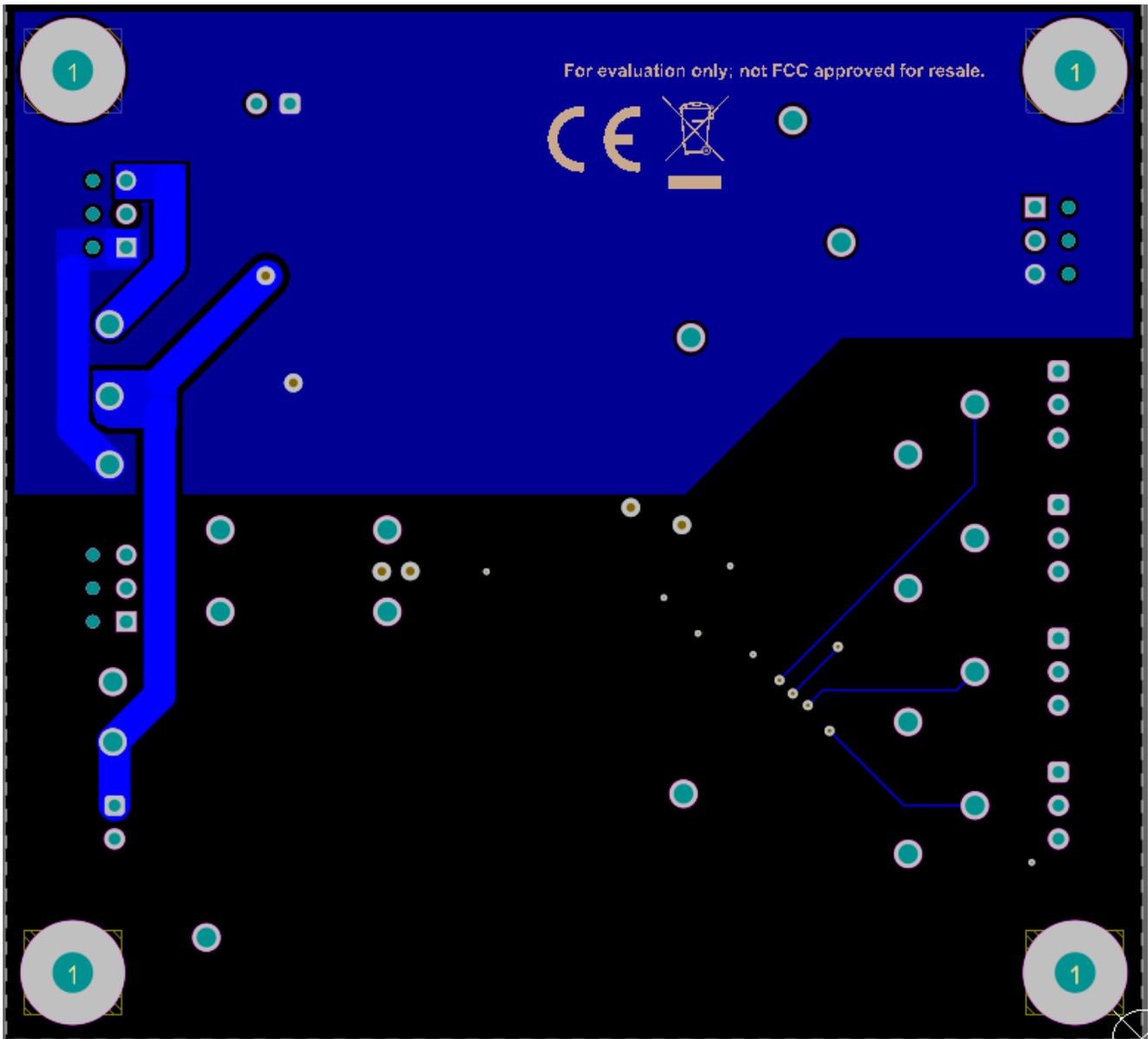


图 4-6. 示例布局 - 底层

Layer	Name	Material	Thickness	Constant	Board Layer Stack
1	Top Overlay				
2	Top Solder	SM-001	1.00mil	4	
3	Top Layer	Copper	1.38mil		
4	Dielectric 1	PP-017	5.10mil	4.3	
5	Dielectric 2	PP-017	5.10mil	4.3	
6	Int1 (GND)	Copper	1.38mil		
7	Dielectric 3	Core-039	28.00mil	4.8	
8	Int2 (PWR)	Copper	1.38mil		
9	Dielectric 4	PP-017	5.10mil	4.3	
10	Dielectric 5	PP-017	5.10mil	4.3	
11	Bottom Layer	Copper	1.38mil		
12	Bottom Solder	SM-001	1.00mil	4	
13	Bottom Overlay				

图 4-7. 示例布局 - 层堆叠

该布局采用 4 层电路板，将器件 VCC 和 GND 保留在电路板内部以便于布线 - 这不是必需的，但可以使布局更简单。

有了布局和原理图，半通用板就制作完成了。这样做的好处是可对多个系统进行统一设计。需要重点权衡的是解决方案尺寸与 Powerbus 可变性。传统 RS-485 由于缺少电感器，通常会提供较小的解决方案尺寸。在空间受限的应用中，很可能需要采用一种纯传统 RS-485 方法。另一个需要重点权衡的是电源总线的需求 - 电感值和尺寸可能因应用或终端设备的需求不同而存在显著差异 - 对于真正的通用板，应在 125KHz 调制频率下按 256 个节点选择电感器，并考虑最坏情况下的电源电流 - 因为这种电路板适用于任何电源总线应用，但由于电感值较大，其解决方案的尺寸也非常大。

5 总结

在不断变化的工业应用和终端设备领域，传统 RS-485 和 Powerbus 都占有一席之地。虽然这两项标准导致器件之间的语言略有不同，无法相互理解，但如果设计一块可应用于多个系统（无论是传统 RS-485 还是 Powerbus）的两用电路板，既可作为通用板，又可在其他系统节点升级为支持 Powerbus 时作为过渡，那么还是值得的。本应用手册概括介绍了可能的解决方案 - 另一种解决方案是在 $0\ \Omega$ 链路和电感耦合处的每个位置安装开关，以实现完全组装的两用电路板。

6 参考文献

- 德州仪器 (TI), [RS-485 设计指南](#) 应用手册。
- 德州仪器 (TI), [THVD24x0 具有 IEC ESD 保护功能的 \$\pm 70V\$ 故障保护 3.3V 至 5V RS-485 收发器](#)数据表
- 德州仪器 (TI), [THVD24xxV 具有灵活的 I/O 电源和 IEC ESD 保护功能的 \$\pm 70V\$ 故障保护、3V 至 5.5V RS-485 收发器](#) 数据表
- 德州仪器 (TI), [THVD8000 设计指南](#)应用手册。
- 德州仪器 (TI), [THVD8000 EVM 用户指南](#)。
- 德州仪器 (TI), [THVD8000 具有 OOK 调制功能、适用于电力线通信的 RS-485 收发器](#)数据表。
- 德州仪器 (TI), [THVD8010 具有 OOK 调制功能、适用于电力线通信的 RS-485 收发器](#)数据表。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司