

Application Note

AM6442、AM6422、AM6412 和 AM2434 处理器原理图设计指南和原理图审阅检查清单

摘要

本应用手册包括电路板设计人员在使用 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 处理器系列时应遵循的原理图设计指南、实现建议和原理图审阅检查清单。本文档讨论了处理器配置以及连接（外部）器件的不同处理器外设。检查清单部分提供了每个电路部分的完整审查点列表、可供电路板设计人员验证其定制设计。

本文档提供了处理器产品页面、相关配套资料、E2E 常见问题解答以及其他参考文档，可帮助用户优化设计流程。

内容

1 引言	3
1.1 应用手册使用指南.....	3
1.2 按系列列出的处理器.....	4
2 相关配套资料	4
2.1 常用和适用配套资料的链接.....	4
2.2 定制电路板设计硬件设计注意事项.....	4
3 处理器选择	5
3.1 数据表用例和参考的版本.....	5
3.2 处理器选择（OPN 可订购器件型号）.....	5
3.3 外设实例命名约定.....	5
3.4 未使用的外设.....	5
3.5 处理器订购和质量.....	5
3.6 处理器选型检查清单.....	5
4 电源架构	7
4.1 生成电源轨.....	7
4.2 电源控制和电路保护.....	11
5 一般建议	12
5.1 处理器性能评估模块（EVM）或入门套件（SK）.....	12
5.2 处理器特定 EVM 或 SK 与数据表.....	13
5.3 开始设计前.....	16
6 处理器建议	19
6.1 通用（处理器启动）连接.....	19
6.2 使用 JTAG 和 EMU 进行电路板调试.....	37
7 处理器外设	40
7.1 IO 组的电源连接.....	40
7.2 存储器接口（DDRSS（DDR4/LPDDR4）、MMCSD（eMMC/SD/SDIO）、OSPI/QSPI 和 GPMC）.....	41
7.3 外部通信接口（以太网（CPSW3G 和 PRU_ICSSG）、USB2.0、USB3.0（SERDES）、PCIe（SERDES）、UART 和 CAN）.....	57
7.4 板载同步通信接口（MCSPi、FSI 和 I2C）.....	75
7.5 模数转换器（ADC）.....	79
7.6 GPIO 和硬件诊断.....	81
7.7 验证电路板级设计问题.....	86
8 定制电路板原理图设计的自我审查	89
9 布局注释（已添加到原理图中）	90

9.1 布局检查清单.....	90
10 定制电路板设计仿真	91
11 其他参考内容	92
11.1 AM6xx 常见问题解答.....	92
11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列.....	92
11.3 连接器件.....	92
12 总结	93
13 参考资料	94
13.1 AM64x.....	94
13.2 AM243x.....	94
13.3 常见参考文献.....	94
13.4 可用常见问题解答主列表 - 按处理器系列.....	94
13.5 可用常见问题解答主列表 - Sitara 处理器系列.....	95
13.6 软件常见问题解答.....	95
13.7 有关连接器件的常见问题解答.....	95
A 术语	96
修订历史记录	98

表格清单

表 7-1. 接口实例的 IO 电源轨映射.....	58
表 7-2. CPSW3G MDIO.....	62
表 7-3. PRU_ICSSG INSTANCE MDIO.....	62

商标

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

1.1 应用手册使用指南

原理图设计指南和原理图审阅检查清单应用手册提供了可在定制电路板原理图设计期间用作定制电路板指南的设计指南，以及可用于审阅定制电路板原理图的每部分末尾的原理图审阅检查清单。

1.1.1 定制电路板设计 - 实施参考

本应用手册提供了原理图设计指南和原理图审阅检查清单，可在使用所选处理器和外设（板载或附加）（包括存储器、电源、接口和其他功能块）的定制电路板硬件设计期间使用。

所选处理器的处理器参考、外部（板载或附加）外设的附加器件参考，以上根据所设计的终端设备和应用用例连接到处理器。

1.1.2 特定处理器系列应用手册

本应用手册适用于 AM64x 和 AM243x 系列处理器、涵盖 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432、AM2431 - ALV 封装。

本应用手册介绍了特定处理器系列的设计指南和审阅检查清单。本处理器系列特定的应用手册简化了所选处理器系列的使用。

1.1.3 原理图设计指南

本应用手册为 AM64x 和 AM243x 处理器系列支持的所有外设提供了指南。在定制电路板原理图设计过程中，电路板设计人员可以查看并遵循原理图设计指南。除指南之外，还提供了指向常见问题解答的链接，以便在定制电路板原理图设计期间使用。

原理图设计指南有助于电路板设计人员减少设计工作量，并更大限度地减少可能影响功能和性能的设计错误。

1.1.4 原理图审阅检查清单

每个部分末尾的原理图审阅检查清单新增到应用手册中。该应用手册中的所有相关外设或电源部分都包含归为“一般”、“原理图审阅”和“其他类型”的检查清单。电路板设计人员可以使用检查清单对定制电路板原理图进行自我审查，以尽可能减少可能导致功能或性能问题的错误，从而增加电路板启动和测试时间。

请参阅[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-原理图查看检查清单](#)，了解有关可用检查清单和格式的信息。

1.1.5 应用手册使用指南的常见问题解答参考

请参阅[\[常见问题解答\] AM625/AM623/AM62A/AM62Dx/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计-定制电路板原理图自我审查](#)了解有关设计建议和定制电路板原理图自我审查的更多信息。

1.2 按系列列出的处理器

本应用手册适用于以下列表中列出的所有处理器。所有相关文档均可在处理器特定的产品页面上找到。访问下面的处理器链接可访问产品页面。

1.2.1 AM64x 系列处理器

请参阅以下产品页面上的 *订购和质量* 部分，了解有关可用 OPN 的信息：

- [AM6442](#)
- [AM6441](#)
- [AM6422](#)
- [AM6421](#)
- [AM6412](#)
- [AM6411](#)

1.2.2 AM243x 系列处理器

请参阅以下产品页面上的 *订购和质量* 部分，了解有关可用 OPN 的信息：

- [AM2434](#)
- [AM2432](#)
- [AM2431](#)

2 相关配套资料

2.1 常用和适用配套资料的链接

TI.com 上的处理器产品页面提供了许多与所选处理器相关的文档。在开始定制电路板设计之前，强烈建议阅读所有文档。

以下链接汇总了在开始进行定制电路板设计时可以参考的配套资料。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 快速入门配套资料](#)

2.2 定制电路板设计硬件设计注意事项

在开始定制电路板设计之前，请通读并注意以下链接的处理器特定 *定制电路板设计硬件设计注意事项* 用户指南中的建议：

使用 [AM6442、AM6422、AM6412 和 AM2434](#) 处理器系列的 *定制电路板设计硬件设计注意事项*。

3 处理器选择

3.1 数据表用例和参考的版本

处理器特定数据表包括所有适用处理器外设的引脚属性（引脚到功能映射）、引脚说明、引脚连接要求、电气特性、时序和开关特性，以及所有处理器电源轨的时序图、建议工作条件、电源时序。

文档更新过程中引用的数据表列表及其修订编号：

AM64x 处理器系列：

SPRSP56G - 2021 年 1 月 - 2024 年 4 月修订

AM243x 处理器系列：

SPRSP65G - 2021 年 4 月 - 2024 年 5 月修订

3.2 处理器选择 (OPN 可订购器件型号)

要获取处理器架构以及选择处理器型号、特性、封装 (ALV/ALX) 和速度等级的概览，请参阅处理器特定数据表的功能方框图和器件比较一节。

请参阅处理器特定数据表的器件比较部分、器件及文档支持部分，选择所需的处理器 OPN。

建议使用所选的 OPN 更新原理图中所选处理器订购器件型号。

3.3 外设实例命名约定

对于外设和实例的命名，处理器特定 TRM 是通用的，而处理器特定数据表是特定的。

在数据表中，即使是单个外设实例，也会分配后缀编号。引用外设名称的文档不需要根据处理器的不同而进行更改。

后缀以 0 开头。对于通用平台以太网交换机 3 端口千兆字节 (CPSW3G) 端口名称，端口 0 是交换机的内部 (通信端口编程接口 (CPPI) 主机) 端口。

3.4 未使用的外设

在不使用时，具有专用功能的外设具有连接要求。有关连接未使用的外设的信息，请参阅处理器数据表的引脚连接要求一节。连接要求包括连接电源和接口信号的建议。

当未指定连接要求时，具有未使用的替代功能的外设 (处理器 IO) 可保持未连接状态。焊盘配置可以是复位状态配置。

3.5 处理器订购和质量

有关所选处理器系列的订购和质量的信息，请访问以下链接：

- [AM6442 订购和质量](#)
- [AM6441 订购和质量](#)
- [AM6422 订购和质量](#)
- [AM6421 订购和质量](#)
- [AM6412 订购和质量](#)
- [AM6411 订购和质量](#)
- [AM2434 订购和质量](#)
- [AM2432 订购和质量](#)
- [AM2431 订购和质量](#)

3.6 处理器选型检查清单

一般

在定制电路板原理图设计过程中、查看和验证以下配套资料和信息：

1. 器件选择 (根据所需特性选择的处理器 OPN (可订购器件型号))
2. 引脚属性 (焊球名称、信号名称和每一列的内容, 包括功率) 和引脚映射符合数据表
3. 引脚连接要求 (针对已使用和未使用的外设)
4. RSVD (保留) 引脚的连接建议
5. 用于探测的板载调试配置 (OBSCLK 和 CLKOUT)
6. 有关支持的引导模式和相关外设的勘误表
7. 建议的运行条件、内核、存储器接口、模拟和 IO 电源的上电和断电时序
8. 所选外设的电气特性和时序信息
9. 所选外设的应用手册、实施建议和布局指南

4 电源架构

如需了解概述，请参阅 [TI 电源管理](#) 页面。

此外，[WEBENCH® 电路设计器工具](#) 还提供一个可视界面，用于创建定制电源和有源滤波器电路。

4.1 生成电源轨

可使用集成式或分立式电源架构生成所选处理器所需的电源轨。使用集成式电源架构 (PMIC) 可简化处理器特定电源架构 (电源) 的设计。PMIC 可生成常用的电源轨，以便为处理器和附加器件供电。管理上电时序、下电时序和电源压摆率控制，并满足处理器特定的电源要求。除了 PMIC，还使用其他直流/直流转换器和 LDO，以根据用例生成额外的板载电源。

分立式电源架构可让您在设计和元件选型方面具有灵活性。电路板设计人员负责选择能提供所需电流、所需输出电压、支持所需负载瞬态响应、控制压摆率和电源时序的电源器件。

处理器电源轨指定了压摆率要求。对于所有生成的电源轨或开关电源轨，请参阅处理器特定数据表的 [电源压摆率要求](#) 一节。

接下来的几节汇总了为使用不同电源架构生成板载电源而推荐的器件系列及相关配套资料。

4.1.1 电源管理 IC (PMIC)

可用于集成电源架构的 PMIC 包括 [TPS65219](#) 或 [TPS65220](#)。这种经过空间、性能和物料清单 (BOM) 优化的电源架构旨在为处理器和所连接器件供电。

TPS65219 器件有多种型号 (NVMs)，每个型号都有固定输出配置 (电源导轨)。根据设计要求选择所需的 PMIC 型号。要选择所需的型号，请参阅 [TPS65219](#) 产品页面。提供了 [原理图](#) 和 [布局检查清单](#)，可在定制电路板设计期间使用。

有关应用手册和运行详细信息，请参阅 [使用 TPS65219 PMIC 为 AM62x 供电](#)、[使用 TPS65219 PMIC 为 AM625SIP 供电](#)。此外，请参阅 [\[常见问题解答\] AM644x/AM642x/AM641x/AM243x 设计建议/定制电路板硬件设计 - PMIC TPS65219 和 TPS65220 的常见问题](#)

请参阅 [TPS65219 \(OPN - 示例：TPS6521901 技术参考手册\)](#) 了解更多信息。

根据应用和电路板设计架构，可选择 PMIC OPN。每个 OPN 都有特定的 NVM 配置。有关 OPN NVM 配置、TRM、完整寄存器映射的信息以及器件数据表，请参阅 [TPS65219](#) 产品页面。

请参阅 [使用 TPS65219 PMIC 为 AM62 处理器供电相对于分立式电源设计的优势](#) 了解更多信息。

请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与残余电压和检测相关的疑问](#) 了解更多残余电压和检测相关的信息。

4.1.1.1 PMIC 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接。
2. 基于输入电源、内核电压、IO 电压和 DDR 电压配置的 PMIC 选择（可订购器件）。
3. 有关添加所需输入和输出电容器（包括值、反馈配置和引脚连接）的 PMIC 检查清单。
4. 考虑降额时所选电容器的额定电压（大于常用指南为最坏情况下施加电压的两倍）。
5. 建议的 PMIC 控制和 IO 信号配置。
6. 电源导轨的命名（指示配置的输出电压电平）。
7. PMIC 电压电平与处理器和连接器件的电源要求相匹配。
8. 处理器和连接器件 IO 电源的网络名称匹配（同名）。

原理图审阅

定制原理图设计请遵循以下列表：

1. 将定制 PMIC 实现方案与电容器和值、IO 连接和直流/直流输出反馈连接的 SK 原理图实现方案进行比较。
2. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接。
3. 连接处理器 IO 电源时序所需的控制信号（处理器和所连接器件 IO 电源电压和输出电压压摆率控制的负载开关 EN）。
4. 在考虑用例的情况下，使用的处理器和 PMIC I2C 接口与建议使用的接口。
5. SD 卡 IO 电压控制配置引脚连接（处理器或电路板复位期间为 3.3V，切换到 1.8V），根据 SD 卡接口用例验证 VSEL_SD 连接。
6. 直接连接到处理器 MCU_PORz 输入时的 PMIC nRSTOUT 压摆（上拉值）（建议使用分立式推挽输出缓冲器）。
7. 连接用于 PMIC IO 的中断、MODE/RESET 和 EN/PB/VSENSE 信号和所需拉电阻连接。
8. 与 PMIC 搭配使用的其他分立式直流/直流电源和 LDO 的配置。
9. VPP 电源（电子保险丝编程）外部 LDO 的实施、输出控制，并在考虑负载电流瞬态的情况下增加大容量电容器和去耦电容器，并提供隔离电阻器来测试 VPP 使能时序。

其他

1. 如果电源架构基于 TI PMIC，请获取有关通过 PMIC 业务部门或产品线实现的报告。
2. 建议在电源轨的输出端使用 0Ω 电阻器或跳线进行隔离或电流测量，以实现初始电路板构建。
3. 由于 PMIC 会执行热复位，因此将处理器的 RESETSTATz 输出连接到 PMIC 的 MODE/RESET 输入可能是可选项。建议添加一个 0Ω 电阻器并使其成为 DNI。内部拉电阻使能。
4. 分别显示用于直流/直流输入和 VSYS 的 PMIC 输入大容量电容器连接，并分别靠近各引脚，以便于放置和布线。
5. 已查看并遵循与残余电压相关的常见问题解答。

4.1.1.2 其他参考内容

有关更多信息，请参阅处理器特定数据表中的 *器件连接和布局基本原理*、*电源和电源设计* 部分。

请参阅 [SK-AM64B \(AM64x Sitara 处理器的 AM64B 入门套件原理图\)](#) 了解实现方式。

4.1.2 分立式电源

使用分立式电源架构生成处理器和连接的器件电源轨。分立式电源架构基于直流/直流转换器和 LDO。使用电源正常输出和分立式逻辑来实现电源序列。

更多有关器件选择和电源架构实现的信息，请参阅 [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#) 原理图。

使用定制分立式电源架构时，请注意数据表中指定的所有电源斜升后振荡器启动的 MCU_PORz L->H 保持时间（延迟）要求。

MCU_PORz 直至电源有效之后上电时有效（低电平）（使用外部晶体电路）加最少 9.5ms 延迟、或 MCU_PORz 直至电源有效之后上电时有效（低电平）且外部时钟稳定（使用外部 LVCMOS 时钟源）。

4.1.2.1 直流/直流转换器

考虑使用 [LM5140-Q1](#)、[TPS62823](#) 和 [TPS62097](#) 器件等 DC/DC 转换器。

有关可用直流/直流转换器的概述，请参阅 [交流/直流和直流/直流转换器 \(集成 FET\)](#) 页面。

此外，请参阅以下内容：

[TI 降压开关直流/直流转换器快速参考指南应用手册](#)

[电源设计培训资源 - 视频库](#)

4.1.2.2 LDO

考虑使用 [TPS735](#)、[TLV70728](#) 和 [TLV75518](#) 等 LDO 器件。

要了解可用的 LDO，请参阅 TI [线性和低压降 \(LDO\) 稳压器](#) 页面。

此外，请参阅以下内容：

[低压降稳压器快速参考指南](#)

[LDO 线性稳压器设计指南](#)

[TI LDO 应用手册的主题索引](#)

4.1.2.3 分立式电源检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册
2. 所有电源轨配置的输出电压和所需的额定电流
3. 输出电压反馈连接和反馈分压电阻器容差
4. 精选的分立式直流/直流架构支持有源放电
5. DC/DC 输出电压摆率符合处理器要求，所有电源轨的时序符合处理器要求
6. 所有电源斜升后的 MCU_PORz 输入 (PG 输出) 压摆率 (通过分立式推挽输出缓冲器进行连接) 和 L 至 H 延迟 (MCU_PORz 输入低保持时间) 实现
7. 考虑降额时所选电容器的额定电压 (常用指南为最坏情况下施加电压的两倍)
8. 器件选择、包括输出电压电平和电流额定值、有源放电能力、残余电压检测 (仅在断电后电源电压小于 0.3V 时才允许上电)
9. SD 卡接口 IO 电源的实现支持 UHS-I 速度和电子保险丝编程 VPP 电源
10. 电源导轨的命名 (指示配置的输出电压电平)
11. 匹配 PMIC 电压电平与处理器和连接器件的电源要求
12. 处理器和连接器件 IO 电源的网络名称匹配 (同名)

原理图审阅

定制原理图设计请遵循以下列表：

1. 电阻分压器值 (包括连接到反馈输入以生成所需输出电压的容差) 与计算值匹配。
2. PG 输出具有所需的上拉电阻，并连接到另一个直流/直流或 LDO EN 以进行电源时序
3. DC/DC 或 LDO 输出电压摆率。
4. 电源斜坡后的 MCU_PORz 输入低保持时间，如果直流/直流 PG 输出直接连接到处理器 MCU_PORz 输入。

其他

1. 如果电源架构基于 TI 电源，请获取有关通过相关业务部门或产品线实现的
2. TI 建议在电源轨的输出端使用 0Ω 电阻器或跳线进行隔离或电流测量，以实现初始电路板构建

4.2 电源控制和电路保护

4.2.1 负载开关 (电源开关)

使用负载开关控制 (打开和关闭) 由同一电源导轨供电的特定外设或子系统的电源, 而不是使用多个直流/直流转换器或 LDO 生成电源。在某些应用中, 必须遵循建议的上电和下电序列。负载开关简化了实现电源时序控制, 以满足上电和下电要求。负载开关使能由 PMIC 或直流/直流转换器 PG 控制, 以满足处理器电源时序要求。

考虑 [TPS22919](#)、[TPS22918](#)、[TPS22945](#) 器件负载开关。

要了解可用负载开关的概述, 请参阅 TI [负载开关](#) 页面。

4.2.1.1 负载开关检查清单

一般

检查并验证定制原理图设计的以下内容:

1. 上述部分, 包括相关应用手册和常见问题解答链接
2. 负载开关电流额定值
3. 负载开关使能时序控制 (PMIC GPIO 或直流/直流 PG)
4. 输出电压压摆率配置
5. 考虑降额时所选电容器的额定电压 (常用指南为施加电压的两倍以上)

原理图审阅

检查定制原理图设计的以下内容:

1. 输入和输出电容器值和额定电压
2. 根据处理器 IO 电源压摆率要求配置输出电压压摆率 (电容器值选择)

4.2.2 电子保险丝 IC (电源开关和保护)

电子保险丝电源开关和保护 IC 是集成的电源路径保护器件, 用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势, 并且包含通常难以使用分立式元件实现的保护功能。要了解可用的电子保险丝, 请参阅 TI [电子保险丝和热插拔控制器](#) 页面。

5 一般建议

以下是电路板设计人员在设计定制电路板时应熟悉的建议和指南。

5.1 处理器性能评估模块 (EVM) 或入门套件 (SK)

处理器 (硬件) 性能评估模块和平台 (EVM 或 SK) 不是参考设计；这些模块和平台并不代表正确或完整的电路板或系统实现。在许多情况下，EVM 或 SK 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。设置时间表是为了在首批器件到手后便可使用硬件平台。在处理器启动和基准测试期间会出现新的处理器要求。硬件评估平台可能并未考虑到所有这些新要求。因此，TI 希望电路板设计人员在设计定制电路板时仔细检查并遵循处理器特定数据表、器件勘误表和 TRM 中定义的所有要求。

处理器 (硬件) 性能评估平台的设计并未涵盖 EMI 或 EMC 目的 (减少辐射发射)、噪声敏感性、热管理等所有电路板或系统特定要求。

请参阅[\[常见问题解答\] AM64x 定制电路板硬件设计的常见设计错误/建议 - EVM/SK 原理图设计更新说明](#)，了解电路板设计人员可以参考的设计更新说明以及 EVM 或 SK 原理图。

5.1.1 评估模块检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接
2. 确保以 EVM 或 SK 为基准的处理器与所选的处理器系列相匹配
3. 确保基准 EVM 或 SK 板上的处理器封装与为定制电路板设计选择的处理器相匹配
4. 确保基准 EVM 或 SK 原理图修订版本包括设计说明 (D-Note)、修订说明 (R-Note) 和 CAD 说明 (CAD Note)

5.2 处理器特定 EVM 或 SK 与数据表

如果在评估或定制电路板设计期间处理器特定 EVM 或 SK 和数据表之间存在任何差异，请遵循数据表。尽管电路板设计人员已经尽了很大努力，但 EVM 或 SK 还是包含仍然起作用但不完全符合数据表规范的错误。

5.2.1 有关元件选择的注意事项

EMV 或 SK 元件选型并非总是经过优化。查看 BOM，并根据数据表建议、应用要求和电路板电路设计来优化元件选型。

建议在最终确定元件参数值和额定值（例如电压和功率）之前，根据需要进行设计计算、设计审查并执行板级测试和测量。

5.2.1.1 串联电阻

电路板设计人员可以将串联电阻的建议值作为起点。验证电路板上的值并进行相应调整（引脚上出现的阶跃函数不接近 $1/2 V_s$ ）。

5.2.1.2 并联拉电阻

为向处理器 IO 添加并联拉电阻提供配置。并联拉电阻的极性和值取决于特定的外设连接建议、处理器性能提升建议以及相关接口或标准要求。

处理器特定 EVM 或 SK 拉电阻值可用作起点，电路板设计人员可根据处理器和连接器件或特定电路板设计实现的建议选择适当的拉电阻值。

当布线连接到处理器 IO 焊盘且未被主动驱动时，建议使用并联拉电阻。拉电阻极性取决于设计用例。复位期间，处理器 IO 缓冲器关闭，IO 处于高阻抗状态，实际上是用作会拾取噪声的天线。如果没有任何端接，IO 均为高阻抗。高阻抗使得噪声很容易将能量耦合到悬空信号布线上，并产生可能超出建议工作条件的电势，从而在 IO 上产生电气过应力 (EOS)。处理器内部的静电放电 (ESD) 保护电路设计用于在将器件安装到 PCB 组件上之前防止对其进行处理。

5.2.1.3 驱动强度配置

TI 当前不支持为 SDIO 和 LVCMOS 缓冲器配置除标称（默认）值以外的任何其他驱动强度，因为标称值是唯一已关闭芯片级 STA（静态时序分析）的配置。标称值对应于 SDIO 的 $40\ \Omega$ 和 LVCMOS 的 $60\ \Omega$ 。实现专用 eMMC PHY，且标称阻抗设置为 $50\ \Omega$ 的处理器系列。IBIS 模型已更新为仅包含已在内部关闭时序的那些驱动强度。

请参阅[\[常见问题解答\] AM625 / AM623 / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 设计建议/定制电路板硬件设计 - SDIO 和 LVCMOS 的 I/O 驱动强度配置](#)了解与驱动强度配置支持相关的信息。

5.2.1.4 数据表建议

电路板设计人员负责实现任何必要的预防措施，以确保定制电路板设计不会违反处理器特定数据表中指定的要求。示例处理器要求包括 I2C 开漏和失效防护 (I2C OD FS) 电气特性 - 输入压摆率。

当没有数据表建议时，可以先参照以下检查清单中提供的建议，或使用 EVM 或 SK 原理图中的实现作为起点。

5.2.1.5 处理器 IO - 外部 ESD 保护

由于内部 ESD 保护电路并非专为满足电路板级 ESD 要求而设计，因此建议为直接连接到外部连接器或暴露在外部输入下的任何处理器 IO 提供外部 ESD 保护。要了解 ESD 保护器件，请参阅 TI [ESD 保护](#) 页面。

5.2.1.6 外设时钟输出串联电阻器

由于时钟输出也用于重定时，因此需要在处理器时钟输出引脚附近的时钟输出使用串联电阻器来解决时钟源处的信号失真问题。对于 MMCx 和 OSPI 接口，（内部）使用非接合焊盘，因此不需要串联电阻。在某些情况下，出于信号完整性目的，需要使用低值串联电阻器。建议保留串联电阻器作为占位器件，以防需要提高信号完整性。

5.2.1.7 元件选型检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册
2. 选择电阻值、容差、尺寸和功率
3. 只有特定电阻器需要 1% 的容差（请参阅处理器或附加器件数据表、SK 原理图或 EVM）
4. 标准容差电阻器可用于其他用例，例如：上拉、下拉或串联电阻器
5. 将定制电路板上的拉电阻值与 EVM 或 SK 原理图进行比较
6. 包含降额的电容器的额定电压（常用准则是施加电压的两倍以上）
7. 考虑直流偏置影响的电容器的额定电压（处于建议值范围内）
8. 封装选择（取决于应用和用例，考虑电压和温度范围）
9. 选择兼容的连接器件（DDR 和闪存、EPHY）
10. 建议的存储器大小、选择所需的存储器大小 (DDR) 并根据需要提供扩展存储器的配置
11. 查看与无源器件参数值、容差和额定电压相关的常见问题解答

请参阅[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计-入门套件/EVM 型号和主要元件列表](#)以及[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计-有关无源元件值、容差、电压额定值的问题](#)，了解有关 EVM 和 SK、器件参数值和容差的信息。

5.2.2 有关重复使用 EVM 或 SK 设计的额外信息

5.2.2.1 更新的 EVM 或 SK 原理图（添加了设计、审核和 CAD 注解）

在定制电路板设计过程中，设计人员经常重复使用 EVM 或 SK 设计文件，并修改设计文件。此外，设计人员也会重复使用常见实现方式，包括处理器、存储器以及通信接口等。鉴于 EVM 或 SK 被寄予实现更多附加功能的厚望，设计人员会对 EVM 或 SK 实现进行优化，以满足电路板设计的要求。在对 EVM 或 SK 原理图进行优化时，会在定制设计中引入误差，这类误差会导致功能、性能或可靠性方面的问题。优化过程中，如设计人员对 EVM 或 SK 实施存在疑惑，可能会导致设计错误。许多这类优化和设计错误在各种设计中很常见。根据诸多电路板设计人员的意见和数据表中的引脚连接建议，我们在 EVM 或 SK 原理图的各部分附近添加了全面的设计要点 (D-Note)、审核提示 (R-Note) 和 CAD 注解 (CAD-Note)，供设计人员查看并遵循，以便更大程度减少设计中的错误。作为设计下载的一部分，会包含用于支持评估的附加文件。

下面的产品概述文档中列出了可在 TI.com 上下载每个 EVM 或 SK 的文档列表。

[TMDS64EVM 设计包文件夹和文件列表](#)

[SK-AM64B 设计包文件夹和文件列表](#)

5.2.2.2 EVM 或 SK 设计文件重复使用

根据定制电路板设计期间遵循的设计方法和项目进度，可以重复使用 EVM 或 SK 设计文件，以此为起点进行所需的更新。建议验证 EVM 或 SK 实现和元件选型。

以下链接中汇总了电路板设计人员在重复使用 TI EVM 或 SK 设计文件时必须熟悉的注意事项。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 重复使用 TI EVM 设计文件](#)

5.2.2.2.1 重复使用 EVM 或 SK 设计检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接。
2. 引用所选或所需 EVM 或 SK 设计的最新版本。
3. 考虑了 D-Note 和 R-Note。
4. 当另存为不同项目时，可重置元件 DNIS 配置，或者重新排列原理图页面或电路部分。
5. 将原理图设计转换为替代 CAD 工具时，连接（包括端口连接）的变化。

5.3 开始设计前

5.3.1 文档

在定制板设计周期中，建议参考或使用最新版本的文档，示例包括处理器特定数据表、器件勘误表、TRM 和其他常用参考设计资料。在处理器特定产品页面上查看是否有最新可用文档或添加的新文档。

文档搜索提示：在文档中搜索 *recommended*、*Required*、*do not*、*note*、*pin connectivity* 等字词。处理器的重要条件通常包含其中一个或多个词语。

获取更新信息的技巧：在 TI.com 的处理器产品页面上，有一个 *Notifications* 按钮。在此按钮处注册便可启用关于处理器文档更改的自动通知。

5.3.2 处理器引脚属性 (引脚排列) 验证

验证以下引脚属性

- 处理器引脚标签对应于处理器特定数据表的 *引脚属性* 部分中列出的正确引脚编号。在符号中保留数据表名称，并根据应用用例更改功能 (网) 名称。
- 连接到处理器电源引脚的电源电压处于 *建议运行条件* 内。
- 原理图中显示了处理器的所有引脚 (按功能分组并具有单独的符号块，包括保留的引脚)，以更大程度地减少工具相关错误和功能错误。
- 大多数处理器 IO TX (输出) 和 RX (输入) 缓冲器和上拉电阻器在复位期间关闭。建议使用外部拉电阻将任何所连接器件的输入保持在有效逻辑状态，直到软件在连接了 TP 或布线并且未主动驱动 IO 时初始化 IO。是否使用拉电阻取决于所连接器件的 IO 能力。
- 为了提高定制电路板的性能，建议实现对电压、电流或温度的外部监控。

有关处理器数据表引脚属性的相关问题，请参阅以下常见问题解答。

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-与 SOC 数据表引脚属性相关的疑问](#)

5.3.3 器件比较、IOSET 和电压冲突

请参阅处理器特定数据表的 *器件比较* 一节中有关共享 IO 引脚的注释。IOSET 是特定于某个接口的信号分组，这些信号作为一个集合进行计时。该处理器使用 IOSET 进行时序闭合。任何具有 IOSET 的接口都必须从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。*SysConfig-PinMux* 工具中详细显示了有效的引脚组合。

有关电压冲突和 IOSET 的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-与 SysConfig-PinMux IOSET 和电压冲突相关的疑问](#)

5.3.4 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。按照数据表中的建议，将 RSVD 引脚保持未连接状态 (无 TP 连接)。

建议不要将任何 PCB 布线或测试点连接到 RSVD 引脚。

有关更多信息，请参阅 [\[常见问题解答\] AM625 / AM623 / AM625SIP / AM625-Q1 / AM620-Q1 定制电路板硬件设计 - RSVD 引脚连接建议](#)。常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

5.3.5 PADCONFIG 寄存器注意事项

许多处理器 IO 都支持功能的多路复用。可以从多种功能中选择 IO 功能。处理器特定数据表的 *引脚属性表* 的 *信号名称* 列中枚举了每个焊盘上可用的功能列表。

通过相关焊盘配置寄存器的 MUXMODE 字段选择所需的功能。PADCFG_CTRL0_CFG0_PADCONFIG0 至 PADCFG_CTRL0_CFG0_PADCONFIG171 寄存器控制处理器主域中 IO 模块的信号多路复用，而 MCU_PADCFG_CTRL0_CFG0_PADCONFIG0 至 MCU_PADCFG_CTRL0_CFG0_PADCONFIG32 寄存器控制处理器 MCU 域中 IO 模块的信号多路复用。

处理器特定 TRM 的焊盘配置寄存器一节中的焊盘配置焊球名称表汇总了所有 PADCONFIG 寄存器的位字段复位值。配置 PADCONFIG 寄存器时，请遵循表末尾列出的注释。在与相应 PADCONFIG 寄存器关联的引脚没有有效逻辑状态的情况下，切勿设置 RXACTIVE 位。悬空输入可能会损坏处理器或影响可靠性。

5.3.6 针对失效防护操作的处理器 IO (信号) 隔离

当处理器和连接器件或额外主机由不同的电源供电时，建议进行信号隔离，因为大多数处理器 IO 都不具有失效防护功能。建议通过 FET 总线开关电路来路由信号，该电路设计用于在 IO 电源对两个器件均无效时自动隔离这两个器件。建议 FET 总线开关和控制逻辑由常开电源供电，并且仅由不同电源的电源正常信号的“与”函数启用。

5.3.7 处理器特定 EVM 或 SK 的参考

有关实现 (当处理器特定数据表中没有提供特定建议时) 示例和值，请参阅处理器特定 EVM 或 SK。

5.3.8 高速接口设计指南

有关 USB2.0、USB3.0 和 PCIe 信号连接和布线的详细建议，请参阅[高速接口布局布线指南](#)。本文档包含了在定制电路板设计期间必须遵循的适当限制或布线要求。

对于 USB 接口，在恶劣的工业环境中运行时，可添加共模扼流圈来提高定制电路板的性能。添加共模扼流圈会降低信号振幅并降低性能。为使用 $0\ \Omega$ 电阻绕过共模扼流圈添加配置。应考虑根据应用要求添加外部 ESD 保护。

5.3.9 LVCMOS (GPIO) 输出的推荐拉电流或灌电流

拉出的直流电流输出需要保持小于定义的最大 I_{OH} 和 I_{OL} 值，以实现相应电气特性表中定义的 V_{OL} 最大值和 V_{OH} 最小值。建议拉电流或灌电流不应超过处理器特定数据表中定义的限制，并且首选直流拉电流或灌电流应明显小于这些限制，以免增加散热或带来其他问题。

这些高电流电平的开关会产生电气噪声，这些噪声会耦合到其他电路，从而需要在相应的 IO 电源轨上使用额外的去耦电容器。

5.3.10 将慢速斜升输入或电容器连接到 LVCMOS IO (输入或输出)

LVCMOS 输入指定了压摆率要求。TI 不建议将慢速斜升信号直接连接到 LVCMOS 输入或 LVCMOS 输入端的电容器。当施加慢速斜升输入时，CMOS 输入会产生击穿电流，当输入为 $1/2 V_s$ 时，该电流将从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS。累积的慢速斜升会导致性能或可靠性问题。

LVCMOS 输出缓冲器不适用于驱动大型容性负载。当 LVCMOS 类型 IO 配置为输出并连接到电容器时，请遵循数据表建议的电容值或添加串联电阻以限制 IO 输出电流或执行仿真。

5.3.11 定制电路板设计过程中与处理器相关的疑问和说明

有关处理器选择、功能和指南的疑问和说明，TI 建议使用 [E2E](#) 论坛。使用 E2E 提问或参阅相关问题和先前的答案。

5.3.12 开始设计前检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接
2. 定制电路板原理图上使用的处理器原理图符号遵循相应的处理器数据表 *引脚属性* 部分中针对特定外设的焊球名称、引脚编号和 IOSET 分组建议
3. 考虑了所需的 IO 功能和焊盘配置
4. 考虑了处理器 IO 的失效防护运行和负载要求
5. 根据用例缓冲处理器 IO (输出) 以驱动更高的负载
6. 引用所选 EVM 或 SK 设计的最新版本

其他

1. 请参阅 TI.com 上的相关配套资料，更大限度地减少设计误差并优化设计工作量。
2. 经常在 TI.com 上查看相关文档的最新版本。
3. 使用 E2E 寻求解释。

5.3.13 器件建议

TI 不提供器件建议。

建议遵循数据表的 *DDR 电气特性* 部分选择 DDR4/LPDDR4 存储器。

与 MMC0 关联的 MMCSD 主机控制器和 PHY 的设计符合数据表和 TRM 中所述的标准。

建议在选择 eMMC 和 SD 卡时遵循数据表的 *MMC0 - eMMC 接口* 和 *MMC1 - SD/SDIO 接口* 部分。

6 处理器建议

6.1 通用 (处理器启动) 连接

6.1.1 电源

请遵循下列建议：

- 每个电源轨的电源要求因使用的接口和工作环境而异。
- 处理器电源轨的电流消耗可以通过 [功耗估算工具 \(PET\)](#) 进行估算。如果电源轨为其他板载连接 (外设) 器件供电，则考虑这些器件的最大电流消耗。
- 有关电源额定功率和不同电源轨的最大电流额定值的信息，请参阅 [AM64x 最大电流额定值](#)。查看相关处理器产品页面以了解更新文档的可用性。
- 验证所选电源架构 (包括 PMIC、直流/直流转换器和 LDO) 的输出电流额定值是否满足处理器和所有连接器件的最大电流需求。针对设计差异添加额外的裕度。
- 验证是否遵循了建议的电源序列 (上电和下电)。有关建议的电源时序要求，请参阅处理器特定数据表的 [电源时序](#) 一节。

有关处理器建议运行条件 (ROC)，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)。

以下是选择或设计处理器电源架构时需要考虑的一些指南：

1. 电源配置为所需的电压电平、并且电源在 ROC 内
2. 电源架构遵循处理器数据表中指定的上电和断电序列
3. 电源架构符合处理器数据表中指定的电源压摆率要求
4. 在 MCU_PORz 释放之前，所有电源均可用
5. 同时监控所有电源导轨。确保仅在下电上电循环后电压低于 0.3V (无残余电压) 后才启用电源
6. 电源斜坡和 MCU_PORz 高电平之间的延迟根据数据表建议 (最小值为 9.5ms)
7. MCU_PORz 输入压摆率应尽可能小、以避免内部复位电路干扰

请参阅与残余电压和检测相关的常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与残余电压和检测相关的疑问](#)

6.1.1.1 内核和外设的电源

为确保正常运行，请将所有电源引脚（焊球）连接到处理器特定数据表 *建议运行条件* 一节中建议的电源电压。处理器特定数据表的 *引脚连接要求* 一节指定了具有特定连接要求的电源引脚。

对于 AM64x 系列处理器，内核电源 VDD_CORE 可在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.75V 下工作时，建议在所有 0.85V 电源之前斜升 0.75V。当 VDD_CORE 在 0.85V 下工作时，建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电（同时斜升）。

对于 AM243x 系列处理器，VDD_CORE 的额定工作电压仅为 0.85V。VDD_CORE 和 VDDR_CORE 建议由同一电源供电（一起升降）。

建议始终连接 VDDS_OSC 和 VDDA_MCU 电源。

外设内核电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_0P85_USB0 和 VDDR_CORE 只能在 0.85V 电压下运行。

使用 MMC0 时，外设内核电源 VDD_MMC0 和 VDD_DLL_MMC0 只能在 0.85V 下工作。不使用 MMC0 时，建议将 VDD_MMC0 和 VDD_DLL_MMC0 连接到与 VDD_CORE 相同的电源。

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x = 0-2]、VDDA_1P8_SERDES0、VDDA_1P8_USB0 和 VDDA_ADC0 等敏感模拟电路供电。建议使用滤波（铁氧体）电源。有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623 定制板硬件设计 - 针对 SoC 电源轨的铁氧体（电源滤波器）建议](#)。常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

更多信息，请参阅处理器特定数据表的 *建议运行条件* 部分和 *电源时序* 部分。

备注

无法单独为 MCU 域和主域供电。处理器系列没有单独的 MCU 和主电源域。所有电源轨都需要通电，并按处理器特定数据表中的定义对它们进行定序。MCU 和 MAIN 的概念适用于内部器件功能和处理器域。

6.1.1.1.1 电源斜升（压摆率）要求和动态电压调节/更改

与处理器相关的所有电源都必须允许受控的电源斜升（电源压摆率）。有关更多信息，请参阅处理器特定数据表的电源压摆率要求部分。

处理器（系列）不支持动态电压调节。

请参阅 [\[常见问题解答\] AM625 / AM623 / AM62A / AM62P / AM64x / AM243x 设计建议 / 定制电路板硬件设计 - 动态电压调节](#) 了解更多动态电压调节 (DVS) 和动态频率调节 (DFS) 相关信息。

6.1.1.1.2 处理器内核和外设内核电源检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 引脚属性、信号说明和电气规范
2. 上述部分，包括相关应用手册和常见问题解答链接
3. 建议施加到内核 VDD 电源轨 0.75V 或 0.85V 的电压
4. 有关内核电源时序控制，请参阅处理器特定数据表的上电时序 - 电源/信号分配一节
5. 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能超过施加到 VDD_CORE 的电势 +0.18V。当 VDD_CORE 工作电压为 0.75V 时，该时序要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降
6. 当 VDD_CORE 以 0.85V 电压运行时，从同一电源为 VDD_CORE 和 VDDR_CORE 供电以同时斜升
7. 根据引脚连接要求，当未使用特定外设时的内核电源连接
8. 根据引脚连接要求，当未使用 SERDES0 但需要边界扫描功能时，连接 SERDES0 内核电源 (VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C)
9. 使用 eMMC 或未使用 eMMC 时连接 VDD_MMC0

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 EVM 或 SK 原理图比较所有电源轨的大容量电容器和去耦电容器的实现。
2. 根据 EVM 或 SK 原理图，为外设内核电源 (SERDES0、USB0) 提供了铁氧体滤波器。
3. 当未使用外设但需要边界扫描功能时，铁氧体和大容量电容器对于外设内核电源是可选的。
4. 确保连接的电源导轨遵循建议的运行条件。
5. 未使用 eMMC 时将 VDD_MMC0 连接到 VDD_CORE。

其他

1. 对于所有电源轨，请放置一个 0Ω 电阻器或跳线，以便在电源轨的输出端进行隔离或电流测量
2. 器件从复位状态释放后，不允许更改内核电压。如果内核电源关闭，则根据断电序列关闭并斜降所有电源轨，并等待所有电源轨衰减至 300mV 以下，然后再次接通电源
3. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 是可以接受的。当 USB0 接口未使用时，根据引脚连接要求将 USB 电源接地可节省电力 (如果低功耗是一项关键要求)。
4. 按照处理器特定 EVM 或 SK 的说明来实现铁氧体和电容器。
5. 不支持 (不允许或不建议) 内核电源的动态电压调节 (DVS)。

6.1.1.1.3 外设模拟电源检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 建议的电压施加到外设模拟电源轨 1.8V
4. 电源轨连接基于处理器系列：VDDS_MMC0、VDDA_MCU、VDDS_OSC、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_ADC0、VDDA_1P8_SERDES0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC、VMON_1P8_MCU
5. 电源导轨 VDDA_3P3_USB 3.3V 模拟电源连接，用于支持 USB2.0 接口，VDDA_3P3_SDIO 用于内部 LDO 输入、VMON_3P3_SOC 和 VMON_3P3_MCU
6. 根据引脚连接要求，当未使用特定外设时的外设模拟电源连接
7. 根据引脚连接要求，当未使用 SERDES0 但需要边界扫描功能时，连接 SERDES0 IO 电源 (VDDA_1P8_SERDES0)

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 EVM 或 SK 原理图比较所有电源轨的大容量电容器和去耦电容器。
2. 根据 EVM 或 SK 原理图，为外设模拟电源 (SERDES0、PLL、USB (1.8V)、MCU) 提供了铁氧体滤波器。
3. 当不使用特定外设而需要边界扫描功能时，铁氧体和大容量电容器是可选的。
4. 确保连接的电源导轨连接并遵循建议的运行条件。

其他

1. 对于所有电源轨，请使用一个 0Ω 电阻器或跳线，以便在电源轨的输出端进行隔离或电流测量
2. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 是可以接受的。当 USB0 接口未使用时，根据引脚连接要求将 USB 电源接地可节省电力 (如果低功耗是一项关键要求)。
3. 按照处理器特定 EVM 或 SK 的说明来实现铁氧体和电容器。
4. 不支持 (不允许或不建议) 模拟电源的动态电压调节 (DVS)。

6.1.1.2 IO 组的电源

该处理器包含七个用于 IO 组的双电压 IO 电源 (VDDSHVx [x = 0-5]) 和用于 IO MCU (VDDSHV_MCU) 的 IO 电源, 其中每个域为一组固定的 IO 供电。每个 IO 组可单独配置为 3.3V 或 1.8V, 这决定了由相应 IO 组电源供电的整组 IO 的通用工作电压。大多数处理器 IO 都没有失效防护功能。有关失效防护 IO 的信息, 请参阅处理器特定数据表。使用与相应处理器相同的电源 - IO 组的双电压 IO 电源 (VDDSHVx 电源轨) - 为附加器件的 IO 供电, 以确保系统绝不会向未供电的 IO 施加电位。建议执行失效防护操作, 以保护处理器和所连接器件的 IO。

指定为 CAP_VDDSn [n = 0-5] 和 CAP_VDDSn_MCU 的处理器焊盘 (引脚) 在 IO 电源组连接到 3.3V 电源时, 将外部电容器连接到 IO 组稳压器的内部 IO 电源 (当 IO 组电源连接到 1.8V 时为可选)。建议使用 1 μ F (连接在 CAP_VDDSn 引脚和 VSS 之间, 请参阅处理器特定数据表) 电容器。有关建议的电容器额定电压和允许的电容范围, 请参阅处理器特定数据表。当 IO 电源组连接到 3.3V 时, 稳态直流输出 (即施加到 VDDSHVx/2 的电压) 是电容器直流偏置效应降额所考虑的电压。

建议在引脚 CAP_VDDSHV_MMC1 和 VSS 之间连接一个 3.3 μ F (建议容差为 $\pm 20\%$) 的电容器。

为了最小化环路电感要求, 请将电容器放置在 BGA 阵列 PCB 背面。电容器额定电压的选择会影响电容器封装和尺寸选择。

选择 ESR < 1 Ω 的电容器, 将布线环路电感保持在 < 2.5nH。

备注

确保在将输入施加到相关处理器 IO 或外设之前, VDDSHVx 存在有效的电源电压。

无论处理器 IO 或外设如何使用, 都连接 VDDSHVx 电源和相关的 CAP_VDDSn (连接的 IO 电源为 3.3V 时, 可选 1.8V) 电容器。

6.1.1.2.1 IO 组的电源检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性和其他可用信息
4. 根据 ROC，有效的固定电源连接到所有 IO 电源组 (VDDSHV_MCU、VDDSHV0、VDDSHV1、VDDSHV2、VDDSHV3 和 VDDSHV4)
5. 根据 ROC，有效电源 (可动态更改) 连接至 VDDSHV5。连接 CAP_VDDSHV_MMC1。当使用 SD 卡接口且需要 UHS-I 速度时。使用 SD 卡接口时连接到 3.3V 的有效电源。当不使用 SD 卡接口时、请连接到有效的 IO 电源
6. 遵循 IO 电源轨的压摆率要求
7. 内部 LDO 输出引脚已连接建议的电容器 (在 CAP_VDDSn、CAP_VDDSHV_MMC1 引脚和 VSS 之间)
8. 下面遵循了处理器数据表中的电源序列建议。

原理图审阅

定制原理图设计请遵循以下列表：

1. 将建议电容器连接到 CAP_VDDSn 引脚和 VSS
2. CAP_VDDSn 电容器封装 (使用尽可能小的 (0201 或更靠近 0201 的封装)，以更大限度地减小环路电感)
3. 为使电容值处于 CAP_VDDSn 0.8 至 1.5 μ F 以及 CAP_VDDSHV_MMC1 3.3 μ F +/- 20% 范围内所选电容器的额定电压，包括老化、温度和直流偏置效应
4. 所有 IO 电源轨都有一个有效的电源，无论使用何种 IO
5. 电源轨连接遵循 ROC
6. 每个 CAP_VDDSn 引脚都需要一个相对于 VSS (接地) 连接的单独 1 μ F 电容器。CAP_VDDSHV_MMC1 需要 3.3 μ F
7. 选择 < 1 Ω ESR 的 CAP_VDDSn 电容器，将布线环路电感保持在 2.5nH 以下
8. CAP_VDDSHV_MMC1 -使用的电容器数量(使用 1 或 2 个并联)、以更大限度地减小环路电感

其他

1. 对于所有电源轨，请使用一个 0 Ω 电阻器或跳线，以便在电源轨的输出端进行隔离或电流测量。
2. 当任何 VDDSHVx 电源轨均由 3.3V 电源供电时，所有以 VDDSHVx 为基准的 IO 必须在 3.3V IO 电平下运行。如果 VDDSHVx 电源轨由 1.8V 电源供电，则所有以 VDDSHVx 为基准的 IO 必须在 1.8V IO 电平下运行。
3. 一些接口跨越多个 VDDSHVx、例如 GPMC。使用其中一个接口时，所有支持特定接口的 VDDSHVx 域都需要共用相同的电压源。
4. 大多数处理器 IO 都没有失效防护功能。不允许或建议在相应 VDDSHVx 电源关闭时向 IO 施加输入电压。
5. 验证每个 VDDSHVx (或 VDDSHV_MCU) 电源上的所有 IO 引脚仅连接单个电压电平。
6. 按照处理器特定 EVM 或 SK 的说明来实现铁氧体和电容器。
7. 不建议将 VDDSHV5 导轨保持未连接状态。将电源引脚连接到 1.8V 或 3.3V，具体取决于用例。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

在电子保险丝编程期间，处理器 VPP (电子保险丝 ROM 编程电源) 必须保持在 ROC 范围内，是一项重要要求。建议使用由更高输入电压电源 (2.5V 或 3.3V) 供电的 LDO，通过其串联导通晶体管来补偿压降，并在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

由于高负载电流瞬变以及 VPP 电源轨要匹配电源电压范围的要求，使用变化为 $\pm 5\%$ 的电源轨，或使用负载开关或 FET 为 VPP 供电可能会出现。负载开关或 FET 拓扑未考虑通过负载开关的压降。如果电路板设计人员使用变化较小的电源，则可以选择负载开关，以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。

更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的问题](#)。常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

6.1.1.3.1 VPP 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性和其他可用信息
4. 实现板载电源或提供连接外部电源的配置
5. 建议使用 LDO（不允许或不建议使用 FET 开关或负载开关）
6. 所选板载 LDO 支持最小 400mA 电流，具有出色的负载电流瞬态响应和快速输出放电（有源放电）
7. 提供所需的大容量电容器和旁路电容器（遵循 EVM 或 SK 原理图）
8. 板载 LDO 具有通过处理器 IO 启用的配置
9. 连接外部电源后，在处理器板上靠近处理器 VPP 引脚处添加大容量电容器和去耦电容器配置，并提供一个 TP 以连接外部电源
10. 外部电源遵循数据表中建议的电源序列和压摆率要求
11. 外部电源时序由处理器 IO 控制
12. 在上电序列、断电序列和器件正常运行期间，使处理器 VPP 电源引脚悬空 (HiZ) 或接地

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用专用 LDO 或 PMIC 输出
2. 连接到 VPP 的标称电压为 1.8V，支持符合数据表要求的电流要求
3. 所选的 LDO 规格（包括负载电流瞬态响应）与 EVM 或 SK 原理图中使用的 LDO 类似
4. 处理器 IO 用于控制 LDO 的 EN，并提供所需的拉电阻
5. 验证 EN 拉电阻是否会在下电上电期间使 LDO 保持关断状态
6. 使用可调 LDO 时，请验证输出电压配置、输出电压压摆率和过压保护的使用
7. 该器件配有一个串联电阻，用于将处理器 VPP 电源与 LDO 输出隔离开，以测试时序或 LDO 输出
8. 确保连接的电源导轨遵循处理器的建议运行条件。

其他

1. 始终在处理器板上提供配置来连接 VPP 电源（板载或外部电源）。
2. 选择具有快速瞬态响应的 LDO，并将 LDO 输出连接到具有低环路电感路径的处理器 VPP 引脚，以提供高瞬态负载电流，其中 VPP 引脚绝不会降至最低工作电压以下。
3. 仅在电子保险丝编程期间启用 VPP。不允许、不建议也不支持将 VPP 电源连接到连续 1.8V 电源轨。
4. 由于电子保险丝编程期间的瞬态负载电流要求，不推荐使用负载开关或 FET 开关。负载开关或 FET 开关的压降可能太大，在使用 LDO 时无法进行补偿。
5. 如果用例需要使用负载开关或 FET 开关，请在编程期间测量处理器 VPP 引脚上的电压来表征电路板，并验证电源是否不会低于 ROC 最小限值。在使用负载开关或 FET 时，VPP 路径中的多个变量可能会导致电源超出 ROC，在实施之前无法进行表征。检查或测试负载开关或 FET 开关是否违反数据表中定义的最大 VPP 电源压摆率限制（每秒 6000V）。

6.1.1.4 其他信息

对于初始 PCB 原型构建，建议放置与内核电源及其他电源轨一致的 0 Ω 电阻（分流器）或跳线。0 Ω 电阻器（分流器）或跳线的放置有助于在电路板启动和调试期间隔离电源或测量电流。分流电阻器用于测量 EVM 或 SK 中的电源轨电流。

验证添加 0 Ω 电阻器配置对定制电路板性能的影响。

6.1.2 电源轨的电容器

执行 PDN 分析，确保已为包括双电压 IO 组电源轨 IO 电源在内的所有电源轨提供了所需数量的去耦电容器和大容量电容器。

将去耦电容器放置在尽可能靠近电源引脚的位置。较大的大容量电容器可以放置在更远的位置。

使用低 ESL 电容器，并在安装它们时尽可能缩短布线，从而更大限度地降低安装电感。更多信息，请参阅 [Sitara 处理器配电网络：实施与分析](#)。

当未执行 PDN 分析或结果不可用时，EVM 或 SK 中的大容量电容器和去耦电容器的容值可用作参考。要实现滤波（铁氧体）电源，请遵循处理器特定 EVM 或 SK。

使用馈通（3 端子）电容器（在 SK-AM64B 入门套件上使用）来优化所用电容器的数量。使用 3 端子电容器可更大限度地减少环路电感，并能优化处理器性能（包括 DDR 性能）。

6.1.2.1 其他信息

当不使用处理器外设（模数转换器 (ADC0)、DDR 子系统 (DDRSS0)、MMC0、SERDES0 和 USB0）时，与这些外设相关的电源（内核、模拟）有特定的连接要求。有关更多信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。可以优化电源滤波器（铁氧体）和电容器（大容量）。

6.1.2.2 电源轨电容器检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接。
2. 引脚属性、信号说明和电气规范。
3. 使用低 ESL 电容器和用短布线连接的 3 端电容器来更大限度地减小电路板环路电感。
4. 所用电容器的额定电压（常用准则是最坏情况下施加电压的两倍以上）。

原理图审阅

定制原理图设计请遵循以下列表：

1. 将用于所有电源轨的电容器与 EVM 或 SK 原理图进行比较。
2. 验证每个电源轨引脚都有一个去耦电容器，每个电源轨组都有一个大容量电容器。

其他

1. 电源去耦已足够。所有处理器电源轨都使用大容量和去耦电容器。最需要引起注意的关键电源域是低电压、高电域 (VDD_CORE、VDDR_CORE)。
2. 作为起点，建议遵循经过验证的 EVM 或 SK 去耦策略。
3. 在不执行静态和动态 PDN 分析以验证是否满足 R_{eff} 、Cap LL 和阻抗目标的情况下，不建议采取偏差。
4. 由于低电感封装和高性能，SK 在某些情况下使用 3 端电容器。确保 SK 原理图中的 3 端电容器未作为直立式或滤波器元件实现。
5. 显示了电容器靠近相关引脚的连接，以便于放置和布线。

6.1.3 处理器时钟

6.1.3.1 时钟输入

6.1.3.1.1 高频振荡器 (MCU_OSC0_XI/MCU_OSC0_XO)

为确保处理器运行，请选择晶体时钟源或 1.8V LVCMOS 方波数字时钟源。

连接到内部高频振荡器 (MCU_HFOSC0) 的 25MHz 外部晶体是内部基准时钟 HFOSC0_CLKOUT 的时钟源。

用于实现晶体振荡器电路的分立式元件尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。对于晶体，在选择负载电容器时，请遵循处理器特定数据表的 *MCU_OSC0 晶体电路要求表*。

使用 1.8V LVCMOS 方波数字时钟源时，应根据处理器特定数据表建议将 XO 引脚连接到处理器。

有关时钟选择的信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 晶体选型相关问题](#)。

请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 MCU_OSC0 启动时间的问题](#)。常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

备注

25MHz 是当前唯一支持的晶体频率。有关晶体参数的更多详细信息，请参阅处理器特定的数据表。

数据表的下一个版本在 *MCU_OSC0 LVCMOS 数字时钟源* 部分包含了 LVCMOS 时钟要求。请参阅此应用手册 [节 3.1](#)：

AM62Px 处理器数据表作为 LVCMOS 时钟要求的参考、请参阅数据表的 *MCU_OSC0 LVCMOS 数字时钟源、MCU_OSC0 LVCMOS 数字时钟源要求* 一节。

6.1.3.1.2 EXT_REFCLK1 (主域的外部时钟输入)

EXT_REFCLK1 引脚通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统 (SMS)、MCAN 和 CPTS (时间戳模块) 的可选输入时钟源。EXT_REFCLK1 适用于应用需要将特定时钟频率馈送到计时器模块的情况。一个应用示例是时间同步或由于时钟质量原因。

当 EXT_REFCLK1 用作时钟源时，根据外部时钟的可用性，需要下拉电阻。

6.1.3.1.3 其他信息

MCU_OSC0_XI/MCU_OSC0_XO 有特定的布线要求。请参阅处理器特定数据表的 *时钟布线指南* 部分了解更多信息。

6.1.3.1.4 时钟输入检查清单 - MCU_OSC0

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接。
2. 引脚属性、信号说明和电气规范。
3. 电气特性、时序参数和任何其他可用信息。
4. 选择处理器时钟输入源、晶体或振荡器
5. 25MHz 是当前支持的时钟输入频率，有关支持的时钟输入频率，请参阅处理器特定数据表。
6. 晶体负载电容器选型与数据表建议。
7. MCU_OSC0 的 PCB 电容包含在晶体负载电容值的计算中。
8. 使用振荡器时，在振荡器电源引脚附近添加一个去耦电容器和大容量电容器。

原理图审阅

定制原理图设计请遵循以下内容：

1. 必须连接 25MHz MCU_OSC0 时钟。
2. 晶体电路连接 (MCU_OSC0) 符合数据表中的建议。
3. 无需串联或并联电阻即可直接连接晶体。
4. 选择晶振负载和负载电容，包括大约 4pF 的电路板电容。
5. 建议负载电容器是晶体负载的两倍，包括板电容。
6. 使用外部振荡器时 XO 的连接，将 XO 接地。

其他

1. 有关时钟布线指南，请参阅数据表的应用、实施和布局部分。
2. 选择晶体和负载电容器，使负载电容器值可以为标准值。
3. 将 25MHz 晶体直接连接到处理器 XI 和 XO 引脚，不建议串联或并联电阻。内部振荡器实现自动增益控制 (AGC) 以进行振幅控制。
4. 仅使用 25MHz (当前仅支持的频率) 时钟源验证处理器。
5. 处理器特定数据表显示，MCU_OSC0 不会在内核电压斜坡之前启动，因为在某些情况下，振荡器可能不会启动，直到 VDD_CORE 斜坡。大多数情况下，振荡器会在 VDD5_OSC 斜升时启动，但并不是每次振荡器都会在 VDD5_OSC 电压斜升时启动。数据表中的振荡器启动图显示了最大启动时间，其中包括基于 VDD_CORE 有效的延迟情况。
6. 建议将 HFOSC0 寄存器保留为默认状态。
7. 请参阅处理器特定数据表，以选择晶体电路元件。

6.1.3.2 时钟输出

名为 CLKOUT0 的 IO 引脚可配置为时钟输出。时钟输出可用作附加器件（例如：以太网 PHY）的时钟源。

可以同时将 PADCONFIG53 和 PADCONFIG157 配置为 MUX MODE 5，这将同时为引脚 U13 和 A19 提供 CLKOUT0。每个 AM64x 引脚都有自己的 IO 缓冲器，信号多路复用器在 IO 缓冲器的处理器侧完成。因此，由于 CLKOUT0 向这两个引脚提供时钟源，时钟输出配置预计不会遇到任何信号完整性问题。

6.1.3.2.1 时钟输出检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范

原理图审阅

定制原理图设计请遵循以下列表：

1. 将时钟输出连接到单个或多个负载。当连接到多个输入（负载）时，建议通过缓冲器连接每个输入。
2. 提供靠近所连接器件时钟输入的所需拉电阻。

其他

1. CLKOUT0 : EXT_REFCLK1 用作 CLKOUT0。始终点对点连接时钟信号，不使用任何分支。将 CLKOUT0 连接到多个时钟输入时，请使用缓冲器（具有一个输入和多个输出或基于用例的单独缓冲器）。

6.1.4 处理器复位

6.1.4.1 外部复位输入

MCU_PORz 是处理器的外部 MCU 域冷复位输入。建议在电源斜坡和振荡器启动期间将 MCU_PORz 拉至低电平。请遵循处理器特定数据表的上电时序图中建议的 MCU_PORz 时序。

对于 MCU_PORz (3.3V 容差、失效防护输入)，可以施加 3.3V 输入。输入阈值是 1.8V IO 电源电压 (VDD5_OSC) 的函数。

缓慢上升的复位信号会导致内部处理器复位电路出现干扰。使用快速上升时间分立式推挽输出缓冲器作为 MCU_PORz 输入，并添加电容器 (22pF) 滤波器配置。

使用 PMIC 时，通过推挽输出型逻辑门或分立式缓冲器 (具有快速上升时间) 的输出连接为 MCU_PORz 输入，而不是缓慢上升开漏输出 (可能干扰内部复位电路)。

建议在 MCU_PORz 输入端连接滤波电容器。电容器值和安装取决于用例。验证电容值是否不会因慢速斜坡而导致 LVCMOS 输入违反压摆率要求或在内部产生干扰。

未将 MCU_PORz 连接到有效输入不是建议用例，可能会导致不可预测的随机行为。由于器件没有进行有效复位，因此内部电路处于随机 (未定义) 状态。

根据处理器特定数据表的引脚连接要求一节的说明，连接外部热复位输入 MCU_RESETz 和 RESET_REQz。热复位输入 (LVCMOS 输入) 有指定的输入压摆率要求。由于斜坡输入较慢，因此不建议直接在输入端连接电容器。建议使用基于施密特触发的去抖电路。有关实现去抖逻辑的信息，请参阅处理器特定 EVM 或 SK 原理图。

6.1.4.2 复位状态输出

PORz_OUT 是主域 POR (冷复位) 状态输出，RESETSTATz 是主域热复位状态输出，MCU_RESETSTATz 是 MCU 域热复位状态输出。

当复位状态输出 PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 用于驱动所连接器件的复位输入 (/reset) 时，建议使用下拉电阻使复位状态输出在上电和复位期间使所连接器件的复位生效 (保持所连接器件处于复位状态)。

备注

在所连接器件均不具有内部上拉电阻的使用情况下，外部下拉电阻器将保持所连接器复位输入在低电平。如果所连接器件具有内部上拉电阻，则复位信号会被拉至 1/2 Vs 电压。验证具体用例并在复位状态输出上添加下拉电阻。

RESETSTATz 可用于通过复位功能 (eMMC、OSPI 或 EPHY) 或 SD 卡电源开关来复位板载存储器或外设。PORz_OUT 可用于在复位期间锁存硬件搭接配置，包括锁存以太网 PHY 搭接配置。

在不使用时将复位状态输出连接到测试点以进行测试或将来增强。可选择提供一个下拉电阻，并且此下拉电阻可以是 DNI。

6.1.4.3 其他信息

用于配置处理器引导模式的 BOOTMODE00..15 输入需要保持在已知状态，以便选择处理器特定 TRM 中定义的合适引导模式配置，直至 PORz_OUT 的上升沿期间锁存引导模式配置。

6.1.4.4 处理器复位输入检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性、时序参数和任何其他可用信息
4. 仅在断电后电压低于 0.3V 后，处理器才需要重新启动 (释放复位)

5. 当处理器电源斜升或斜降时，复位输出被置为有效（低电平）
6. MCU_PORz (POR) 输入可耐受 3.3V 电压且具有失效防护功能。阈值遵循 VDDS_OSC IO 电平
7. MCU 域和主域的热复位 IO 级别 RESET_REQz (VDDSHV0)、MCU_RESETz (VDDSHV_MCU) 与 IO 组的 IO 电源（1.8V 或 3.3V）匹配
8. 复位输入遵循压摆率要求（FS RESET、LVCMOS）
9. 漏极开路输出直接连接（建议通过分立式推挽输出缓冲器进行连接）到复位输入时的压摆率
10. 使用非 TI 电源架构时，应遵循复位要求，包括压摆率和 MCU_PORz 保持时间

原理图审阅

定制原理图设计请遵循以下列表：

1. 考虑了冷复位和热复位输入压摆率要求
2. 根据数据表要求提供所有电源斜坡后，冷复位输入 (MCU_PORz) 取消置位保持时间（所有电源斜坡后的 MCU_PORz 输入延迟，最小值 9.5ms）
3. 在复位输入的输入端提供滤波电容器（添加 22pF（占位值）电容器作为滤波器选项和 DNI）
4. 未根据引脚连接要求使用时复位输入的连接
5. 通过去抖电路连接按钮热复位输入（基于施密特触发缓冲器输出）

其他

1. MCU_PORz 输入指定了压摆率要求。将 PMIC_POWERGOOD（漏极开路输出）连接到 MCU_PORz 是唯一可用的选项时，请调整上拉电阻以优化上升时间 (< 200ns)。
2. MCU_PORz 具有失效防护输入功能且可耐受 3.3V。
3. 将分立式推挽输出缓冲器的输出（快速上升时间）连接为 MCU_PORz 输入，而不是缓慢上升开漏输出。
4. 未连接有效的 MCU_PORz 会导致不可预测的随机行为，因为处理器未获得有效复位输入，且内部电路处于随机状态。慢速斜升复位输入会导致内部处理器复位电路出现干扰。
5. LVCMOS 输入指定了压摆率要求。建议为连接到处理器热复位输入的慢速斜坡按钮 RC 使用基于施密特触发的去抖电路。建议在使用按钮或 RC 复位时使用基于施密特触发的去抖电路。
6. 为靠近复位信号添加的手动复位输入提供外部 ESD 保护。
7. 连接到外部复位输入时的失效防护运行情况。在电源斜坡之前施加外部输入会导致馈电并影响处理器性能。

6.1.4.5 处理器复位状态输出检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性、时序参数和任何其他可用信息
4. PORz_OUT 用作输入，以在复位期间锁存处理器引导模式配置或所连接器件配置 (strap)
5. RESETSTATz 输出用于复位当处理器进行任何类型的全局复位（冷或热）时需要复位的所连接器件
6. 处理器复位状态输出和所连接器件复位输入之间的 IO 级兼容性（可能会导致影响性能的残余电压）
7. 加载复位状态输出（直接连接到输出的电容器 > 22pF（占位值））

原理图审阅

定制原理图设计请遵循以下列表：

1. RESETSTATz、MCU_RESETSTATz 和 PORz_OUT 具有下拉功能，可在电源斜升和复位期间将所连接器件保持在复位状态
2. 将电容器直接连接到靠近所连接器件复位输入的复位输出端（电容器 > 22pF）。执行仿真以使用值更高的电容器

其他

1. 当连接到载板或外部连接器时，为复位状态输出提供外部 ESD 保护

6.1.5 处理器引导模式的配置

引导模式输入不具有在处理器复位期间激活的内部上拉或下拉电阻。建议连接外部上拉或下拉电阻以设置所需的引导模式。

如果使用 DIP 开关，建议使用 470 Ω (上拉电阻) 和 47 Ω (下拉电阻) 的电阻分压比来提高噪声性能。

当仅使用电阻配置引导模式时，标准电阻 (上拉和下拉的值相同) 值。例如，可以使用 10k Ω 或类似的电阻器，因为填充了上拉或下拉电阻器。

建议将上拉或下拉电阻连接到标记为保留或未使用的引导模式引脚。

对于 AM64x 和 AM243x 处理器系列，BOOTMODE 14 和 BOOTMODE 15 引脚为保留引脚。

为实现调试、设计灵活性和未来增强功能，为所有具有配置功能的引导模式引脚添加上拉和下拉电阻配置。为每个引导模式引脚安装上拉或下拉电阻。不建议也不允许将引导模式引脚直接接地或连接到 IO 电源轨，因为 IO 具有备用配置，可能会被软件有意或无意地配置为输出。

引导模式输入引脚不具有失效防护功能，当通过外部输入或基板驱动引导模式配置时，需要考虑这一点。

根据应用要求，可以使用仅在断言复位 (MCU_PORz) (低电平) 时才驱动的缓冲器来向处理器提供引导配置。

如果在正常运行期间将引导模式引脚配置为输出，建议在缓冲器的输出端使用串联电阻 (约 1k Ω)。如需实现的更多信息，请参阅处理器特定 EVM 或 SK。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 EVM 或 SK 中，引导模式引脚 BOOTMODE [15:00] 通过两个隔离缓冲器置为有效。当处理器锁存引导模式信号 (在 PORz_OUT 上升沿附近) 时，缓冲器可确保 SYSBOOT 拉电阻 (使用电阻配置的引导模式) 控制信号 IO 电平。由于引导模式信号用于处理器引导后的其他功能并连接到附加器件或外设。引导模式配置电阻器与连接的其他外设隔离，以便其他连接的外设不会与预期的引导模式配置 (IO 电平) 相冲突。

仅当 PORz_OUT 由处理器驱动为低电平时，才会启用缓冲器。PORz_OUT 置位后，缓冲器输出为高阻态，因此信号不会被引导模式电阻拉动或影响。

为了优化设计 (包括 BOM)，可以根据用例优化或删除这些缓冲器。可选择引导模式拉电阻值，使这些电阻不会影响附加器件的运行。

6.1.5.2 引导模式选择

如需配置所需处理器引导模式，请参阅处理器特定 TRM 的 *初始化* 一章中的 *ROM 代码引导模式表*。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持 USB DFU 引导模式。当 USB0 配置为器件固件升级 (DFU) 引导模式时。不建议将永久或开关式 3.3V 电源直接连接到 USB0_VBUS 引脚。由于在没有电阻分压器的情况下连接电源会违反失效防护运行，因此不建议将永久电源 (等于分压器值) 连接到 USB0_VBUS 引脚。

根据处理器特定数据表中的建议，建议通过 USB 连接器连接的主机的 5V 电源 (开关式) 通过电阻分压器连接到 USB0_VBUS 引脚。如果定制电路板设计中的 VBUS 电势不会 > 5.5V，且电源为板载电源，则可删除齐纳二极管，将两个电阻合并为一个 20k Ω 电阻，用于 *USB VBUS 检测分压器、钳位电路*。

6.1.5.3 引导模式实现方法

下面的常见问题解答介绍了使用和未使用引导模式缓冲器时的引导模式实现方法。

[\[常见问题解答\] AM625/AM623/AM644x/AM243x/AM62A/AM62P - 有缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM644x/AM243x/AM62A/AM62P - 无缓冲器的引导模式实现](#)

6.1.5.4 其他信息

当外部输入驱动引导模式配置时，建议在处理器 MCU_PORz (冷复位) 释放之前稳定引导模式配置输入。

使用以太网引导和简化千兆位媒体独立接口 (RGMII) 时，在设计中实施一个 EPHY，在 EPHY RX 数据路径上启动 RGMII_ID 模式并在 TDn 数据路径上禁用 RGMII_ID 模式 (处理器在 TDn 输出上实现 RGMII_ID)。处理器

ROM 不会以编程方式在连接的 EPHY 上启用或禁用 RGMII_ID 模式。通常，RGMII_ID 是通过 EPHY 上的引脚搭接实现的。

应选择一个能够通过引脚搭接来设置 RGMII 内部延迟的 EPHY，请参阅处理器特定 EVM 或 SK。有关更多信息，请参阅器件特定勘误表的公告文章 [i2329 MDIO：处理器特定器件勘误表的 MDIO 接口损坏 \(CPSW 和 PRU-ICSS\)](#)。

6.1.5.5 引导模式的配置 (针对处理器) 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性以及任何其他可用信息
4. 所有引导模式引脚都具有外部拉电阻器或电路，用于驱动所需的引导模式。不建议或允许将任何引导模式输入保持未连接状态
5. 不建议将引导模式输入直接连接到电源或 VSS。不建议将多个引导模式输入短接在一起并连接一个公共电阻器。(电路板设计人员可能遇到固件配置问题，即用作输入的 LVCMOS GPIO 被错误地配置为输出，驱动逻辑高电平信号，而不是保持高阻抗状态)。
6. 引导模式输入使用电阻分压器或根据 EVM 或 SK 实现通过缓冲器连接到处理器
7. 使用 DIP 开关或电阻器的引导模式配置。当仅使用电阻器时，电阻分压器是可选的。可以使用上拉或下拉电阻
8. IO 兼容性 (以 VDDSHV3 为基准的 1.8V 或 3.3V；引导模式输入不具有失效防护)
9. 在冷复位状态输出被拉高之前，引导模式输入保持稳定
10. 引导模式引脚通过 0Ω 连接到替代功能，用于隔离或测试

原理图审阅

定制原理图设计请遵循以下列表：

1. 不将 DIP 开关用于引导模式配置时，请使用常见的电阻值 (10kΩ 或类似值)。
2. 使用 DIP 开关来配置引导时，请使用 470Ω 和 47kΩ 电阻器。
3. 当使用缓冲器实现引导模式或由外部控制信号驱动时，串联电阻器 1kΩ 用于缓冲器的输出
4. PLL 时钟、主引导和次级引导的引导模式配置

其他

1. BOOTMODE 引脚不具有在电源复位期间激活的内部上拉或下拉电阻。
2. 对于早期的设计，建议 PD 根据所需的引导模式，将所有引导模式引脚引出至一个具有爆音和无爆音选项的可选 PUPD 对。有关完整引导模式定义，请参阅处理器特定 TRM。
3. 在上电复位释放时锁存引导值。如果在运行期间重新配置引导模式引脚用于另外的功能，则必须释放引导模式引脚或将其设置回适当的配置，以便在器件进入上电复位状态时选择引导模式。如果信号由外部外设驱动，引导模式配置尤其值得关注。
4. 添加外部 ESD 保护，以防在不受控制的环境中配置引导模式开关。
5. 引导模式输入不具有失效防护功能。在处理器 IO 电源斜升之前，不得施加任何输入。在电源斜升之前施加外部输入会导致馈电并影响定制电路板功能。
6. 引导模式缓冲器是可选的，在 EVM 或 SK 上提供，用于测试自动化。
7. 使用缓冲器或逻辑门配置引导模式时，请验证所用器件是否具有 OE（输出使能特性）。

6.2 使用 JTAG 和 EMU 进行电路板调试

6.2.1 使用 JTAG 和 EMU

建议根据处理器特定数据表的 *引脚连接要求* 一节的说明连接 JTAG (TDI、TCK、TMS 和 TRSTn) 和 EMU (EMU0 和 EMU1) 信号。

或者，在 TDO (靠近处理器) 信号上连接串联电阻 (22 Ω)，以匹配缓冲器阻抗。当信号连接到外部连接器时，建议为所有 JTAG 和 EMU 信号添加外部 ESD 保护。EMU 0/1 信号支持冷复位 (MCU_PORz) 后的引导顺序调试。

TDO 的上拉为可选项，取决于所使用的调试器。

请参阅处理器特定 TRM 的 *片上调试* 一章。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM625SIP / AM625-Q1 / AM620-Q1 / AM62A7 / AM62A3 / AM62P / AM62P-Q1 / AM6442 / AM2432 定制电路板硬件设计 - JTAG](#)

[\[常见问题解答\] AM625 : JTAG 下拉上拉](#)

6.2.2 未使用 JTAG 和 EMU

如需连接 JTAG 和 EMU 信号，请参阅处理器特定数据表的 *引脚连接要求* 一节。

在定制电路板设计期间，为支持早期原型调试，TI 建议至少配置一个连接到测试点的最小 JTAG 端口 (包括 EMU0/1) 或配置一个接头封装。JTAG 元件在电路板的量产版本中可以是 DNI 状态。此外，还需提供相应配置，以便根据 *引脚连接要求* 一节添加建议拉电阻以及外部 ESD 保护。

6.2.3 其他信息

当 JTAG 接口连接到不止一个附加器件时，建议对时钟和信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅处理器特定 EVM 或 SK。

如果使用跟踪操作，请将 TRC_DATAn 信号直接连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。使用跟踪功能或 GPMC 接口。TRC_DATAn 信号的短连接和偏差匹配连接 (电路板引线) 用于跟踪功能。跟踪信号基于 VDDSHV3，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 [仿真和跟踪接头技术参考手册](#)。[XDS 目标连接指南](#) 中提供了摘要。

如果使用边界扫描，请将 EMU0 和 EMU1 引脚直接连接到 JTAG 连接器。

要确保 JTAG 接口的正确实施，请参阅 [仿真和跟踪接头技术参考手册](#) 和 [XDS 目标连接指南](#)。

6.2.4 使用 JTAG 和 EMU 检查清单进行电路板调试

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性、时序参数和任何其他可用信息
4. JTAG 信号 IO 兼容性 (IO 电源以 VDDSHV_MCU 为基准)
5. 所需上拉电阻靠近处理器 JTAG 引脚的连接符合引脚连接要求

原理图审阅

定制原理图设计请遵循以下列表：

1. 将电源电压连接到 JTAG 连接器 (包括滤波电容器) (连接到 VDDSHV_MCU 的电压源)
2. 上拉和下拉值 (使用 47k Ω 或 10k Ω)

其他

1. TI 建议所有定制电路板设计至少包含与测试点或接头的最低 JTAG 端口连接，以实现早期原型调试。最低连接为 TCK、TMS、TDI、TDO 和 TRSTn。如果需要，请在电路板的量产版本中删除 JTAG 布线和元件封装（TRSTn 上的下拉电阻以及 TMS 和 TCK 上的上拉电阻除外）。
2. 建议配置 EMU0 和 EMU1 信号。
3. 如果需要跟踪操作，必须将 TRC_DATAn 信号连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。如果需要布线连接，请勿在引脚上使用其他多路复用接口。为 TRC_DATAn 信号使用尽可能短的布线。跟踪信号位于单独的电源域上，并且可能具有与其他 JTAG 信号不同的电压。
4. 提供外部 ESD 保护。使用 JTAG 接口时组装。
5. 验证连接到外部信号时的失效防护运行情况。在电源斜升之前施加外部输入会导致馈电并影响定制电路板功能。

7 处理器外设

7.1 IO 组的电源连接

每个双电压 IO 组的 IO 电源 (VDDSHV_x (x = 0-5) 和 VDDSHV_MCU) 为一组固定的 IO (外设) 供电。将 3.3V 或 1.8V 电源电压连接到每个双电压 IO 组的 IO 电源。

VDDSHV5 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。支持 UHS-I SD 卡所必需的动态电压变化功能。

为处理器 IO 实现了 SDIO 或 LVCMOS 类型 IO 缓冲器。IO 电源要求取决于 IO 缓冲器类型。

根据所选的存储器类型 (DDR4 或 LPDDR4) , 按照 ROC 连接 DDR PHY IO 电源和 DDR 时钟 IO 电源。

7.1.1 IO 组的电源连接检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚连接要求、引脚属性和信号说明
3. 电气特性中引用的标准包括建议的运行条件和任何其他可用信息
4. 实现的 IO 缓冲器类型和允许的电源配置 (LVCMOS 固定 (1.8V/3.3V) 或 SDIO 动态电压变化)
5. 将有效电源连接到所有 IO 组的 IO 电源 (VDDSHV_x 和 VDDSHV_MCU)
6. IO 电源时序控制
7. 3.3V IO 电源连接
8. 基于所选存储器连接处理器 DDRSS IO 电源 (PHY IO 和时钟 IO)

原理图审阅

定制原理图设计请遵循以下列表：

1. 以接口信号为基准的所连接器件 IO 电源和 IO 组的 IO 电源连接到同一电源
2. 上拉电阻连接到与处理器 VDDSHV_x 和所连接器件相连的同一电源轨
3. 不建议将连接到 PMIC 输入端的 3.3V 电源直接连接到 IO 组的 IO 电源 VDDSHV_x，因为如果 PMIC 未启动并生成其他处理器电源轨，IO 电源将在未定义的时间内可用

其他

1. 请注意基于使用的 IO 电源轨电压电平的电源时序要求
2. VDDSHV5 支持动态电压变化
3. 不建议也不允许以 LVCMOS IO 缓冲器为基准的 IO 组的 IO 电源动态电压变化 (VDDSHV0-4 和 VDDSHV_MCU)

7.2 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC)

7.2.1 DDR 子系统 (DDRSS)

该处理器支持 DDR4 或 LPDDR4 接口。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - DDR4/LPDDR4 存储器接口](#)

7.2.1.1 DDR4 SDRAM (双倍数据速率 4 同步动态随机存取存储器)

有关实施指南和布线拓扑，请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#)。

有关包括电路板设计仿真在内的更新信息，请参阅 [AM62x DDR 电路板设计和布局指南](#)。DDRSS 实现与 AM62x 类似，可以参阅设计指南。

7.2.1.1.1 存储器接口配置

允许的存储器配置为 1×16 位或 2×8 位。

1×8 位存储器配置不是有效配置。

根据所选的存储器大小验证 DDRSS 存储库组 (DDR0_BG0、DDR0_BG1) 的连接。

根据存储器选择 (单列或双列) 验证 DDRSS 片选 (DDR0_CS0_n、DDR0_CS1_n) 的连接。

7.2.1.1.2 布线拓扑和端接

当使用单个存储器 (DDR4) 器件 (1×16 位) 时，可考虑点对点拓扑。

点对点拓扑实现总结：

- 地址和控制信号的外部 VTT 端接是可选项 (非必需)。
- 对于差分时钟 DDR0_CK0、DDR0_CK0_n，建议使用交流差分端接 2 个 R 串联 (值 = Z_0 - 单端阻抗) 和一个 $0.01 \mu\text{F}$ 滤波电容器或存储器制造商推荐的值，该电容器连接到两个电阻和 PHY IO 电源 VDDSDDR 的中心。
- VREFCA (VDDSDDR/2) 是用于存储器 (DDR4) 器件的控制、命令和地址输入的基准电压。VREFCA 可以使用电阻分压器 (连接到 VDDSDDR 和 VSS 的 2 个电阻 (建议电阻值为 $1\text{k}\Omega$ ，1%)) 以及与两个电阻并联的滤波电容器 (建议值为 $0.1 \mu\text{F}$) 从 VDDSDDR 导出。VREFCA 引脚连接额外的去耦电容器 (靠近存储器 (DDR4) 器件)。

或者，可以使用单个存储器 (DDR4) 器件的地址和控制信号上的 VTT 端接，以及用于生成 VTT 电源的灌电流或拉电流 DDR 端接稳压器。

使用两个存储器 (DDR4) 器件 (2×8 位) 时，建议遵循飞越式拓扑。

飞越式拓扑实现总结：

- 建议为地址、控制和时钟信号使用外部端接 (VTT)。
- 建议使用灌电流或拉电流 DDR 端接稳压器生成 VTT 电源。
- 灌电流或拉电流 DDR 端接稳压器生成基准电压 (VDDSDDR/2)。
- 为基准电压添加去耦电容器。

7.2.1.1.3 用于控制和校准的电阻

为 DDR0_RESET0_n (DDR_RESET#)、DDR0_CKE0 (DDR_CKE, 可选) 连接下拉电阻并为 DDR0_ALERT_n (DDR_ALERTn) 连接上拉电阻 (靠近存储器 (DDR4) 器件)。为 DDR4 器件 TEN (测试使能) 提供下拉电阻 (靠近存储器 (DDR4) 器件)。有关实现和电阻值, 请参阅处理器特定 EVM。

为 DDR0_CAL0 连接推荐电阻 (靠近处理器) 并为 ZQn (n=0-1) 连接推荐电阻 (靠近存储器 (DDR4) 器件)。

7.2.1.1.4 电源轨的电容器

验证是否为处理器 DDR 电源轨和存储器 (DDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议, 请使用处理器特定 EVM 实施说明。

7.2.1.1.5 数据位或字节交换

在定制电路板设计过程中, 如果需要进行位交换, 则允许在数据字节内进行位交换, 以及在某些限制条件下交换 0/1 字节。DM 和 DQS 位不能与任何其他信号交换。不允许对地址位或控制位进行位交换。

有关更多信息, 请参阅 [AM64x / AM243x DDR 电路板设计和布局布线指南](#) 的 [DDR4 电路板设计和布局布线指南](#) 一章中的 [位交换](#) 一节。

根据位交换的变化更新原理图, 以供今后参考或重复使用。

7.2.1.1.6 VTT 端接原理图参考

使用两个存储器 (DDR4) 器件 (2 x 8 位) 时, 每个器件将连接到每个数据字节。地址信号或控制信号以飞越式拓扑连接, 并采用 VTT 端接。

请参阅 [AM64x Sitara 处理器评估模块](#) 了解如何实现 VTT 端接。

建议执行板级仿真以确保信号完整性。

7.2.1.1.7 DDR4 实现检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚属性、信号说明和电气规范。
3. 查看电气特性、时序参数和任何其他可用信息。
4. 确认地址、时钟、控制 and 数据信号的连接。请遵循处理器特定的 DDR 设计指南。
5. 基于连接的存储器器件数量的路由拓扑（数据总线拓扑始终为点对点拓扑）。允许的配置为 1 x 16（点对点）和 2 x 8（菊花）。
6. 验证根据所选存储器大小的信号连接（CS0-1、BG0-1）。
7. 查看使用 2 个电阻器和滤波电容器的差分时钟端接，用于点对点 and 菊花链存储器接口配置。
8. 确保 DDR0_CAL0、DDRSS IO 焊盘校准电阻（240 Ω、1%）连接到 VSS。
9. 验证用于 DDR 基准生成（DDR_VREFCA）的电阻分压器配置（1k Ω、1%）。将去耦电容器 0.1 μF 放置在电阻分压器上并靠近存储器引脚的位置。
10. 使用 x 2 存储器器件时地址和控制信号的端接（VTT）（对于点对点连接是可选的）。
11. VTT 电阻器和电容器（每 2 个 VTT 电阻器 1 个）数量和值。遵循 EVM 和设计指南。
12. 使用 x 2 存储器器件时的 VTT 端接 LDO 实现和配置。
13. 验证 ZQ0..1、存储器器件 IO 校准电阻（240 Ω、1%）是否连接到 VSS。
14. 验证 ALERT（10k Ω 上拉）和 TEN（1k Ω 下拉）的连接。
15. 验证 ODT 从 DDRSS 到存储器器件的连接。外部拉电阻是可选的。
16. 验证处理器 DDRSS RESETn 信号到 DDR_RESETn 存储器复位输入的连接。要在上电初始化期间将信号保持为低电平，请在存储器器件附近添加下拉电阻（10k Ω）。
17. 验证是否根据引脚连接要求连接未使用的 DDRSS 接口信号。
18. 验证有关数据组信号交换的 DDR 设计指南。
19. 验证是否连接存储器扩展所需的 DDRSS 信号。

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 EVM 原理图比较使用的大容量电容器和去耦电容器以及值。
2. 查看用于校准电阻的值和容差。
3. 查看 VTT 电阻器和电容器的值。
4. 验证 DDR 基准分压器值和容差。
5. 验证复位下拉值和 ALERT 连接（TEN 拉电阻）。
6. 确保所选存储器符合 JEDEC 标准。
7. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 请参阅 TMD64EVM 文件，了解如何实现 VTT 端接、DDR4 地址、控制信号，以及用于生成 VTT 电源的 LDO。
2. 在原理图上添加布局注释（对于 DDR 布线，应遵循建议的指南）。

7.2.1.2 LPDDR4 SDRAM (低功耗双倍数据速率 4 同步动态随机存取存储器)

有关实施指南和布线拓扑, 请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#)。

有关包括电路板设计仿真在内的更新信息, 请参阅 [AM62x DDR 电路板设计和布局指南](#)。DDRSS 实现与 AM62x 类似, 可以参阅设计指南。

7.2.1.2.1 存储器接口配置

允许的存储器配置为 1×16 位。

7.2.1.2.2 布线拓扑和端接

时钟 (CK)、地址、控制 (ADDR_CTRL) 和数据信号遵循点对点拓扑。

VTT 端接不适用于 LPDDR4。地址/控制信号所需的端接由内部 (片上) 处理。

7.2.1.2.3 用于控制和校准的电阻

为 DDR0_RESET0_n (LPDDR4_RESET_N) 连接下拉电阻 (靠近存储器 (LPDDR4) 器件)。有关实现和电阻值, 请参阅处理器特定 SK。

为 DDR0_CAL0 连接推荐电阻 (靠近处理器)、为 ODT_CA_A 连接推荐电阻 (靠近存储器 (LPDDR4) 器件) 并为 ZQ 连接推荐电阻 (靠近存储器 (LPDDR4) 器件)。

7.2.1.2.4 电源轨的电容器

验证是否为处理器 DDR 电源轨和存储器 (LPDDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议, 请遵循处理器特定 SK 实现。

7.2.1.2.5 数据位或字节交换

在定制电路板设计过程中, 如果需要位交换, 则允许在数据字节内进行位交换, 以及交换 0/1 字节。不允许地址位交换。

建议根据位交换的变化更新原理图, 以供今后参考或重复使用。

7.2.1.2.6 LPDDR4 实现检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接
2. 查看引脚属性、信号说明和电气规范
3. 查看电气特性、时序参数和任何其他可用信息
4. 确认地址、时钟、控制 and 数据信号连接 - 请遵循处理器特定的 DDR 设计指南
5. 确保 DDR0_CAL0 和 DDRSS IO 焊盘校准电阻 (240 Ω 、1%) 连接到 VSS
6. 确保 ZQ0-1、存储器器件 IO 校准电阻 (240 Ω 、1%) 连接到 VDD_LPDDR4
7. 验证通过电阻器 (2.2k Ω 或类似器件，与 DDRSS 无连接) 上拉的存储器器件片上端接 (ODT)
8. 验证连接片选 CSn0-1
9. 对于 LPDDR4，x 16 是支持的数据总线宽度
10. 验证将 DDRSS RESETn 信号直接连接到 LPDDR4_RESET_N 存储器复位输入。要在上电初始化期间将信号设置为低电平，请添加一个下拉电阻 (10k Ω) 并将其放置在存储器器件附近
11. 确认将 DDRSS 连接到 16 位存储器器件 - 请参阅 DDR 设计指南
12. 确认根据 DDR 设计指南端接未使用的 DDRSS 接口信号

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 SK 原理图比较使用的大容量电容器和去耦电容器以及值。
2. 查看用于校准电阻的值和容差
3. 复位下拉值和连接 ODT 上拉
4. 确保所选存储器符合 JEDEC 标准
5. 确保连接的电源导轨遵循 ROC

其他

1. 在原理图上添加布局注释 (对于 DDR 布线，应遵循建议的指南)

7.2.2 多媒体卡和安全数字 (MMCSD)

该处理器支持两个 MMCSD 实例。MMCSD 主机控制器提供了一个连接 1 个 eMMC (8 位) 实例和 1 个 SD/SDIO (4 位) 实例的接口。

7.2.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

如需更多信息，请参阅处理器特定数据表的 *MMC0 - eMMC 接口* 一节。

请参阅[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口](#)了解更多信息。

7.2.2.1.1 使用 MMC0

7.2.2.1.1.1 IO 电源

处理器的 MMC0 接口由 VDD_MMC0 (0.85V)、VDD_DLL_MMC0 (0.85V) 和 VDDS_MMC0 (1.8V) 电源供电。

TI 建议将所连接器件的 VDDS_MMC0 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.2.1.1.2 eMMC (连接器件) 复位

建议使用双输入“与运算”逻辑来实现所连接器件的复位。处理器通用输入/输出 (GPIO) 连接到与门输入，在输入端附近提供上拉电阻 (以支持引导) 和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位所连接器件，请将所连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.2.1.1.3 信号连接

进行以下连接：

- 为 MMC0_CLK 信号连接串联电阻 (0Ω ，靠近处理器)
- 在 MMC0_CALPAD (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差，请参阅处理器特定数据表

备注

因为 PHY 使能 eMMC 所需的内部拉电阻并控制这些拉电阻，所以 MMC0 eMMC PHY 不需要外部拉电阻。

在复位期间和复位后，在内部启用 DAT0-7 和 CMD 的上拉电阻。在复位后由 SS 为 DS 启用下拉电阻，且时钟输出 (CLK) 驱动为低电平。

MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部上拉电阻由 MMC0 主机和 PHY 动态控制。

eMMC 数据、CMD、DS 和 CLK 信号不需要提供外部拉电阻。

7.2.2.1.1.4 电源轨的电容器

验证是否为 MMC0 电源轨和连接器件 (内核和 IO 电源) 提供了要求的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循处理器特定 EVM 实现。

7.2.2.1.2 未使用 MMC0

MMC0 接口信号不具有备选功能。不使用 MMC0 时，接口信号和 MMC0 电源有特定的连接要求。

有关连接接口信号和 MMC0 电源轨的信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

7.2.2.1.3 MMC0 (eMMC) 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚属性、信号说明和电气规范。
3. 查看电气特性、时序参数和任何其他可用信息。
4. MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)。
5. Am64x 或 AM243x 处理器系列为 eMMC 接口实现了硬 PHY 和专用 PHY。不使用 eMMC 时，请参阅引脚连接要求。
6. 在 MMC0_CLK 上包含一个串联电阻器 (0Ω)，该电阻器应尽可能靠近处理器时钟输出引脚放置以抑制反射。MMC0_CLK 在读取事务时在内部环回，需要电阻器来消除可能的信号反射，这可能会导致时钟转换错误。最初使用 0Ω 并根据需要进行调整，以匹配 PCB 布线阻抗。
7. 所需的数据、CMD 和时钟拉电阻由处理器 eMMC 硬 PHY 在内部启用，eMMC 存储器为 DAT1-7 提供上拉电阻并由软件控制（启用处理器上拉电阻并禁用 eMMC 上拉电阻）。
8. 需要使用同一电源为 VDDS_MMC0 MMC0 PHY IO 电源 (1.8V) 和连接的 eMMC 器件 IO 电源供电。
9. 处理器 eMMC 硬 PHY 控制 eMMC 所连接器件的时钟输入。
10. 要实现 eMMC 器件复位，请在存储器用于引导时使用双输入“与运算”逻辑。连接 RESETSTATz 作为一个输入，并将处理器 IO 作为另一个输入。在与门输入引脚附近为处理器 IO 输入添加上拉电阻，在处理器 IO 输出引脚附近添加隔离电阻。或者，使用 RESETSTATz 作为复位源。当 RESETSTATz 用作复位源时，请验证 IO 电压电平与 eMMC IO 电源是否兼容。根据需要使用时电平转换器。
11. 当未配置 eMMC 引导时，连接到 eMMC 的器件复位可由处理器 IO 控制。建议在复位期间下拉 eMMC 存储器器件的复位。
12. 根据需要为连接的存储器器件添加额外的去耦电容器。有关更多信息，请参阅 SK-AM62P-LP 原理图。

原理图审阅

定制原理图设计请遵循以下列表：

1. 提供所需的大容量电容器和去耦电容器。与 EVM 原理图进行比较
2. 数据、命令和时钟信号的拉电阻值。与 EVM 原理图进行比较
3. 串联电阻器值和靠近处理器的时钟输出信号上的放置
4. 复位逻辑的实现，包括 IO 电平兼容性。当直接连接 RESETSTATz 或处理器 IO 以控制复位时，不建议在 eMMC 所连接器件的复位输入端添加电容器。不建议使用应用 RC 的独立复位连接来复位 eMMC 存储器器件。
5. 连接的电源导轨遵循建议的运行条件。
6. 观察到 eMMC 接口问题时问以下问题：
 - 定制电路板的设计是否符合数据表中 MMC0 时序条件表中定义的 PCB 布线延迟要求？
 - 发生该问题时，用户在使用哪种数据传输模式？
 - 当运行速度降低时，电路板是否按预期工作？

其他

1. 为 Am64x 或 AM243x MMC0 端口实现的 PHY 仅支持 eMMC 器件，在端口初始化之前，不需要外部拉电阻即可将所连接器件保持在已知状态。处理器复位时启用内部拉电阻。MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部上拉电阻由 MMC0 主机和 PHY 控制。
 - 复位后，MMC0_CLK 引脚被驱动为低电平。不需要外部下拉电阻。
 - 复位期间，MMC0_DAT0-7 引脚将具有内部上拉电阻。因此，不需要外部上拉电阻。
 - 复位期间，MMC0_CMD 引脚被驱动为高电平。因此，不需要外部上拉电阻。
 - 复位期间，MMC0_DS 引脚将启用内部下拉电阻。因此，不需要外部下拉电阻。

用于 MMC0 (eMMC) 信号的拉电阻。复位期间在内部启用，不需要添加外部拉电阻。

2. 验证 eMMC 器件 (eMMC 非易失性配置空间) 中是否启用了 eMMC_RSTn 复位输入，以便复位逻辑正常工作。利用 GPIO 复位选项，软件可以在外设无响应的情况下复位所连接器件 (eMMC 或 OSPI、SD 卡、SERDES0 或 EPHY)，而无需复位整个处理器。有一个选项是消除 GPIO 选项，仅使用复位输出 (热)；在这种情况下，如果外设无响应，软件会强制进行热复位。但是，使用热复位状态输出会复位整个器件，而不是尝试恢复特定外设而不复位整个器件。当使用 RESETSTATz 复位所连接器件时，请验证所连接器件的 IO 电压电平是否与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。或者，如果选择了电阻分压器的理想阻抗值，则使用电阻分压器。如果过高，eMMC 复位输入的上升和下降时间可能会很慢，从而引入过大延迟。低电阻值会导致处理器在正常运行期间提供过多的稳态电流
3. “与运算”逻辑还会执行 IO 电平转换。在优化复位“与运算”逻辑之前，请验证复位 IO 电平兼容性。IO 电平不匹配会导致电源泄漏并影响处理器运行。

7.2.2.1.4 有关 eMMC PHY 的额外信息

请参阅处理器特定数据表的 *信号说明*、*MMC*、*MAIN 域* 一节中的注释。

备注

不同处理器系列上使用的 eMMC 控制器和 eMMC PHY IP 的实现方式可能有所不同。请注意接口，包括迁移到其他处理器系列时建议的端接。

建议查看处理器特定数据表、TRM，并遵循针对处理器和连接器件的连接建议。

可以根据需要遵循处理器特定 EVM 或 SK 实现。

7.2.2.1.5 MMC0 SD (安全数字) 卡接口

MMC0 接口上没有 CD (卡检测) 和 WP (写保护) 引脚。MMC0 可用于连接固定的 SDIO 器件 (板载)。

7.2.2.2 MMC1 - SD (安全数字) 卡接口

有关更多信息，请参阅处理器特定数据表的 *MMC1 - SD/SDIO 接口* 一节。

7.2.2.2.1 IO 电源

处理器 MMC1 (CMD、CLK 和 Data) 接口 IO 由 VDDSHV5 电源轨 (IO 组 5 的 IO 电源) 供电。

VDDSHV5 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

VDDSHV5 电源必须初始为 3.3V，并允许在软件准备好更改电源电压时更改为 1.8V。

该处理器包括一个集成的 SDIO_LDO，在配置为用于 SD 卡接口时为 VDDSHV5 电源供电。下文复位部分所述电源开关的输出作为输入连接到 SDIO_LDO (VDDA_3P3_SDIO)。SDIO_LDO 的输出在复位期间为 3.3V，当软件准备好更改电源电压时，允许将该输出更改为 1.8V。SDIO_LDO 的输出由 V1P8_SIGNAL_ENA 位控制，默认为 3.3V 输出。

确保在 SDIO_LDO 引脚 (CAP_VDDSHV_MMC1) 的输出端提供建议的电容器。

SD 卡检测 (CD) 和写保护 (WP) 引脚连接到 VDDSHV0 电源轨 (IO 组 0 的 IO 电源)。

处理器 MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号由 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 供电。建议将 MMC1_SDCD、MMC1_SDWP 的上拉电阻从 SD 卡连接到同一电源轨 VDDSHV0。

插入 SD 卡时，处理器的 SD 卡检测 (CD) 输入直接连接到接地端。建议使用一个串联电阻，用于在 IO 由于编程错误而配置为输出时限制电流。

备注

未使用 SDIO_LDO 为 VDDSHV5 供电时，请参阅处理器特定数据表的 *引脚连接要求* 一节，以端接 VDDA_3P3_SDIO 和 CAP_VDDSHV_MMC1 引脚。

7.2.2.2.2 SD 卡电源复位和引导配置

建议配置由软件启用（控制）的电源开关（负载开关）为 SD 卡电源（VDD）供电。一个固定的 3.3V 电源（处理器 IO 电源）连接作为电源开关的输入。

使用电源开关可以对 SD 卡进行下电上电（因为复位电源开关是复位 SD 卡的唯一方法），并将 SD 卡复位为默认状态。

建议使用 3 输入“与运算”逻辑来实现 SD 卡电源开关使能复位逻辑。处理器通用输入/输出（GPIO）连接到与门输入，在输入端附近提供上拉电阻（以支持引导）和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另外两个输入是主域 POR（冷复位）状态输出（PORz_OUT）或主域热复位状态输出（RESETSTATz）信号。

如果 SD 卡配置为引导器件，为 SD 卡电源供电的外部电源开关必须默认为 ON（供电状态）。

有关实现的详细信息，请参阅处理器特定 EVM 或 SK。

7.2.2.2.3 信号连接

进行以下连接：

- 为 MMC1_CLK 连接串联电阻（ 0Ω ，靠近处理器），为 MMC1_CLK 连接外部下拉电阻（靠近所连接器件或 SD 卡插槽）。
- 为连接到相应 IO 组双电压 IO 电源（VDDSHV5）电源导轨的数据线路（MMC1_DAT0-3）和 CMD 信号（MMC1_CMD）添加外部上拉电阻器（靠近所连接器件或 SD 卡插槽）。
- 为 MMC1_SDCD 和 MMC1_SDWP 信号添加外部上拉电阻器，并连接到 VDDSHV0 电源导轨（靠近所连接器件或 SD 卡插槽）。

请参阅[\[常见问题解答\] AM62A7：为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？](#)、[\[常见问题解答\] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6](#)，[\[常见问题解答\] AM6442：AM6442 MMC1 和常见问题解答\] AM625：MMC 接口](#)了解更多信息。

这是通用常见问题解答，也可用于 AM64x 和 AM243x 处理器系列。

7.2.2.2.4 ESD 保护

建议为数据、时钟和控制信号提供外部 ESD 保护。内部 ESD 保护不能满足板级或系统级 ESD 要求。

7.2.2.2.5 电源轨的电容器

验证是否为 VDDSHV5 电源导轨和连接器件提供了所需的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循处理器特定 EVM 或 SK 实现。

备注

请遵循对于数据和控制信号的处理器特定连接建议。建议将时钟输出的串联电阻放置在靠近处理器时钟输出引脚的位置。

7.2.2.2.6 MMC1 SD 卡接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚属性、信号说明和电气规范。
3. 查看电气特性、时序参数和任何其他可用信息。
4. 在 MMC1_CLK 上包含一个串联电阻器 (0Ω)，该电阻器应尽可能靠近处理器时钟输出引脚放置以抑制反射。MMC1_CLK 在读取事务时在内部环回，可能需要电阻器来消除可能的信号反射，这可能会导致时钟转换错误。最初使用 0Ω 并根据需要进行调整，以匹配 PCB 布线阻抗。
5. MMC1_CLK、CMD 和 DAT0..3 信号功能通过由 VDDSHV5 (该电源会随着传输速度的增加将工作电压从 3.3V 更改为 1.8V) 供电的引脚上的 SDIO 缓冲器来实现。
6. MMC1_SDCD 和 SDWP 信号功能通过由 VDDSHV0 (在固定 1.8V 或 3.3V 下运行) 供电的引脚上的 LVCMOS 缓冲器实现。
7. SDIO 缓冲器用于支持动态电压变化。由于 UHS-I SD 卡开始以 3.3V 信号运行并在 SD 卡转换到其中一种高速数据传输模式时更改为 1.8V 信号，因此要求进行动态电压更改。复位期间处理器 IO 缓冲器关闭。任何处理器或所连接器件 IO 都需要可悬空的外部上拉电阻。所有数据和命令信号都要求上拉电阻。当使用 (提高抗噪性) 外部上拉电阻时，验证是否未配置内部上拉电阻。
8. 为了满足 SD 卡规格，当内部上拉电阻意外启用时，建议使用 47kΩ 上拉电阻。47kΩ 上拉电阻可验证产生的拉电阻是否在指定范围内。
9. 当需要 UHS-I 速度支持时，可以使用在 3.3V 和 1.8V 之间切换的内部 LDO 电源。将可切换电压输出连接到 IO 组的 IO 电源，并参考 SD 接口信号 (VDDSHV5)。
10. 如果需要 UHS-I 速度支持，当 SD 卡接口的 IO 电压为 1.8V 或 3.3V 时，SD 卡 VDD 电源会连接到固定的 3.3V 电源。
11. 当需要 UHS-I 速度支持时，3.3V SD 卡需要通过负载开关进行开关，以允许将 SD 卡 IO 电源复位为 3.3V。需要进行相应配置，以在复位期间启用 SD 卡负载开关。
12. 提供相应配置，以在冷复位、热复位和需要使用处理器 IO 的正常运行期间，使用 SD 卡负载开关 EN 信号复位负载开关。可以选择一个三输入“与运算”逻辑。
13. 在启动期间，ROM 代码会检查卡检测引脚 (SDCD，引脚 D19) 的状态。该信号预计为低电平，以指示检测到 (插入的) SD 卡。

原理图审阅

定制原理图设计请遵循以下列表：

1. 提供所需的大容量电容器和去耦电容器。与 EVM 或 SK 原理图进行比较。
2. 验证用于数据、命令和时钟信号的上拉电阻值。与相关的 EVM 或 SK 原理图进行比较。
3. 验证串联电阻器值和靠近处理器的时钟输出信号上的放置情况。
4. 当需要 UHS-I 速度支持时，请验证是否添加了 IO 电源轨开关和 SD 卡电源开关电路。
5. 验证电源导轨是否连接到 SD 卡电源 (使用 SYS 电压)。
6. 验证实现用于复位 SD 卡电源控制负载开关的复位逻辑。此外，还提供了 SD 卡电源控制电源开关的压摆率控制功能。
7. 确保连接的电源导轨遵循建议的运行条件。
8. 确保为 SD 接口信号提供所需的外部 ESD 保护。
9. 验证内部 LDO 配置和连接

其他

1. 当 UHS-I SD 卡改变 IO 工作电压时，主机的 MMC1_SDCD 和 MMC1_SDWP 输入的逻辑状态不得改变。如果信号通过会改变电压的双电压 SDIO 单元的输入缓冲器进行传播，则无法保持有效的逻辑状态。信号功能被分配给不动态改变电压的 IO。信号仅连接到 SD 卡连接器中的开关，因此当 SD 卡信号改变工作电压时，信号不会无端改变电压。必须使用 MMC1_SDCD 和 MMC1_SDWP 信号连接到 SD 卡连接器开关，并通过连接

到 VDDSHV0 的外部拉电阻器将其上拉至高电平。其他具有上拉电阻的 MMC1 SD 卡信号需要由动态改变电压的 VDDSHV5 源供电

2. SD 卡电源开关 (具有电源开关 EN 引脚复位逻辑) 和主机 IO 电源电路需要支持 UHS-I SD 卡, 以使用 3.3V IO 电平开始通信, 然后在更改为更快的数据传输速度之一时更改为 1.8V IO 电平。由于 SD 卡没有复位引脚, 因此对 SD 卡进行下电上电是将其循环回到 3.3V 模式的唯一方法。主机 IO 电源必须与 SD 卡一起断电上电和更改电压。操作为电路提供信号的电路和软件驱动程序可验证两个器件是否关断或导通, 以及是否同时在相同的 IO 电压下运行。
3. UHS-I 实现和内部 LDO 用例: 无需 VDDA_3P3_SDIO 电源轨与其他 3.3V 电源导轨一起斜升。在释放复位之前, VDDA_3P3_SDIO 不会关闭。这在 AM64x 数据表的下一版中进行了更新。SDIO_LDO 仅控制 AM64x VDDSHV5 IO 的工作电压, 而不控制 SD 卡的工作电压。SD 卡具有 SDIO_LDO 等效电路, 可通过命令将其 IO 工作电压从 3.3V 更改为 1.8V、但将 SD 卡 IO 工作电压改回 3.3V 的唯一方法是对电源进行下电上电循环 (复位)。与门和负载开关将电源施加到 AM64x SDIO_LDO 和 SD 卡 (复位后)、ROM 代码提供足够的延迟来验证 SD 卡是否准备就绪。
4. 为了优化 “与运算” 逻辑, 请使用双输入与门并将 RESETSTATz 和处理器 IO 作为输入。
5. 在 SDCD 引脚上添加一个 100 Ω 串联电阻器, 因为当插入 SD 卡时, 处理器 IO 直接连接到接地端。

7.2.2.3 其他信息

请参阅处理器特定数据表的 *信号说明*、*MMC*、*MAIN 域* 一节中的注释。

7.2.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

有关详细信息，请参阅处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 一节。

请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#) 了解更多信息。

7.2.3.1 IO 电源

用于 OSPI 或 QSPI 接口的处理器 IO 由 VDDSHV4 电源轨 (IO 组 4 的 IO 电源) 供电。

TI 建议将所连接器件的 VDDSHV4 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.3.2 OSPI 或 QSPI 器件复位

建议使用双输入“与运算”逻辑来实现所连接器件的复位。处理器通用输入/输出 (GPIO) 连接到与门输入，在输入端附近提供上拉电阻 (以支持引导) 和 0 Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位所连接器件，请将所连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.3.3 信号连接

进行以下连接：

- OSPI0_CLK 和 OSPI0_LBCLKO 连接串联电阻 (0 Ω) (靠近处理器)，OSPI0_CLK 连接外部下拉电阻 (靠近所连接器件)。
- CS 引脚和 INT# 引脚连接外部上拉电阻 (靠近所连接器件)。
- 数据线 (DAT0-7) 连接外部上拉电阻 (靠近处理器)。根据连接器件内部拉电阻的可用性，组装外部拉电阻。

7.2.3.4 环回时钟

验证所需的环回时钟配置。可以使用 OSPI0_LBCLKO (OSPI0 环回时钟输出) 和 OSPI0_DQS (OSPI0 数据选通或环回时钟输入) 进行不同的时钟环回配置。有关以下环回配置，请参阅处理器特定数据表：

- 无环回、内部 PHY 环回和内部焊盘环回

外部电路板级环回

处理器 DQS 或环回时钟与连接存储器器件的 DS 数据选通搭配使用

当所连接器件中有 DS (读取数据选通) 引脚时，请将所连接器件的 DS 引脚连接到处理器的 OSPI0_DQS 引脚。将 OSPI0_LBCLKO 引脚保持未连接状态。

如果当前未使用 DS 引脚，则将处理器的 OSPI0_LBCLKO 输出引脚连接到处理器的 OSPI0_DQS 输入引脚，以配置外部环回。

如果不使用外部环回，建议将 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持未连接状态。

备注

为支持传统 x1 命令，处理器 OSPI0 接口的 D0 和 D1 引脚必须连接到 QSPI/OSPI 存储器器件的 D0 和 D1 引脚。不允许数据位交换。

7.2.3.5 连接多个器件的接口

当前不支持将 OSPI0 接口连接到多个存储器器件。将 OSPI0 接口 (处理器) 连接到存储器器件。如果 OSPI0 连接到多个存储器器件, 该接口会创建一条拆分的数据总线, 这可能会严重降低更高速条件下的信号完整性。为了高速访问 OSPI 存储器器件, 建议使用点对点连接的数据总线。

7.2.3.6 电源轨的电容器

验证是否为 VDDSHV4 电源导轨和连接器件 (内核和 IO 电源) 提供了要求的大容量电容器和去耦电容器。

如果没有可用的建议, 请遵循处理器特定 EVM 或 SK 实现。

7.2.3.7 OSPI 或 QSPI 接口实现检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分, 包括相关应用手册和常见问题解答链接
2. 引脚属性、信号说明和电气规范
3. 电气特性、时序参数和任何其他可用信息
4. 提供了所连接器件所需的存储器接口配置和建议的连接
5. 以接口信号为基准的所连接器件 IO 电源和 IO 组 VDDSHV4 的 IO 电源连接到同一电源
6. 在处理器时钟输出引脚附近提供用于时钟信号的串联电阻器 $0\ \Omega$ 配置
7. 为数据和控制信号提供能够悬空的上拉电阻配置。验证电源是否连接到上拉电阻器
8. 为时钟输入提供靠近所连接存储器器件的下拉 $10k\ \Omega$
9. 使用双输入 (RESETSTATz 和处理器 IO) “与运算” 逻辑或使用热复位状态输出 RESETSTATz 进行引导时的复位逻辑实现
10. 验证处理器和所连接器件之间的复位 IO 级兼容性
11. 不建议在复位或电源斜升期间将复位输入上拉至高电平状态
12. 基于存储器器件和所选接口 (OSPI/QSPI) 的时钟环回配置
13. 如果实现了 OSPI/QSPI 引导模式, 请验证勘误表、所选存储器是否满足 TRM 中描述的引导模式标准 (或使用 E2E 向 TI 验证)

原理图审阅

定制原理图设计请遵循以下列表：

1. 将并联拉电阻器和串联电阻器值的实现方案与 EVM 或 SK 原理图进行比较。
2. 将所连接器件复位逻辑的实现与 EVM 或 SK 原理图进行比较。
3. 不允许也不建议将接口连接多个所连接器件 (超过 1 个已连接器件)。
4. 确保连接的电源导轨遵循建议的运行条件。
5. 基于用例实现外部环回。

其他

1. 验证是否遵循了数据表的 OSPI/QSPI/SPI 电路板设计和布局布线指南部分
2. 检查并遵循电气、时序和开关特性

7.2.4 通用存储器控制器 (GPMC)

7.2.4.1 IO 电源

用于 GPMC 接口的处理器 IO 由 VDDSHV3 电源轨 (IO 组 3 的 IO 电源) 供电。

建议将所连接器件的 VDDSHV3 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.4.2 GPMC 接口

验证连接到 GPMC 接口的所连接器件数量。

建议在同步模式下将 GPMC 接口连接到一个器件。使用多个器件或 CSn 时需要拆分板载 GPMC 时钟 (和其他接口信号) ，这会导致信号完整性问题。

在异步模式下连接多个器件时，建议进行详细的时序分析。不建议连接多个器件。在异步模式下连接多个器件时，必须将控制信号路由到多个器件。拆分路由和负载 (布线长度和器件数量) 问题会影响定制电路板的性能。

7.2.4.3 存储器 (连接的器件) 复位

如果在使用 GPMC 时使用 NAND 或 NOR 闪存，许多通过 GPMC 连接的存储器会缺少复位引脚。

如果复位引脚可用，请查看复位要求并将复位引脚连接到相关的复位源。

7.2.4.4 信号连接

为 GPMC0_CLK 提供串联电阻 ($0\ \Omega$ ，靠近处理器) 。

建议在 GPMC0_CS_n0-3 (取决于配置) 上使用一个外部上拉电阻，以便在处理器保持复位时或复位后且在软件配置 PADCONFIG 寄存器来启用 TX 缓冲器之前将信号保持在高电平。

7.2.4.4.1 GPMC NAND

NAND 闪存的高电平有效就绪和低电平有效繁忙 (R/B#) 输出为漏极开路，并连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (取决于配置) 。建议在靠近所连接器件处提供上拉电阻 (通常使用 $4.7\text{k}\ \Omega$ 或 $10\text{k}\ \Omega$) 。

7.2.4.5 电源轨的电容器

验证是否为 VDDSHV3 电源导轨和连接器件 (内核和 IO 电源) 提供了要求的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循处理器特定 EVM 或 SK 实现。

7.2.4.6 GPMC 接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚连接要求、引脚属性和信号说明
3. 电气特性、时序参数和任何其他可用信息
4. GPMC 接口配置和建议的连接
5. 处理器和所连接器件之间的 IO 级兼容性
6. GPMC 存储器接口配置 (NAND 或 NOR 闪存)、使用的接口模式 - 异步或同步时钟模式
7. 允许在异步模式下连接到多个器件，在使用前执行时序和负载计算
8. 处理器 GPMC 时钟输出引脚附近的串联电阻 $0\ \Omega$
9. 以 GPMC 接口信号为基准的所连接器件 IO 电源和 IO 组 VDDSHV3 的 IO 电源连接到同一电源
10. 验证是否提供了建议或所需的拉电阻
11. 验证是否提供了所需的接口配置和建议的连接
12. 所连接器件与处理器 GPMC 控制器信号的 IO 兼容性
13. 支持的地址和数据范围 (如数据表中所述，IO 引脚从器件输出)
14. 所需的 GPMC 接口时序与可行性以及布局效果之间的关系
15. 根据需要添加拉电阻
16. GPMC 存储器 NAND/NOR、地址和数据信号的连接 (多路复用或非多路复用、同步或异步数据位宽度符合 TRM)。

原理图审阅

定制原理图设计请遵循以下列表：

1. 确保根据连接的存储器提供所需的拉电阻。
2. 确保为任何可以悬空的接口信号提供了拉电阻。
3. 确保连接的电源导轨遵循建议的运行条件。

7.3 外部通信接口 (以太网 (CPSW3G 和 PRU_ICSSG) 、 USB2.0、 USB3.0 (SERDES)、 PCIe (SERDES)、 UART 和 CAN)

7.3.1 以太网接口 (CPSW3G 和 PRU_ICSSG)

该处理器总共支持六个以太网接口。

该处理器支持最多五个并行的外部以太网接口 (EPHY 端口)。引脚复用覆盖 CPSW3G 或 PRU_ICSSG1 (PRG1_PRU1)。

CPSW3G 可以使用 RGMII 或 RMII 连接到外部 EPHY。可以使用一个或两个 RGMII 接口。当两个外部 CPSW3G 接口中的一个使用 RMII 接口连接到 EPHY 时，EPHY 可配置为控制器 (主器件) 或器件 (从器件)。当两个 CPSW3G 外部接口都使用 RMII 接口连接到 EPHY 时，建议将 EPHY 配置为器件。

如需更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 以太网](#)。

7.3.1.1 IO 电源

表 7-1 显示支持媒体独立接口的处理器的 IO 由 IO 组导轨双电压 IO 电源供电。

表 7-1. 接口实例的 IO 电源轨映射

外设实例	媒体独立接口类型	接口实例	IO 组的双电压 IO 电源
CPSW3G	RGMII	RGMII1	VDDSHV1 和 VDDSHV2
		RGMII2	VDDSHV2
	RMII	RMII1 与 IOSET1	VDDSHV2
		RMII1 与 IOSET2	VDDSHV1
		RMII2	VDDSHV1
PRU_ICSSG0	RGMII	RGMII1	VDDSHV1
		RGMII2	VDDSHV1
	MII	MII1	VDDSHV1
		MII2	VDDSHV1
PRU_ICSSG1	RGMII	RGMII1	VDDSHV2
		RGMII2	VDDSHV2
	MII	MII1	VDDSHV2
		MII2	VDDSHV2

建议使用同一电源轨连接附加器件的 VDDSHV1 和 VDDSHV2 电源和 IO 电源轨。

附加器件的 VDD (内核电压) 可由独立电源轨供电。

7.3.1.2 媒体独立接口 (MAC 侧)

7.3.1.2.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G)

有关与 RGMII 接口相关的引脚映射信息，请参阅处理器特定数据表的 *信号说明*、*CPSW3G*、*MAIN 域*、*RGMII1 信号说明* 和 *RGMII2 信号说明* 一节。

有关与 RMII 接口相关的引脚映射信息，请参阅处理器特定数据表的 *信号说明*、*CPSW3G*、*MAIN 域*、*RMII1* 和 *RMII2 信号说明* 一节。

备注

CPSW3G MDIO0、CPSW3G RMII1、CPSW3G RMII2 和 CPSW3G RGMII1 具有一个或多个信号，这些信号可以多路复用到多个引脚。定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。可在处理器特定数据表 *CPSW3G IOSET* 一节的表中找到这些接口的有效引脚组合或 IOSET

根据所需的接口，有关有效 IOSET、每个 CPSW3G MDIO0 IOSET、CPSW3G RMII1 和 RMII2 IOSET 以及 CPSW3G RGMII1 IOSET 的有效引脚组合的信息，请参阅处理器特定数据表的 *时序和开关特性*、*外设*、*CPSW3G IOSET* 一节。

RMII_REF_CLK 由 RMII1 和 RMII2 共用。为确保正常运行，所有引脚多路复用信号分配都必须使用相同的 IOSET。两个 RMII 端口共用一个 RMII_REF_CLK。RMII_REF_CLK 时钟可以是 IOSET1 的 PRG1_PRU0_GPO10 引脚的输入，也可以是 IOSET2 的 PRG1_PRU0_GPO10 引脚的输入。所有 RMII 信号都必须配置为与 IOSET1 或 IOSET2 关联的引脚。不允许在 IOSET 之间拆分时钟分配 (将时钟连接到其中一个 IOSET，将接口信号连接到另一个 IOSET)。每个 IOSET 的时钟路径相对于相应 IOSET 关联的信号而言是时序闭合的。两个时钟路径之间的延迟差不是相对的。

7.3.1.2.2 可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG)

有关与 RGMII 接口相关的引脚映射信息，请参阅处理器特定数据表的 *信号说明*、*PRU_ICSSG*、*MAIN 域* 部分。

有关与 MII 接口 (备选功能) 相关的引脚映射信息，请使用 *SysConfig-PinMux* 工具或处理器特定 TRM。

处理器特定数据表中提供了处理器引脚的引脚映射信息，以实现可用的主要功能。如果这些引脚中的任何一个都可以使用可配置的备选功能，则可以使用 **SysConfig-PinMux** 工具或通过参考处理器特定 TRM 来获取相关信息。

7.3.1.2.3 其他信息

可以使用 PADCONFIGx 寄存器在处理器级别对 PRU_ICSSG 引脚进行多路复用，也可以在 PRU_ICSSG IP 级别对 PRU_ICSSG 引脚进行多路复用。注意所需接口的原理关系，特别是检查 RGMII 连接与 MII 连接在发送引脚（包括时钟）上的不同之处。

一些工业协议要求使用具有 MII 接口的 10/100Mbit EPHY。请根据需要进行 EPHY 制造商核实，以确定是否支持工业协议所需的 MII 接口。

备注

PRU_ICSSG 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。处理器特定 TRM 的 PRU_ICSSG 一章中对该内部包装器多路复用进行了说明。

7.3.1.3 SysConfig-PinMux 工具的使用

要配置所需的以太网接口，建议使用 SysConfig-PinMux 工具。SysConfig-PinMux 工具提供可能的 IO 配置和 IO 冲突的详细信息。

7.3.1.4 以太网 PHY 复位

建议使用三输入“与运算”逻辑来实现所连接器件的复位。处理器通用输入/输出 (GPIO) 连接到与门输入，在输入端附近提供上拉电阻（以支持引导）和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另外两个输入是主域 POR（冷复位）状态输出 (PORz_OUT) 或主域热复位状态输出 (RESETSTATz) 信号。

如果使用双输入与门，则可根据用例将 PORz_OUT 或 RESETSTATz 作为其中一个输入进行连接，将处理器 GPIO 输入作为第二个输入进行连接。当使用多个 EPHY 时，提供单独复位 EPHY 的配置。

建议根据 EPHY 复位输入引脚配置，在“与运算”逻辑的输出端使用上拉或下拉电阻。在相应时钟有效后，EPHY 需要保持在复位状态，持续指定的最短复位保持时间。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位所连接器件，请将所连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.3.1.5 以太网 PHY 引脚配置 (strap)

许多 TI EPHY 在复位期间将输出配置为输入，并在释放处理器复位时在配置 (strap) 输入上采集配置（通过电阻进行引脚搭接）信息。在也连接到处理器 IO 的配置 (strap) 输入 (IO) 上需要适当的上拉或下拉。处理器特定 EVM 或 SK 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。在处理器复位期间，IO 缓冲器和内部上拉或下拉电阻处于禁用状态，这样就尽可能减少了 EPHY 向处理器输入缓冲器施加 $1/2 V_s$ 电势的问题。启用任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以驱动有效的逻辑状态。

7.3.1.6 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

验证根据接口用于以太网 PHY 和 MAC 的时钟输入选项。

7.3.1.6.1 晶体

如果使用晶体作为 EPHY 的时钟源，建议将晶体（时钟）规格与处理器晶体（时钟）规格相匹配，以优化性能。

7.3.1.6.2 振荡器

通过使用外部时钟 (LVCMOS) 振荡器作为处理器的时钟源，EPHY 允许使用共享振荡器或单独的振荡器。使用一个振荡器时，请在连接到处理器和 EPHY 之前对时钟输出进行缓冲。

使用一个输出、单缓冲器或者双输出或多输出缓冲器将振荡器的时钟输出连接到处理器和 EPHY。

对于特定用例（使用一个时间敏感网络 (TSN) 的某些工业应用的要求），建议将输入或者两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。

确认根据建议的指南连接 EPHY 的晶体 XO。

7.3.1.6.3 处理器时钟输出 (CLKOUT0)

为了优化设计，处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟输入。时钟输出在内部进行缓冲，适用于点对点时钟拓扑。建议在 CLKOUT0 的源极端安装一个串联电阻，以尽量减少反射。

RGMII EPHY 需要一个与任何其他信号不同步的 25MHz 时钟输入。25MHz 时钟信号不会有任何时序要求，但需要确保 EPHY 不在时钟输入端接收任何非单调转换。

RMII EPHY 时钟选项随 EPHY 控制器或器件配置的不同而变化。

配置为控制器时，大多数 RMII EPHY 需要一个与任何其他信号不同步的 25MHz 输入时钟，25MHz 时钟信号不会有任何时序要求，但务必要确保 EPHY 在其时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟。相对于 EPHY，50MHz 数据传输时钟会延迟传递至 MAC。延迟会将时钟转换为数据时序关系，从而削弱时序裕量，并且如果延迟过大，则可能在某些设计中出现问题。

配置为器件时，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。通用时钟可以为发送和接收数据传输提供更好的时序裕量。需要确保 MAC 和 EPHY 不会在时钟输入端接收任何非单调转换。为了确保时钟信号完整性，建议通过双输出相位对齐缓冲器路由通用时钟信号。建议使用与 $\frac{1}{2}$ 数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置是处理器特定 TRM 中所述的 *RMII 接口典型应用 (外部时钟源)*。如果使用处理器特定 TRM 中所述的 *RMII 接口典型应用 (内部时钟源)* 配置，则必须在电路板级别验证性能。建议提供用于初始性能测试和比较的外部时钟。在处理器和 EPHY 上使用 25MHz 时钟验证了以太网性能 (RGMII)。

可以使用 CLKOUT0 功能为 EPHY 提供 25MHz 或 50MHz 时钟。但是，使用 CLKOUT0 信号功能需要软件来配置时钟输出。如果电路板设计必须支持以太网引导，则无法使用 CLKOUT0 时钟配置。只要更改配置，作为 EPHY 时钟连接的 CLKOUT0 就可能出现故障。

在相应时钟有效后，EPHY 需要保持在复位状态，持续指定的最短复位保持时间。

未定义处理器时钟输出性能，因为时钟性能受每个定制电路板设计所特有的许多变量的影响。电路板设计人员必须使用实际 PCB 延迟、最小或最大输出延迟特性以及每个器件的最低建立和保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

7.3.1.7 MAC (数据、控制和时钟) 接口信号连接

建议对以太网 MAC 接口信号使用串联电阻。使用尽可能小的封装 (0402 或更小) 并将串联电阻靠近源极放置。首先, 将用于 TDn 信号的串联电阻 (22 Ω) 放置在处理器引脚附近。对于 RDn 信号, 可以使用 EPHY 的内部阻抗控制 (串联电阻)。建议在 RDn 信号上提供外部串联电阻 (0 Ω) 配置。

EPHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。建议为 EXTINTn 连接一个靠近处理器的上拉电阻。

7.3.1.8 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型缓冲器失效防护 IO。当 PCB 布线连接到焊盘并且外部输入未被主动驱动时, 建议连接外部上拉电阻器。开漏输出类型缓冲器 IO 在 IO 上拉至 3.3V 时具有指定的压摆率要求。建议使用 RC 来限制压摆率。

有关更多信息, 请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 定制电路板硬件设计 - EXTINTn 引脚上拉连接](#)。常见问题解答是通用的, 也可用于 AM64x 和 AM243x 处理器系列。

7.3.1.8.1 外部中断 (EXTINTn) 检查清单

一般

检查并验证定制原理图设计的以下内容:

1. 上述部分, 包括相关应用手册和常见问题解答链接
2. 引脚属性 (开漏输出 IO 缓冲器) 和信号描述
3. 电气特性 (拉至 3.3V 时的失效防护和压摆率要求)、时序参数和任何其他可用信息
4. 当连接了信号布线并且未主动驱动时, 建议使用外部上拉
5. EXTINTn 是一种开漏输出类型缓冲器失效防护 IO。当连接布线或外部输入时, 建议使用外部上拉电阻
6. 开漏输出类型 IO。当拉至 3.3V 电源时, EXTINTn 具有指定的压摆率要求。在输入上添加 RC 来限制压摆率。请参阅 TMD564EVM

原理图审阅

定制原理图设计请遵循以下列表:

1. 使用的上拉电阻值。与 EVM 或 SK 原理图进行比较
2. 以处理器 VDDSHVx 为基准的上拉电阻 (上拉电阻连接到正确的电压电平)
3. 压摆率控制的 RC 配置和使用的 RC 值。有关详情, 请参阅 TMD564EVM。

7.3.1.9 MAC (介质访问控制器) 到 MAC 接口

对于需要在处理器之间进行无 EPHY (MAC 至 MAC) 连接的应用，建议使用 RGMII 接口 (请与 TI 联系以了解官方是否支持 MAC 至 MAC 接口)，因为时钟可进行源同步。

当使用两个处理器之间的 MAC 至 MAC 接口时，验证失效防护运行情况、时钟规格匹配以及 IO 级兼容性。

7.3.1.10 MDIO (管理数据输入/输出) 接口

如果设计中使用了 CPSW3G、PRU_ICSSG0 和 PRU_ICSSG1，请参阅 MDIO 接口配置。

表 7-2. CPSW3G MDIO

IOSET	信号名称	焊球名称	IO 组的双电压 IO 电源
IOSET1	MDIO0_MDIO	PRG0_PRU1_GPO18	VDDSHV1
	MDIO0_MDC	PRG0_PRU1_GPO19	VDDSHV1
IOSET2	MDIO0_MDIO	PRG1_MDIO0_MDIO	VDDSHV2
	MDIO0_MDC	PRG1_MDIO0_MDC	VDDSHV2

表 7-3. PRU_ICSSG INSTANCE MDIO

外设实例	焊球名称/信号名称	IO 组的双电压 IO 电源
PRU_ICSSG0	PRG0_MDIO0_MDIO	VDDSHV1
	PRG0_MDIO0_MDC	VDDSHV1
PRU_ICSSG1	PRG1_MDIO0_MDIO	VDDSHV2
	PRG1_MDIO0_MDC	VDDSHV2

当前不支持或不建议使用同一 (单个) MDIO 接口连接到 CPSW3G 和 PRU_ICSSG 上连接的以太网 PHY。

CPSW3G0、PRU-ICSSG0 和 PRU-ICSSG1 实例包括可连接到 EPHY 的专用 MDIO 接口。

在配置 MDIO 接口之前，请参阅公告文章 *i2329 MDIO : 处理器特定器件勘误表的 MDIO 接口损坏 (CPSW 和 PRU-ICSS)*。

7.3.1.10.1 MDIO 接口模式

使用 MDIO 接口之前，请参阅器件特定勘误表的公告文章 *i2329 MDIO : MDIO 接口损坏 (CPSW 和 PRU_ICSS)*。

如果所选的处理器和正在使用的器件修订版本受到器件勘误表的影响，则该驱动器可以解决这个问题。该驱动器读取器件 JTAG ID 并将 MDIO 配置为使用手动 (位拆裂) 模式。

有关 MDIO 模式的信息，请参阅 *外设、高速串行接口、千兆位以太网交换机 (CPSW3G)、CPSW0 功能说明、MDIO 中断* 一节，有关处理器特定 TRM 的 JTAG ID，请参阅 *简介、器件标识* 一节

7.3.1.11 包括磁性元件在内的以太网 MDI (介质相关接口)

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI 接口，请遵循处理器特定 EVM 或 SK 的 MDI 接口连接、EVM 或 SK 上使用的建议磁性元件、外部 ESD 保护以及 RJ45 连接器屏蔽层连接至电路接地。

7.3.1.12 电源轨的电容器

验证是否为 VDDSHV1 和 VDDSHV2 电源导轨和连接器件 (内核和 IO 电源) 提供了要求的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循处理器特定 EVM 或 SK 实现。

7.3.1.13 以太网接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接。
2. 查看引脚属性和信号说明。
3. 电气特性、时序参数和任何其他可用信息。
4. 确保 CPSW3G0 和 PRU-ICSSG0、PRU-ICSSG1 支持 MAC 接口
5. 确保 MAC 接口配置和建议连接，包括串联电阻（在处理器 MAC TDn 输出引脚附近的 TDn 信号上，以及用于 RDX 信号的所连接器件附近的可选 0 Ω 串联电阻上）。
6. 处理器 MAC 和 EPHY（所连接器件）之间具有 IO 级兼容性。建议将所连接器件 IO 电源和以接口信号为基准的 IO 组 IO 电源 VDDSHV1 或 VDDSHV2 连接到同一个电源。
7. 处理器和 EPHY 时钟规格匹配。
8. EPHY 和处理器 MAC 的时钟，包括根据 EPHY 配置和时钟架构添加缓冲器（使用通用振荡器和缓冲器或 RMII 接口）。当时钟输出连接到多个输入时，必须使用单独的缓冲器对每个时钟输入进行缓冲。
9. 接口连接、IO 级兼容性、失效防护操作（当 MAC 使用不同的电源供电时）和使用 MAC 至 MAC 接口时的时钟规格匹配。
10. MDIO 接口连接，包括在 EPHY 附近添加的 MDIO 数据的上拉电阻。MDIO 连接到多个器件，并在每个 EPHY 附近添加上拉电阻。CPSW3G0、PRU-ICSSG0 和 PRU-ICSSG1 实例包括专用 MDIO 接口。确保以太网接口 MDIO 连接映射到正确的 MDIO 接口。
11. 当 2 个 EPHY 通过接口连接到任何 3 个 MDIO 接口时，配置 EPHY 器件地址以通过 MDIO 接口读取内部寄存器。
12. EPHY 复位逻辑的实现。当使用 2 个 EPHY 时，建议提供单独复位 EPHY 的配置。当用于引导时，可以使用一个 2 或 3 输入“与运算”逻辑。
13. 如果需要实现以太网引导，请验证勘误表、支持的 EPHY 接口配置、使用与建议的 MAC 接口端口以及建议的时钟和接口连接。
14. RMII 接口包括 IOSET 组合。如果配置了 RMII 接口，建议在连接 2 个 RMII 接口时遵循 IOSET，包括通用 RMII 时钟。IOSETS 的以太网接口时序已关闭。不建议在 IOSETS 之间混合信号。

原理图审阅

定制原理图设计请遵循以下列表：

1. 提供了靠近处理器输出引脚的处理器 MAC 发送信号 TDn 的串联电阻，并使用初始值（0 Ω 或 22 Ω）
2. 验证 EPHY 复位实现，包括“与运算”逻辑、EPHY 复位输入拉电阻，并根据需要与 EVM 或 SK 进行比较
3. 使用 2 个 EPHY 且需要 MDIO 接口时，验证 EPHY 器件地址配置
4. 在 EPHY 附近提供 MDIO 数据上拉
5. 验证 IO 电平兼容性。以处理器接口信号为基准的所连接器件 IO 电源和 IO 组的 IO 电源连接到同一电源
6. 使用 TI EPHY 时，将用于所有 EPHY 电源轨的大容量电容器和去耦电容器与 EVM 或 SK 原理图进行比较
7. 为 EPHY 复位“与运算”逻辑的处理器 GPIO 输入提供上拉电阻
8. MDIO 时钟上的上拉电阻是可选项（EPHY 具有内部下拉电阻 - 在数据表中验证）
9. 电源轨连接遵循 ROC
10. 以太网接口信号处于特定 IOSET 内
11. 使用 2 个接口时的 RMII 时钟连接（时钟引脚是通用的）
12. 通过 CPSW3G0 和 PRU-ICSSG0-1 外设验证支持的接口
13. 当连接了多个 EPHY 时，提供单独复位 EPHY 的配置。根据需要在 EPHY 复位输入端添加拉电阻

其他

1. 使用 TI EPHY 时，请按照以下步骤操作：
 - 获得对 EPHY 业务部门或产品线实施情况的审查。
 - 验证双电源配置和三电源配置的电源序列要求
 - 根据 EPHY 数据表验证 RBIAS 电阻器容差
 - 选择具有集成磁性元件的 RJ45 连接器，请遵循 EVM 或 SK
 - 为 MDI 信号提供外部 ESD 保护
 - 将 RJ45 连接器屏蔽层连接到电路接地
 - 提供了建议的大容量电容器和去耦电容器（根据需要参阅 EVM 或 SK）

2. 使用单输出、单缓冲器器件或者双输出或多输出缓冲器将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将输入和两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。
3. 当 EPHY 配置为 RMII 从器件（外设）时，建议使用具有通用输入的双输出相位对齐缓冲器。
4. 如果空间不受限制，请考虑在 EPHY 附近的 RX 信号上添加 0Ω 串联电阻器。
5. “与运算”逻辑还会执行 IO 电平转换。在优化复位“与运算”逻辑之前，请验证复位 IO 电平兼容性。IO 电平不匹配会导致电源泄漏并影响处理器运行。
6. 为了简化“与运算”逻辑，请使用双输入与门并将 RESETSTATz 和处理器 GPIO 作为输入。
7. 根据数据表验证建议，或考虑所连接器件的 EVM 实施，包括端接和外部 ESD 保护。
8. 当前不支持互换 CPSW3G0、PRU-ICSSG0 和 PRU-ICSSG1 以太网接口的 MDIO 接口。

7.3.2 通用串行总线 (USB2.0)

处理器提供 1 个可配置为主机、器件或 DRD (双角色器件) 的 USB2.0 接口。

建议按照处理器特定数据表的 *USB 设计指南* 一节连接 USB0_VBUS。处理器特定数据表的 *建议运行条件* 表中定义了 USB0_VBUS 引脚的电源电压范围。

当 VBUS 电源电压电平为 5V 时，所施加的标称电压值等于电阻分压器输出。

备注

USB0_VBUS 是失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 *USB VBUS 检测分压器/钳位电路* 连接时才有效。

7.3.2.1 使用的 USB

建议将 USB 电源 VDDA_0P85_USB0、VDDA_1P8_USB0 和 VDDA_3P3_USB0 连接到处理器特定数据表中的建议电源轨。

直接连接 USB0_DM 和 USB0_DP 信号 (不使用任何串联电阻或电容器)。使用不包含任何残桩或测试点的布线对 USB0 信号进行布线。

在 USB0_RCALIB (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

7.3.2.1.1 USB 主机接口

建议提供一个电源开关来控制外部连接器件的 VBUS 电源，并防止电源开关输入电源过载。

电源开关输出连接到 USB Type-A 连接器。建议将电容器 ($> 120\text{-}\mu\text{F}$) 连接到靠近连接器的 VBUS 电源。

带内部下拉电阻的 USB0_DRVVBUS 信号用于启用 VBUS 电源开关。建议在电源开关使能 (EN) 引脚附近使用外部下拉电阻。USB0_VBUS 的连接 (VBUS 电源输入，包括分压器/钳位) 是可选的。

如果使用的电源开关具有 OC (过流) 指示输出，则上拉 OC 指示输出并连接到处理器 IO (输入)。

建议通过一个 0Ω 电阻将 USB0_ID 引脚连接到 VSS。

7.3.2.1.2 USB 器件接口

VBUS 电源由外部主机供电。器件运行的 USB 标准建议将 $< 10\text{-}\mu\text{F}$ 的电容器连接到靠近 USB B 型连接器的 VBUS。

在连接到 USB0_VBUS 引脚之前，请按照处理器特定数据表的 *USB VBUS 设计指南* 部分调节 USB VBUS 电压 (USB 接口连接器附近的电源)。

根据用例，如果完全确定电路板不会遇到 $> 5.5\text{V}$ (板载供电) 的 VBUS 信号电势，则可以删除齐纳二极管。

建议将 USB0_ID 引脚悬空。

7.3.2.1.3 USB 双角色器件接口

将 USB0_ID 引脚直接连接到 USB Micro-AB 连接器上的相应 ID 引脚。根据附加电缆，USB0_ID 引脚将端接，处理器将配置为主机或器件。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。

7.3.2.1.4 USB Type-C®

如果电路板设计使用 USB Type-C 连接器，则不要求 USB0_ID 信号连接。DRD 模式开关由 USB Type-C 配套器件控制。

DRP (双角色端口) 需要一个控制器，主要用于根据协商的角色切换电源。在器件不是由 USB Type-C 连接器供电的 USB Type-C 实现方案 (仅限器件模式、USB2.0) 中，无需 USB Type-C 控制器。

- 连接器上的 CC 引脚需要通过 5.1k Ω 电阻独立接地。
- USB DP 和 USB DM 连接器引脚在 PCB 上短接 (DM=B7:A7, DP=B6:A6)。无论电缆方向如何，短接都能实现 USB2.0 连接。应使产生的残桩尽可能短。

有关 USBn_VBUS 输入调节建议的更多详细信息，请参阅处理器特定数据表的 *USB VBUS 设计指南* 一节。

使用 AM64x 器件设计 Type-C 接口时、AM62 SK USB0 接口设计可作为实现 USB Type-C 接口的参考。

7.3.2.2 不使用 USB

不使用 USB0 时，接口信号和 USB 电源有特定的连接要求。

有关连接接口信号和 USB 电源引脚的信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

建议通过单独的 0 Ω 电阻将 USB 电源 (VDDA_0P85_USB0、VDDA_1P8_USB0 和 VDDA_3P3_USB0) 连接到 VSS。

建议通过单独的 0 Ω 电阻将处理器 USB 模拟电源连接到 VSS。

如果使用 USB0 进行未来扩展，请使用尽可能短的布线来连接信号 (USB0_DM、USB0_DP、USB0_RCALIB 和 USB0_VBUS)，并连接至测试点或连接器。此外，建议提供连接所需的 USB 电源的配置。

7.3.2.3 其他信息

将 USB0_DM 和 USB0_DP 信号直接从处理器连接到 USB 集线器上游端口。然后，集线器根据需要将 USB0 信号分配到下行端口。将连接器 ID 接地以启用主机模式。由于每个集线器的实施要求不同，建议遵循集线器制造商的建议。

有关 USB2.0 接口的更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - USB2.0 接口](#)。

7.3.2.4 USB 接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答链接
2. 查看引脚连接要求、引脚属性和信号说明
3. 引用了电气特性、时序参数和任何其他可用信息的特定标准
4. 所需的 USB 接口配置（主机或器件）和建议的连接
5. 基于 USB 接口配置的 USB VBUS 设计指南。在主机配置下，USB_n_VBUS 连接是可选的。不允许或不建议将 5V 电源从 USB 连接器直接连接到 USB_n_VBUS 引脚。不允许或不建议更改数据表中 VBUS 的建议分频器值。仅当实现了建议的分频器值时，VBUS 失效防护功能才有效。
6. 验证建议的 IO 校准电阻器连接
7. 验证建议的 USB 电源连接，包括滤波
8. 确认 USB 信号的直接连接
9. EMI 控制可使用共模扼流圈。添加共模扼流圈会降低信号振幅并降低性能。添加使用 0 Ω 电阻器绕过 CMC 的配置
10. 确保标记了差分信号并确认差分阻抗值
11. 当 USB 接口配置为主机时，实现 USB 电源开关
12. 使用 DRVVBUS 进行 USB 电源开关使能控制（复位期间启用内部下拉）
13. 查看将电源开关 OC 输出连接到处理器 IO
14. 查看将 USB 信号连接到 USB 连接器
15. 在 USB 连接器的 USB VBUS 引脚上提供建议的电容器
16. 为 USB 接口提供所需的外部 ESD 保护
17. 如果实现了 USB 引导，请验证勘误表、支持的接口配置、USB 端口和连接
18. 验证 AM64x USB 接口 IP 是否实现 USB ID（USB 2.0 双角色器件角色选择）功能

原理图审阅

定制原理图设计请遵循以下列表：

1. USB 接口连接符合所需的 USB 接口配置（主机或器件）。将接口连接与 EVM 或 SK 进行比较。
2. 外部 ESD 保护和 CMC 实现，可使用 0 Ω 电阻器进行旁通。
3. VBUS 分压器值（请参阅数据表）和容差（1%）。请遵循数据表中的建议。只要保持值、容差和比率，就允许使用多个电阻器。
4. 使用的 VBUS 电容器值与要求（请参阅 EVM 或 SK）
5. 验证电源开关是否能连接（如果使用处理器 USB_n_DRVVBUS，则不建议也不允许使用上拉电阻，因为 DRVVBUS 启用了内部下拉电阻）
6. 验证电源开关 OC 输出到处理器 IO 的连接和 IO 电平兼容性
7. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 如果使用 TI 器件实现 Type-C USB 接口，请获取有关通过相关业务部门或产品线实现的报告。
2. 滤波电源（铁氧体和电容器）用于 VDDA_CORE_USB 和 VDDA_1P8_USB。VDDA_3P3_USB 可以连接到 3V3 SYS 电压。由于滤波器正在持续优化，因此请参阅具体和最新的 EVM 或 SK 来实现。
3. 验证 USB 接口的失效防护运行情况。在电源斜升之前施加外部接口信号会导致馈电并影响定制电路板功能
4. 在 USB 数据线上使用 CMC 时，请验证连接（包括极性）。反转极性会使数据信号短路

7.3.3 串行器和解串器 (SERDES)

USB3.0 或 PCIe 接口 (数据传输) 是通过 SERDES 引脚实现的。USB3.0 子系统或 PCIe 子系统没有任何直接的外部接口引脚。

备注

USB3.0 和 PCIe 接口是互斥的 (USB3.0 或 PCIe)。USB3.0 和 PCIe 不能同时使用。

有关更多信息, 请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - SERDES - SERDES0 接口。](#)

7.3.3.1 SERDES0 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 支持的接口为 PCIe 1 个单通道 Gen 2 或 1 个 USB 3.1 DRD
2. 当 SERDES0 时钟在时钟输入模式下运行时, 需要 HCSL 时钟
3. 处理器可提供 100MHz PCIe 总线时钟。此注释适用于处理器器件 PG2.0。更多详细信息请参阅器件勘误表
4. 支持的接口：USB SuperSpeed 和 PCIe 共用一个通用串行器/解串器 PHY。因此, 将串行器/解串器 PHY 用于 PCIe 时, USB 将被限制为非 SuperSpeed 模式
5. 当建议用 PCIe 或 USB3.0 接口将模拟和 IO 电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C 和 VDDA_1P8_SERDES0 连接到器件特定数据表中建议的电源轨。
6. 强烈建议使用 TI 全新 EVM 设计中使用的相同模拟滤波器, 因为这些滤波器已经过验证
7. 为 SERDES0_REXT (靠近处理器引脚) 提供电阻 (下拉)。有关电阻值和容差, 请参阅处理器特定数据表
8. 建议为 SERDES0 发送和接收对使用交流耦合电容器

原理图审阅

定制原理图设计请遵循以下列表：

1. 请参阅 PCIE 或 USB3.0 检查清单

其他

1. USB3.0 和 PCIe 接口是互斥的 (USB3.0 或 PCIe)。USB3.0 和 PCIe 不能同时使用
2. SERDES0 输入不具有失效防护功能
3. 如果在处理器电源斜升之前提供了时钟或数据输入, 则根据电源架构实施情况、VDDR_CORE 电源轨可能会受到影响、从而导致引导问题
4. 建议按预期和测试结果实现 SERDES0 接口。示例, PCIe 或超高速 USB。不支持任何其他自定义接口用例或配置
5. 不使用时, SERDES0 对接口信号和电源有特定的连接要求。有关连接接口信号、模拟和 IO 电源的信息, 请参阅处理器特定数据表的引脚连接要求一节
6. 当使用边界扫描功能时, 建议在模拟和 IO 电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项
7. 当引脚连接要求包括将处理器模拟和 IO 电源引脚 (未使用边界扫描) 连接到 VSS 时。建议通过单独的 0Ω 电阻连接到 VSS
8. 当不使用边界扫描功能且 SERDES0 电源连接到 VSS 时, 可以删除去耦电容器、大容量电容器和铁氧体。也可以删除 SERDES0_REXT 配置

7.3.3.2 使用 SERDES0

建议将模拟和 IO 电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C 和 VDDA_1P8_SERDES0 连接到处理器特定数据表中的建议电源轨。

为 SERDES0_REXT (靠近处理器引脚) 提供电阻 (下拉)。有关电阻值和容差, 请参阅处理器特定数据表。

7.3.3.2.1 USB3SS0 - USB3.0 超高速接口配置

USB3.0 接口包括具有片上 SS (USB3.0) PHY 和 HS/FS/LS (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色器件 (DRD) 子系统。

针对 USB3.0 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0_TX0_P 和 SERDES0_TX0_N 配置为 USB0_SSTXP 和 USB0_SSTXN。SERDES0_RX0_P 和 SERDES0_RX0_N 配置为 USB0_SSRXP 和 USB0_SSRXN。

7.3.3.2.1.1 信号接口

7.3.3.2.1.1.1 USB3.0 超高速接口

建议为 USB3.0 发送和接收信号使用交流耦合电容器。将电容器放置在靠近发送器的位置。

如果使用板载 USB3.0 连接器, 则将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 USB3.0 连接器的器件上可用。

7.3.3.2.1.1.1.1 USB3.0 超高速接口工作模式配置

处理器 USB0_ID 引脚并非特定于 USB2.0。同一引脚用于确定 USB3.0 的工作模式。如果作为主机运行 (使用 Type-A 连接器), USB0_ID 引脚通过 0Ω 电阻直接连接到 VSS; 而在作为器件运行 (使用 Type-B 连接器) 时, 该引脚会开路。建议将 USB0_ID 信号从处理器路由到 Micro USB Type-AB 连接器, 以进行双角色配置。

7.3.3.2.1.2 未使用的 SERDES 时钟连接

有关连接未使用的 SERDES0_REFCLK0P 和 SERDES0_REFCLK0N 引脚的信息, 请参阅处理器特定数据表的 *引脚连接要求表* 建议。或者, 在时钟输出端子 (P 和 N) 上靠近处理器的接地端放置 50Ω (49.9Ω) 电阻, 并为内部板级测试提供一个测试点。

7.3.3.2.1.3 其他信息

USB3.0 接口包含与 USB3.0 和 USB2.0 信号相关的信号, 以实现向后兼容。有关 USB2.0 信号及连接的信息, 请参阅上文的 [通用串行总线 \(USB2.0\)](#) 一节。

将 USB3.0 信号 (差分发送和接收) 和 USB2.0 信号 (USB0_DP 和 USB0_DM) 连接到 USB3.0 (同一) 连接器。在 USB3.0 规范中, 不允许将 USB3.0 和 USB2.0 信号拆分到不同的连接器。

7.3.3.2.1.4 USB3SS0 - USB3.0 超高速接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 按照 USB3.0 要求连接发送和接收信号
2. 内核和模拟电源的连接，包括滤波器和去耦电容器
3. USB3.x 接口包括超高速(SS)信号和 USB2.0 连接、以实现与旧 USB 器件的向后兼容
4. 针对 USB3.0 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0_TX0_P 和 SERDES0_TX0_N 配置为 USB0_SSTXP 和 USB0_SSTXN。SERDES0_RX0_P 和 SERDES0_RX0_N 配置为 USB0_SSRXP 和 USB0_SSRXN
5. 建议为 USB3.0 发送和接收信号使用交流耦合电容器。将电容器放置在靠近发送器的位置
6. 如果使用板载 USB3.0 连接器，则将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 USB3.0 连接器的器件上可用

原理图审阅

定制原理图设计请遵循以下列表：

1. USB3.0 接口信号 (包括极性) 的连接
2. 连接 USB2.0 接口信号
3. 连接 SERDES0_REXT 电阻 (包括值和容差)
4. 连接所需滤波器和去耦电容器 (遵循 EVM 实现)
5. 时钟终端和连接
6. 根据建议提供交流耦合电容器

其他

1. USB3.0 SK-AM64B 的实现参考，适用于 AM64x Sitara 处理器的 AM64B 入门套件。
2. A53 内核控制的 USB 接口是否只能是 USB 3.0 主机，而不能是速率为 5Gbps 的 USB 3.0 器件？

不支持设备模式下的 USB 3.0，仅支持设备模式下的 USB 2.0。

3. 将 USB3.0 信号 (差分发送和接收) 和 USB2.0 信号 (USB0_DP 和 USB0_DM) 连接到 USB3.0 (同一) 连接器。在 USB3.0 规范中，不允许将 USB3.0 和 USB2.0 信号拆分到不同的连接器。
4. 处理器 USB0_ID 引脚并非特定于 USB2.0。同一引脚用于确定 USB3.0 的工作模式。如果作为主机运行 (使用 Type-A 连接器)，USB0_ID 引脚通过 0Ω 电阻直接连接到 VSS；而在作为器件运行 (使用 Type-B 连接器) 时，该引脚会开路。建议将 USB0_ID 信号从处理器路由到 Micro USB Type-AB 连接器，以进行双角色配置。
5. USB3.0 和 USB2.0 接口信号不具备失效防护。

7.3.3.2.2 外设组件互连 Express (PCIe) 接口配置

针对 PCIe 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0_TX0_P 和 SERDES0_TX0_N 信号配置为 PCIE0_TX0_P 和 PCIE0_TX0_N。SERDES0_RX0_P 和 SERDES0_RX0_N 信号配置为 PCIE0_RX0_P 和 PCIE0_RX0_N。

7.3.3.2.2.1 PCIe 工作模式的时钟配置

PCIe 接口实现了通用时钟架构。时钟可由处理器或附加卡提供，具体取决于配置的功能。可将一个通用外部时钟用作替代时钟选项。

7.3.3.2.2.2 信号接口端接

建议为 PCIe 发送和接收信号使用交流耦合电容器。将电容器放置在靠近发送器的位置。

如果使用板载 PCIe 连接器，则将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 PCIe 连接器的器件上可用。

7.3.3.2.2.3 PCIe 时钟 (REFCLK) 源

可以考虑使用以下时钟选项作为 PCIe 接口 (通用时钟架构) 时钟的来源

- **时钟发生器**

时钟发生器输出可作为通用时钟连接到处理器和附加卡 (板载 PCIe 连接器)。遵循时钟发生器的建议来端接时钟输出。

- **处理器的时钟输出**

处理器时钟输出可作为时钟输入连接到附加卡。在时钟输出端子 (P 和 N) 上靠近处理器的接地端放置 50 Ω (49.9 Ω) 电阻。

备注

有关允许的时钟输出配置, 请参阅处理器特定勘误表中的公告文章 i2236。

- **处理器的外部时钟输入 (来自附加卡的时钟输出)**

来自附加卡的外部时钟作为时钟输入连接到处理器。如果来自附加卡的时钟处于不重新偏置模式, 则放置一个 0 Ω 串联电阻; 如果来自附加卡的时钟处于重新偏置模式, 则放置一个 0.1 μF 电容器 (交流耦合) 0402 封装。将电容器放置在靠近接收器的位置。

7.3.3.2.2.4 硬件复位 (冷复位或基础复位)

以下选项可用于复位 PCIe 卡。

- **复位附加卡**

建议使用与门逻辑实现附加 PCIe 器件 (附加卡) 的复位。其中一个与门输入是处理器通用输入/输出 (GPIO) 引脚, 并具有下拉电阻配置。与门的另一个输入是处理器主域热复位状态输出 (RESETSTATz) 信号。

- **处理器复位**

建议将附加卡 (PCIe 连接器) 的复位输出作为输入之一连接到用于生成处理器 MCU 域冷复位 (MCU_PORz) 的“与运算”逻辑。

有关实现的信息, 请参阅处理器特定 EVM。

7.3.3.2.2.5 PCIe 时钟请求 (PCIE0_CLKREQn) 信号

处理器和 PCIe (附加卡) 连接器之间的 PCIE0_CLKREQn (时钟断电信号) 引脚连接是可选的, 并且取决于应用。需要 PCIE0_CLKREQn 连接才能启用低功耗模式。

目前尚未在处理器特定 EVM 上实现 PCIE0_CLKREQn 功能。添加 PCIE0_CLKREQn 支持需要进一步分析并添加胶合逻辑。

7.3.3.2.2.6 连接 PCIe 接口信号

有关连接和配置其他适用 PCIe 信号以实现 PCIe 接口的不同工作模式的信息, 请参阅处理器特定 EVM。

7.3.3.2.2.7 PCIe 接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 根据所需的 PCIe 配置连接发送、接收和时钟信号
2. 如果设计使用外部时钟、则可以将时钟连接到符合 PCIe 标准的 100MHz 差分时钟
3. 如果内部处理器时钟用作输出、则对于 CLKP/CLKN 信号、建议将 50 Ω (49.9 Ω) 到 GND 电阻器放置在处理器附近
4. 查看最新文档以确定输出时钟是否兼容 PCIe
5. 建议为 PCIe 发送和接收对使用交流耦合电容器。建议将电容器靠近 PCIe 发送器
6. 如果设计中使用 PCIe 连接器（非板载），请将接收对直接连接到连接器（无直流阻断限额）。接收对的直流阻断限额（预计会）出现在远端 PCIe 器件上
7. 通过 PCIe 接口连接器实现处理器或所连接器件复位

原理图审阅

定制原理图设计请遵循以下列表：

1. PCIe 接口信号（包括极性）的连接
2. 连接所需滤波器和去耦电容器（遵循 EVM 实现）
3. 时钟终端和连接
4. 连接建议的终端
5. 根据建议提供交流耦合电容器
6. “与运算”逻辑用于实现处理器或附加器件复位
7. 连接其他 PCIe 接口信号
8. 连接 SERDES0_REXT 电阻(包括值和容差)

其他

1. 借助处理器器件 PG2.0，AM64x 可以为 PCIe 参考时钟提供源，但在为 PCIe 参考时钟提供源时不支持 SSC。验证工作采用通用时钟拓扑(即、使用相同时钟的根复合体和终点)来执行。因此，两端都使用与 AM64x PCIe 参考时钟源相同的时钟但无 SSC = 正常。两端都使用与外部源相同的时钟(有或无 SSC = OK)。为根复合体和终点使用独立的时钟源=未经验证的拓扑
2. PCIe 接口信号不具备失效防护。
3. 不支持 PCIe 摆幅调优。
4. 有关 PCIe 实现的参考，请参阅 Sitara 处理器 TMD64EVM 和 Am64x 评估模块
5. 有关正确的 PCIe SERDES 信号连接和布线的详细建议，请参阅 *Jacinto7/Sitara 高速接口布局指南*(可在 TI.com 上获取)。应在原理图中添加适当的约束或布线要求

7.3.3.3 未使用 SERDES0

不使用时，SERDES0 对接口信号和电源有特定的连接要求。有关连接接口信号、模拟和 IO 电源的信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

当使用边界扫描功能时，建议在模拟和 IO 电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当引脚连接要求包括将处理器模拟和 IO 电源引脚（未使用边界扫描）连接到 VSS 时。建议通过单独的 0 Ω 电阻连接到 VSS。

当不使用边界扫描功能且 SERDES0 电源连接到 VSS 时，可以删除去耦电容器、大容量电容器和铁氧体。

7.3.4 通用异步收发器 (UART)

验证 UART 接口 (外部通信接口或调试) 和配置 (2 线或 4 线带流量控制) 的应用要求。有关支持的 UART 实例数, 请参阅处理器特定数据表。

使用外部收发器时, 使外部接口信号 IO 电平与 IO 组电压电平的双电压 IO 电源匹配。建议使用同一电源为收发器的 IO 电源和处理器 IO 电源轨供电。根据需要验证失效防护运行情况和上拉电压基准。

建议在接口信号上靠近源极的位置配置串联电阻, 用于隔离或调试。

建议在处理器 UART 接收引脚 (UART_n_RXD [n = 0-6], MCU_UART_n_RXD (n = 0-6)) 上使用上拉电阻。验证外部接口信号上拉电阻的可用性, 并相应地配置拉电阻。

如果处理器的接口信号直接连接到外部输入, 建议使用外部 ESD 保护。

UART 接口经常连接错误。按如下方式连接信号:

- TX ---> RX
- RX ---> TX

如果使用了其他接口信号, 请验证连接。

当调试接口 UART 信号直接连接到外部接口时, 注意失效防护运行情况和 IO 电平。提供外部 ESD 保护配置。

7.3.4.1 通用异步接收器/发送器 (UART) 检查清单

一般

检查并验证定制原理图设计的以下内容:

1. 上述部分, 包括相关应用手册和常见问题解答链接
2. 引脚属性和信号说明
3. 电气特性、时序参数和任何其他可用信息
4. 在源极附近为所有接口信号添加串联电阻, 以更大限度地减少反射或隔离, 从而进行测试
5. 为任何处理器或所连接器件 IO 添加了可悬空的并联拉电阻
6. 接口信号极性和连接
7. 当接口信号直接连接到外部输入时, 可提供外部 ESD 保护
8. 所需速度、已编程波特率与支持的波特率之间的关系, 以及时钟分频器不匹配导致的所需与计算误差之间的关系

原理图审阅

定制原理图设计请遵循以下列表:

1. 使用的上拉电阻值 (10k Ω 或类似) 并与 EVM 或 SK 原理图进行比较。
2. 使用的串联电阻值 (22 Ω) 和放置位置 (靠近源极)。
3. 以相应 UART 实例和信号的处理器 VDDSHV_x 为基准的上拉电阻。
4. 处理器 VDDSHV_x 和所连接器件 IO 电源来自同一电源。
5. 处理器 IO 不具有失效防护功能。不允许或不建议在处理器电源斜升之前施加输入。
6. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前施加外部输入信号会导致馈电并影响定制电路板功能。
2. 根据数据表验证是否已考虑为附加器件实施 EVM (包括端接和外部 ESD 保护)。

7.3.5 控制器局域网 (CAN)

有关支持的 CAN 实例数，请参阅处理器特定数据表。处理器的 CAN 接口包括外部 CAN 收发器。

使用外部收发器时，请确保外部接口信号 IO 电平与 IO 组电压电平的双电压 IO 电源匹配。

提供 CAN 收发器所需的端接。

建议在接口信号上配置串联电阻（靠近源极）用于隔离或调试。

7.3.5.1 控制器局域网检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性和信号说明
3. 电气特性、时序参数和任何其他可用信息
4. 为所有接口信号添加串联电阻，以更大限度地减少反射或隔离，从而进行测试
5. 为任何处理器或所连接器件 IO 添加了可悬空的并联拉电阻

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的串联电阻值 ($0\ \Omega$) 和放置位置（靠近源极）
2. 以相应 CAN 实例和引脚的处理器 VDDSHVx 为基准的上拉封装
3. 处理器 VDDSHVx 和所连接器件 IO 电源来自同一电源
4. 处理器 IO 不具有失效防护功能。在处理器电源斜升之前，不能施加任何输入
5. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前施加外部输入信号会导致馈电并影响定制电路板功能。
2. 根据数据表验证是否已考虑为附加器件实施 EVM（包括端接和外部 ESD 保护）。

7.4 板载同步通信接口 (MCSPI、FSI 和 I2C)

7.4.1 多通道串行外设接口 (MCSPI)

为时钟输出 SPI0..4_CLK (MCSPI 0..4) 和 MCU_SPI0..1_CLK (MCU_MCSPI 0..1) 提供串联电阻 (22Ω , 靠近处理器) 。

复位期间处理器 IO 缓冲器关闭。验证是否为 SPI 片选信号 SPI0..4_CS0..3 (MCSPI 0..4) 和 MCU_SPI0..1_CS0..3 (MCSPI 0..1) 提供了外部并联拉电阻 (靠近所连接器件)。将拉电阻器添加到处理器和可悬空的所连接器件输入。

7.4.1.1 MCSPI 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性和信号说明
3. 电气特性、时序参数和任何其他可用信息
4. 接口配置和建议的连接 (包括 IOSET)
5. 添加到靠近处理器时钟输出引脚的时钟输出的串联电阻器 (22Ω)
6. 为任何处理器或所连接的可悬空的 IO 添加了并行下拉 (所连接器件时钟输入的下拉电阻)
7. 本文分析 (模拟) 了在连接到多个所连接器件时与性能和信号完整性相关的问题
8. 为所有接口信号添加串联电阻，以更大限度地减少反射或隔离，从而进行测试
9. SPI 数据 D0 和 SPI 数据 D1 位 (数据方向) 的配置

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的上拉电阻值 (10kΩ 或类似器件)
2. 使用的串联电阻值 (22Ω) 和放置位置 (靠近处理器引脚)
3. 以相应 MCSPI 实例和引脚的处理器 VDDSHVx 为基准的上拉封装
4. 处理器 VDDSHVx 和所连接器件 IO 电源来自同一电源
5. 电源轨连接遵循 ROC

其他

1. 验证连接外部接口连接器 (载波或附加板载) 时的失效防护操作。在电源斜升之前施加外部输入会导致馈电并影响定制电路板功能
2. 根据数据表验证是否已考虑为所连接器件实施 EVM (包括端接)

7.4.2 FSI (快速串行接口)

快速串行接口 (FSI) 是 TI 所有的通信外设，可在彼此之间有隔离的器件间实现高速、可靠的串行通信。

快速串行接口 (FSI) - 负责 2 或 3 行单工串行数据的发送或接收。设计用于满足高速 (100Mbps) 需求以及跨越隔离边界时引入的可变延迟。

FSI 物理接口由三根导线、一个时钟和两个数据信号组成，其中一个数据信号是可选的。数据在上升沿和下降沿上传输，这允许最大 50MHz FSI 时钟频率通过两条导线 (CLK 和 D0) 以 100Mbps 的速率，以及通过三条导线 (CLK、D0 和 D1) 以 200Mbps 的速率传输数据。高吞吐量以及包含有限的报头和报尾的定义数据包 (帧)，使得数据可以在器件之间以较小的延迟进行传输。FSI 模块由独立的发送器和接收器内核组成，它们允许在两个方向上同时进行全速通信，而不需要主从器件。

请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - FSI 快速串行接口](#) 了解更多信息。

7.4.2.1 FSI0 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 快速串行接口 (FSI) 是一种高速串行端口，在三线模式下每个方向支持高达 200Mbps 的速率、在双线模式下每个方向支持高达 100Mbps 的速率
2. FSI 旨在实现芯片间配置或以菊花链形式将多个器件连接在一起
3. FSI 模块由独立的发送器和接收器内核组成，它们允许在两个方向上同时进行全速通信，而不需要主从器件
4. 可以通过以菊花链方式连接多个设备的 FSI 来创建环形拓扑。环形拓扑的优势在于每个器件仅需要一个 FSI 发送器和接收器，并且从物理连接角度而言也很简单
5. 当您的要求包括低延迟、高带宽和低成本时，FSI 支持在高速数字隔离器（包括增强型隔离）之间进行数字通信
6. 可用 FSI 实例和支持的配置

原理图审阅

定制原理图设计请遵循以下列表：

1. 连接 FSI0 发送器和接收器信号
2. 在 EMI 控制的源添加可选串联电阻
3. 为处理器或所连接的可浮动输入 IO 添加了上拉电阻

其他

1. FSI 支持全双工机通信，没有固定主从结构，以及具有灵活的拓扑结构

7.4.3 内部集成电路 (I2C)

验证应用是否需要完全符合 I2C 总线规范的 I2C 接口。I2C0 和 MCU_I2C0 是真正的开漏输出型缓冲器，具有失效防护且完全符合 I2C 规范。I2C 可以支持 3.4Mbps I2C 运行（当 IO 缓冲器（接口）在 1.8V 下运行时）。

备注

对于具有开漏输出类型缓冲器（I2C0 和 MCU_I2C0）的 I2C 接口，无论使用何种外设和 IO 配置，都建议使用外部上拉。

请参阅处理器特定数据表的 [引脚连接要求](#) 一节。建议使用上拉电阻（4.7kΩ，测试后调节）。

当开漏输出型缓冲器 I2C 接口被拉至 3.3V 电源时，IO 具有指定的压摆率要求。可使用 RC 来限制压摆率。有关 RC 实现的信息、请参阅 [TMDS64EVM](#)。

有关更多信息，请参阅 [将电源轨连接到上拉电阻](#)。

如果需要额外的 I2C 接口，可以使用 I2C1-3 和 MCU_I2C1 接口。

I2C1-3 和 MCU_I2C1 接口使用 LVCMOS 输出类型缓冲器 IO 来模拟开漏输出型缓冲器，并且不完全符合 I2C 规范，尤其是下降沿的速度很快（< 2ns）。

连接到 I2C1-3 和 MCU_I2C1 端口的所有器件必须在下降时间更短的情况下正常运行。I2C1-3 和 MCU_I2C1 支持 100kHz 和 400kHz 工作频率。为 I2C 接口配置 IO 时，建议对 I2C 信号使用上拉电阻。使用尽可能短的残桩连接上拉电阻。

对于 I2C1-3 和 MCU_I2C1 接口，可以使用串联电阻来控制下降沿率。该值取决于定制电路板设计并建议在测试中最终确定。

有关更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - I2C 接口](#)、[\[常见问题解答\] AM62A7-Q1：MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)

对于 AM64x，建议适用于 I2C0_SDA、I2C0_SCL 和 MCU_I2C0_SDA、MCU_I2C0_SCL 接口信号。

如果计划使用 TI 提供的软件，请将推荐的处理器 I2C0 接口连接到 PMIC，因为 I2C0 是用于 PMIC 控制的 I2C 接口。

备注

当使用 I2C2 接口时，请参阅处理器特定数据表 *时序和开关特性*、*外设*、*I2C* 一节中的 I2C2 注释（可以多路复用到多个引脚）。

定制电路板设计期间，请参阅处理器特定数据表的 *时序和开关特性 - I2C* 部分的 *例外情况* 部分。请注意数据表中模拟 I2C 接口的例外情况。添加低通滤波器以减少下降时间或接口速度，从而匹配时序。

7.4.3.1 I2C (开漏输出类型缓冲器) 接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚连接要求（复位期间，启用 RX 缓冲器。无论 IO 配置、引脚属性和信号说明如何，都建议使用上拉（4.7kΩ，测试后调整）
3. 电气特性（拉至 3.3V 时的失效防护运行和压摆率要求）、时序参数和任何其他可用信息（包括例外情况）
4. 漏极开路 IO 输入端的 RC，用于在拉至 3.3V 时控制压摆率
5. 附加器件地址引脚，通过电阻器 (>1kΩ) 连接到 IO 电源
6. 验证目标 I2C 接口时钟速率。I2C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I2C 端口
7. 验证使用的任何 I2C 接口上是否没有 I2C 地址冲突。处理器上有多个 I2C 端口，因此如果发现冲突，请将冲突器件移至另一条 I2C 总线。如果无法实现，请使用 I2C 总线开关
8. 请勿在 I2C 线路上放置多组上拉电阻。这可能会导致负载过大和可能的操作错误。选择与所使用的总线速度相称的上拉值。
9. 确保为 IO 组的处理器 I2C IO 电源供电的电源轨与上拉电阻器和所连接 I2C 器件使用的电源电压相匹配。恰当的上拉可以防止器件损坏或由于电压不匹配而导致的错误操作

原理图审阅

定制原理图设计请遵循以下列表：

1. I2C0 和 MCU_I2C0 控制器具有兼容 I2C 的专用开漏输出型缓冲器。
2. 验证使用的上拉电阻值。与 EVM 或 SK 原理图进行比较或根据负载进行计算。
3. 连接的 I2C 上拉电源幅度遵循所有失效防护 IO 引脚要求下的稳态最大电压。电源阈值取决于连接到 IO 组 IO 电源的电源电压。
4. 配置 RC 来限制压摆率和 RC 值。
5. 处理器 VDDSHVx 和所连接器件 IO 来自同一电源。
6. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 根据数据表验证是否已考虑为所连接器件实施 EVM。
2. 在设计阶段，请查看数据表的 *时序和开关特性的 I2C 例外情况* 部分。

7.4.3.2 I2C (仿真开漏输出类型缓冲器) 接口检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚属性和信号说明。
3. I2C 接口配置和推荐的连接（包括 IOSET）。

4. 查看电气特性、时序参数和任何其他可用信息 (包括例外情况)。
5. 确保附加的器件地址引脚通过电阻器(> 1k Ω)连接到 IO 电源。
6. 当 IO 配置为 I2C 接口时, 建议使用上拉电阻。
7. 请注意处理器特定数据表的*时序和开关特性*一节中的 I2C 例外情况。

原理图审阅

定制原理图设计请遵循以下列表：

1. 验证使用的上拉电阻值。
2. 验证以处理器 VDDSHVx 为基准的上拉电阻 (I2C 上拉电阻连接到正确的电压)。
3. 验证添加的用于下降时间控制的串联电阻 (低通滤波器)。
4. 失效防护接口 (仿真 IO 不具有失效防护功能, 在处理器电源电压斜升之前不能施加任何输入)。
5. 确保处理器 IO 电源组 VDDSHVx 和所连接器件 IO 电源来自同一电源。
6. 确保连接的电源导轨遵循建议的运行条件。

其他

1. 验证连接到外部接口信号时的失效防护操作。在电源斜升之前施加外部输入会导致馈电并影响定制电路板功能。
2. 在设计阶段, 请查看数据表的*时序和开关特性的 I2C 例外情况*部分。
3. I2C 控制器与标准 LVCMOS IO 进行多路复用, 连接以仿真开漏。

7.5 模数转换器 (ADC)

7.5.1 使用 ADC0

建议将 ADC0 模拟电源 VDDA_ADC0 连接到处理器特定数据表中建议的电源轨。

使用 ADC0 之前，请遵循处理器特定数据表的 *信号说明*、*ADC*、*MAIN* 域表末尾添加的注释。

请参阅 [使用 AM6442、AM6422、AM6412 和 AM2434 处理器的定制电路板的硬件设计注意事项](#) 用户指南的外设、[模数转换器 \(ADC\)](#)、[AM64x/AM243x SR2.0 ADC 勘误表的变更摘要部分](#)。

备注

ADC0 输入不具有失效防护功能。不建议也不允许在处理器供电前向任何 ADC0 输入施加电压。施加的输入 (基于输入电平) 可能导致处理器电源轨上出现残余电压，从而可能导致电路板启动问题。请参阅处理器特定数据表的 *绝对最大额定值表*。如果需要监控处理器电源斜升之前可用的电源轨，建议通过一个开关将这些输入连接到 ADC0。该开关既可由处理器 GPIO 控制，也可由来自任何电源 (包括 PMIC) 的电源正常信号控制。

7.5.2 未使用 ADC0

当不使用整个 ADC0 时，对输入和电源轨有特定的端接要求。当不使用任何 ADC0 输入时，对未使用的输入有特定的端接要求。

如需连接 ADC0 输入、模拟电源引脚，请参阅处理器特定数据表的 *引脚连接要求* 一节。

建议通过单独的 0 Ω 电阻将 ADC0 输入和处理器模拟电源引脚连接到 VSS。该配置为了将来的扩展或增强而准备，是可选操作。

7.5.3 ADC0 配置为 ADC0_DIG_TEST[0-7]

当配置为作为通用输入 (GPI) 运行时，ADC0 输入连接到 AM64x GPIO1 模块。每个 ADC0 引脚到 GPIO1 模块的分配在数据表的 *ADC0 信号说明表* 中有定义。这些输入能够执行与任何其他 GPIO1 输入相同的输入功能。请阅读处理器特定 TRM 中的 *GPIO* 部分，了解这些输入的功能。

请参阅 [\[常见问题解答\] AM6442 : ADC0_DIG_TEST\[0-7\]](#)。当数字输入时，这八项可以被视为 1.8V 逻辑下的主 GPIO 和/或中断输入。

7.5.4 ADC0 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看选择支持 ADC0 功能的处理器器件型号。
2. 用于测量模拟输入或数字输入的 ADC0 输入配置。
3. 验证 ADC0 模拟电源和基准电源的连接。
4. 验证 ADC0_REFP 和 ADC0_REFN 基准输入的连接。
5. 模拟和 ADC0 电源使用滤波和去耦电容。
6. 验证 ADC0 输入的连接。
7. 如果不使用部分或完整的 ADC0，请参阅引脚连接要求。
8. 有关建议的 ADC0 基准范围，请参阅数据表。

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据建议的运行条件验证 ADC0 模拟电源和基准的连接。
2. 验证所需滤波器和去耦电容器的连接(遵循 EVM 实现)。
3. 验证模拟输入的连接和输入范围。
4. 当未使用部分或完整 ADC0 时，请验证 ADC0 输入的连接。

其他

1. 查看 ADC0 相关勘误表
2. ADC0 输入不具有失效防护功能。在 ADC0 电源斜升之前，不能施加任何输入。当 ADC 输入在 ADC0 电源斜升之前可用时，通过一个由处理器电源或处理器 IO 控制的开关连接 ADC0 输入，以验证失效防护是否运行。

7.6 GPIO 和硬件诊断

7.6.1 通用输入/输出 (GPIO)

7.6.1.1 连接和外部缓冲

建议添加一个串联电阻（其值取决于用例）来限制电流。当需要更高（高于数据表规定值）的电流源时，从外部缓冲 GPIO 输出。

通用处理器 LVCMOS IO 接口指南：

1. 大多数处理器 IO 都没有失效防护功能。在电源斜升之前，不能施加任何输入。
2. 处理器 LVCMOS IO 指定了压摆率要求，建议不要应用慢速斜坡输入或在输入端直接连接电容器。
3. 不建议在输出端连接一个 > 22pF 的电容器负载。DNI 电容器或根据用例执行仿真。
4. 复位期间处理器 IO 缓冲器关闭。需要在由处理器 IO 驱动且可悬空的所连接器件附近放置拉电阻。
5. 对于连接了布线的任何处理器 IO 焊盘，建议使用并联拉电阻。当添加拉电阻是不可行时，请布线远离噪声信号。

验证 GPIO 处理器输出的电容器负载（当电容值 > 22pF 已连接时，进行仿真）、输入信号的压摆率（LVCMOS 输入压摆率为 1000ns 或更小）、IO 兼容性以及处理器 IO 与所连接器件之间的失效防护运行情况。

7.6.1.2 GPIO 与 MMC 接口进行多路复用

如果需要将具有 MMC 功能的 IO 用于 GPIO 功能，可以删除器件树中的 MMC 条目，使 IO 能够充当 GPIO。或者，可以将 `iomux_enable` 位设置为 1。

7.6.1.3 其他信息

除非另有说明，否则未使用的接口上的引脚或焊盘通常可以保留为无连接状态。许多 IO 都有一个焊盘配置寄存器可用于控制 IO 的输入功能（每个 `conf_<module>_<pin>` 寄存器中的 `RXENABLE` 字段）。更多详细信息，请参阅处理器特定 TRM 的 *控制模块* 一章。在初始化期间，软件可尽快禁用设计中未连接的 IO 接收缓冲器（即 `RXENABLE=0`）。当相关引脚悬空时，软件不得意外启用 IO 接收器（通过设置 `RXENABLE` 位）。

备注

如需了解配置某些未使用的引脚的具体指导信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

备注

如需了解有关配置 IO 的具体指导信息，请参阅处理器特定 TRM 的 *焊盘配置寄存器* 一章。

有关未使用的处理器外设和 IO 的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - SOC 未使用的外设和 IO](#)。

有关已使用的引脚、未使用的引脚和外设处理的更多信息，请参阅 [\[常见问题解答\] AM62x、AM64x、AM243x、定制电路板硬件设计 - 如何处理已使用/未使用的引脚/外设？（例如 GPIO、SERDES、USB、CSI、MMC \(eMMC、SD 卡\)、CSI、OLDI、DSI、CAP_VDDSn……）](#)。

7.6.1.4 GPIO 检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚连接要求和引脚属性。
3. 查看电气特性以及任何其他可用信息。
4. 确保施加到处理器 LVC MOS 输入的输入信号符合压摆率要求。在输入端直接连接一个电容器会增加信号压摆，因此不建议这样做。
5. 验证是否不允许将电容负载直接连接到处理器输出以控制或启用所连接器件（建议在使用 $> 22\text{pF}$ 的电容负载（占位器件）时进行仿真）。
6. 以 VDDSHVx 或 VDDSHV_MCU 为基准的所有 IO 引脚连接单个电压电平。每个 IO 都有一个用于为 IO 单元 (VDDSHVx) 供电的相关电源电压。如果 VDDSHVx 由 3.3V (1.8V) 电源供电，则所有以 VDDSHVx 导轨为基准的 IO 都在 3.3V (1.8V) 电平下运行。
7. 在 VDDSHVx 的电源斜升之前，没有向处理器 IO 施加输入电压（不包括失效防护 IO）。大多数处理器 IO 都没有失效防护功能。当 IO 组 (VDDSHVx) 的相应 IO 电源关闭时，不建议也不允许向 IO 施加电压。当使用建议的 VBUS 分频器时，失效防护 IO 包括 MCU_PORz、I2C0_SCL、I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn 和 USB0_VBUS。
8. IO 接口的一个常见用例是驱动 LED 进行指示。设计人员可以检查拉电流和灌电流以及对电压电平的影响，并相应地调整 LED 电流。
9. 不建议直接将多个 IO 短接在一起。
10. 查看基于所需 IO 方向的焊盘配置。
11. 不允许或不建议将具有交替功能的处理器 IO 直接连接到电源或 VSS，包括引导模式输入。电路板设计人员可能遇到固件错误，并且错误配置用于输入（而是将输出驱动为逻辑高电平）的 LVC MOS GPIO。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为任何处理器或所连接器件 IO 添加了可悬空的拉电阻。
2. 上拉电阻连接到以 IO 作为基准的同一 IO 组 IO 电源 VDDSHVx。
3. 连接到处理器 IO 的所有上拉电阻器的电源电压与施加到相应 IO 组 IO 电源 (VDDSHVx) 的电压相匹配。将信号拉至错误的 IO 电压会导致器件的 IO 电源轨之间发生电压泄漏。
4. 针对来自附加电路板或载板或通过外部连接器的外部施加输入的 IO 电平兼容性。
5. 电源轨连接遵循 ROC。

其他

1. 通用处理器 LVC MOS IO 接口指南，请参阅 [节 7.6.1.1](#)。
 - 大多数处理器 IO 都没有失效防护功能。不建议在电源斜升之前施加输入。
 - 处理器 LVC MOS IO 指定了压摆率要求，建议不要应用慢速斜坡输入或在输入端直接连接电容器。
 - 不建议在输出端连接一个 $> 22\text{pF}$ （占位值）的电容器负载。DNI 电容器或根据用例执行仿真。
 - 复位期间处理器 IO 缓冲器关闭。需要在由处理器 IO 驱动且可悬空的所连接器件附近放置拉电阻。
2. 对于连接了布线的任何处理器 IO 焊盘，建议使用并联拉电阻。当添加拉电阻是不可行时，请布线远离噪声信号。复位期间处理器 IO 缓冲器关闭。建议在所连接器件附近使用上拉电阻。保持连接器件，IO 输入可以在已知状态下浮动。是否使用拉电阻取决于所连接器件。
3. 处理器 IO 与通过 IO 连接的附加器件之间具有 IO 兼容性和失效防护操作。
4. 连接到外部信号时进行失效防护操作。在电源斜坡之前施加外部输入会导致馈电并影响处理器性能。
5. 处理器输出的电容器负载（当连接 $> 22\text{pF}$ （占位值）的电容器时，设计人员必须进行仿真），输入信号的压摆（LVC MOS 输入压摆率为 1000ns 或更小）。
6. 确保 IO 灌电流或拉电流遵循数据表中的建议。
7. 确保当 IO 直接连接到外部接口信号时，可提供外部 ESD 保护。

7.6.2 板载硬件诊断

7.6.2.1 使用处理器电压监测器来监测板载电源电压

电压监控引脚可用于监控外部电源轨。VMON_1P8_SOC、VMON_1P8_MCU 和 VMON_3P3_SOC、VMON_3P3 可以直接连接到 1.8V 或 3.3V。VMON_VSYS 通过外部分压器进行连接，可灵活监控任何电源轨。

7.6.2.1.1 使用电压监测引脚

建议通过一个外部电阻分压器 ($0.45V \pm 3\%$) 将为电路板供电的主电压 (如 5V 或更高) 连接到 VMON_VSYS 引脚，以提供早期电源故障指示。建议在电阻分压器输出端实现噪声滤波器 (电容器)，因为 VMON_VSYS 具有最小迟滞和对瞬态的高带宽响应，如处理器特定数据表的 *系统电源监视器设计指南* 一节所述。

将 VMON_1P8_SOC、VMON_1P8_MCU、VMON_3P3_SOC 和 VMON_3P3_MCU 引脚直接连接到各自的电源。有关允许的电源电压范围，请参阅处理器特定数据表的建议运行条件部分。

备注

对于 VMON_VSYS，当遵循处理器特定数据表的 *系统电源监测设计指南* 一节中的建议时，失效防护条件有效。

对于 VMON_1P8_MCU、VMON_1P8_SOC、VMON_3P3_MCU 和 VMON_3P3_SOC 引脚，当连接的电源电压在处理器特定数据表的 *建议运行条件* 内时，失效防护条件有效。

有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - POK VMON 电压监视器](#)

7.6.2.1.1.1 电压监视器检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 查看先前部分，包括相关应用手册和常见问题解答页面。
2. 查看引脚属性和信号说明。
3. TI 建议根据数据表的 *系统电源监测设计指南* 部分提供连接外部电阻分压器的配置，以便使用 VMON_VSYS 进行早期检测。
4. 为了使 VMON_VSYS 检测有效，请连接 5V 或更高的直流电压。
5. 为 VMON_VSYS 添加一个滤波电容器。有关更多信息，请参阅处理器数据表中的 *系统电源监测设计指南*。电容值由设计人员根据跳闸时间要求来确定。
6. 查看将 1.8V 直接连接到 VMON_1P8_SOC、VMON_1P8_MCU，将 3.3V 直接连接到 VMON_3P3_SOC、VMON_3P3_MCU 引脚，无需任何外部滤波电容器。

原理图审阅

定制原理图设计请遵循以下列表：

1. 确保 1% 容差的电阻器用于 VMON 分压电阻
2. 查看添加滤波电容器和选择电容器值（根据电源架构进行选择）

其他

1. 建议始终使用 VMON_VSYS 实现电压监控功能，以便及早检测电源故障。VMON_VSYS 用于进入 PCB 的主输入（较高）电压轨的电源故障指示器。例如：5V、12V 或 24V。与 VMON_VSYS 监控器相关的错误要求用户将阈值设置为明显低于标称值，以避免误触发。有关更多信息，请参阅数据表中的 *系统电源监测设计指南* 部分。

7.6.2.1.2 不使用电压监测引脚

建议使用 VMON_VSYS 提供早期电源故障指示。不使用时，请通过单独的 0Ω 电阻将 VMON_VSYS、VMON_3P3_SOC 和 VMON_3P3_MCU 引脚连接到 VSS，并添加用于未来扩展的测试点。

建议将 VMON_1P8_SOC 和 VMON_1P8_MCU 引脚连接到各自的电源。将 VMON_1P8_SOC 和 VMON_1P8_MCU 引脚接地会使内部 1.8V 电源短路。

7.6.2.2 内部温度监测

温度监测器放置在处理器的预期热点附近。在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

该处理器支持主域中的一个 VTM 模块，即 VTM0。

有关更多信息，请参阅 [\[常见问题解答\] AM625 / AM623 / AM62A / AM62P / AM64x / AM243x 设计建议 / 定制电路板硬件设计 - VTM](#)。

7.6.2.2.1 内部温度监测检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 上述部分，包括相关应用手册和常见问题解答链接
2. 引脚属性和信号说明
3. 建议电源的连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 为 TEMPn (n = 0-1) 电源引脚增加滤波电容器

7.6.2.3 错误信号输出 (MCU_SAFETY_ERRORn) 的连接

建议根据处理器特定数据表的 *引脚连接要求* 一节连接 MCU_SAFETY_ERRORn 信号以进行测试，或将该信号用于其他板级功能。

7.6.2.4 高频振荡器 (MCU_OSC0) 时钟丢失检测

该处理器支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0_CLK 故障（停止）情况。专用硬件逻辑使用 CLK_12M_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0_CLK 停止切换的时长达到 9 个 CLK_12M_RC 时钟周期时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR_MCU_PLL_CLKSEL [8] CLKLOSS_SWTCH_EN，则参考时钟将从 HFOSC0_CLKOUT 切换到 CLK_12M_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU_ERRORn 引脚（将该引脚驱动为低电平）向外部器件报告错误。恢复机制取决于外部器件（例如由 PMIC 执行操作）。

例如，执行完整的电路板下电上电循环以查看电路板是否恢复。如果电路板未恢复，则该处理器必须指示电路板设计人员采取替代措施或执行板级测试，例如检查板级系统时钟、外部晶体或电源轨。

7.7 验证电路板级设计问题

7.7.1 使用 Pinmux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证所有处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 [SysConfig-PinMux](#) 工具提供的 [PinmuxConfigSummary.csv](#) 文件。

7.7.2 原理图配置

验证为替代功能或测试提供的电路选项或测试（这些选项或测试不是电路板正常运行所必需的或可能导致电路故障）是否标记为 DNI。

7.7.3 将电源轨连接到上拉电阻

将信号上拉电阻连接到错误的 IO 电源轨可能会导致处理器 IO 电源轨之间发生泄漏，影响定制电路板性能或处理器可靠性。每个信号都有一个关联的 IO 组 IO 电源（例如，VDDSHVx [x = 0-5]）。有关更多信息，请参阅处理器特定数据表中的 [引脚属性表](#)。

例如，要在任何多路复用模式（UART6_RXD、I2C2_SCL、GPIO1_43 等）中上拉 SPI0_CS1 信号，请将所连接的信号电源轨上拉至 VDDSHV0。

7.7.4 外设（子系统）时钟输出

对于任何具有时钟输出的处理器外设，请配置相应 CTRLMMR_MCU_PADCONFIGx/CTRLMMR_PADCONFIGy 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.7.5 通用板启动和调试

电路板启动提示：

在启动之前，请考虑以下事项：

- 使用的处理器和附加器件符合设计要求
- 检查电路板的元件组装（DNI[请勿安装]）并检查电路板的组装（元件焊接）
- 在施加电路板电源和处理器电源斜升之前，没有外部输入连接到处理器 IO 输入

请参阅 [\[常见问题解答\] Sitara 器件 \(AM64x、AM243x、AM62x、AM62Ax、AM62Px\)](#) 的 [电路板启动提示](#) 了解更多信息。

7.7.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试。

- OBSCLK0、MCU_OBSCLK0（推荐）：观察时钟输出

OBSCLK0、MCU_OBSCLK0 是观察时钟输出，仅用于测试和调试目的。OBSCLK 引脚可用于选择多个不同时钟之一作为输出。我们不希望将该信号用作任何外部器件的时钟源。如数据表中所述，该信号仅用于测试和调试目的。

- SYSCLKOUT0（可选）：SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (SYSCLKOUT0) 从处理器发出
- MCU_SYSCLKOUT0（可选）：MCU_SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (MCU_SYSCLKOUT0) 从处理器发出

如果未使用名称为 OBSCLK0、MCU_OBSCLK0、SYSCLKOUT0、MCU_SYSCLKOUT0 的处理器引脚，则提供一个测试点用于测试或调试。建议在这些焊盘上添加拉电阻。

如果使用了时钟输出引脚，可在布线上插入一个测试点，并可提供用于将这些信号与所连接器件进行隔离的配置，从而进行测试或调试。

系统时钟输出引脚（MCU_SYSCLKOUT0 和 SYSCLKOUT0）通过硬接线连接到专用时钟资源。

7.7.5.2 其他信息

建议为 MCU_RESETSTATz、RESETSTATz 和 PORz_OUT 提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、未使用过流指示输出或 PG (电源正常) 输出的其他板载器件 (直流/直流转换器、LDO 或传感器) ，提供上拉和测试点用于测试或后续增强。

7.7.5.3 通用板启动和调试检查清单

一般

检查并验证定制原理图设计的以下内容：

1. 添加相关配置，以将可用于调试的 IO 与替代功能隔离
2. 添加相关配置，以便在初始电路板构建期间连接 UART 接口进行调试
3. 添加 JTAG 连接器或测试点配置，以便连接 JTAG 接口，包括外部 ESD 保护。按引脚连接要求放置靠近处理器 JTAG 接口引脚的上拉电阻

原理图审阅

定制原理图设计请遵循以下列表：

1. 如果外部接口信号直接连接到处理器 UART 信号，则为用于调试的 UART 接口提供所需的上拉电阻和串联电阻
2. 当外部接口信号直接连接到处理器 UART 信号时提供外部 ESD 保护

其他

1. 处理器 UART 和大多数 IO 信号都没有失效防护功能。建议仅在处理器电源斜升后应用外部输入
2. TI 建议在处理器电路板断电时断开外部接口信号

请参阅[\[常见问题解答\] SK-AM62：不同 UART 的用途](#)了解更多信息。

8 定制电路板原理图设计的自我审查

原理图设计完成后，遵循了设计指南，并参考了 EVM 和 SK 以及其他配套资料，客户可以使用每个设计指南部分末尾提供的检查清单进行自我审查。(例如处理器内核和外设内核电源检查清单以及通用板启动和调试检查清单)。

[常见问题解答] [AM6442](#)、[AM6441](#)、[AM6422](#)、[AM6421](#)、[AM6412](#)、[AM6411](#)、[AM243x](#) 设计建议/定制电路板硬件设计-定制电路板原理图自我审查列出了自我审查定制电路板原理图时可以遵循的配套资料和步骤。

[常见问题解答] [AM625/AM623/AM62A/AM62P/AM62D-Q1/AM64x/AM243x](#) 设计建议/定制电路板硬件设计-在客户原理图审查期间观察到的错误列表列出了在审查客户原理图时观察到的常见错误。TI 建议阅读该列表并进行所需的更新。

9 布局注释 (已添加到原理图中)

TI 建议为处理器外设添加必要的设计注释 (例如: USB、以太网、PCIe、eMMC、OSPI、SD 和其他可用的处理器外设)。添加的注释可能包括电路板引导模式配置、串联和并联电阻的放置、去耦和大容量电容器的放置。

考虑将所需或适用的设计说明添加到处理器连接的器件和板载器件。

标记所有差分信号和关键信号并指定目标阻抗 (根据需要)。请参见以下示例:

- 有关 DDR4 和 LPDDR4 信号的建议目标阻抗, 请参阅 [AM64x \(AM62x\) DDR 电路板设计和布局布线指南](#)。
- USB 数据线的差分阻抗必须在 $90\ \Omega$ 标称值的额定容差范围内。
- SuperSpeed、PCI-Express (PCIe) 信号线 (TX 和 RX) 的差分阻抗必须在 $95\ \Omega$ 标称值的额定容差范围内。
- 以太网 MDI 信号的差分阻抗必须在 $100\ \Omega$ 标称值的额定容差范围内。

有关更多信息, 请参阅 [\[常见问题解答\] AM625 : 针对特定外设的 PCB 模式建议](#)、[\[常见问题解答\] AM625 : MMC0 PCB 连接要求](#), 和 [AM6442 : MMCSD0 \(eMMC\) 和 MMCSD1 \(SD 卡\) 的 PCB 布局指南](#)

9.1 布局检查清单

一般

检查并验证定制原理图设计的以下内容:

1. 查看先前部分, 包括相关应用手册和常见问题解答链接。
2. 是设计为符合处理器数据表 *时序和开关特性部分* 时序条件表中定义的 PCB 布线延迟要求的定制电路板。
3. *应用、实施和布局* 部分, 并遵循了相关部分。

10 定制电路板设计仿真

存储器 (DDR4/LPDDR4) 的基线驱动阻抗和 ODT 设置源自对 EVM 或 SK 执行的信号完整性 (SI) 仿真。

由于配置值会有不同，TI 建议对定制设计进行仿真。

请参阅[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1/AM6442/AM2432 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)，以及[\[常见问题解答\] 使用适用于 AM64x、AM62x、AM62Ax、AM62Px 的 DDR IBIS 模型](#)了解更多信息。

要了解高速 LPDDR4 接口的电路板提取、仿真和分析方法，请参阅 [Am62x DDR 电路板设计和布局布线指南](#) 应用手册的 [LPDDR4 电路板设计仿真](#) 一章。

有关包括电路板设计仿真在内的更新信息，请参阅 [AM62x DDR 电路板设计和布局指南](#)。DDRSS 实现与 AM62x 类似，可以参阅设计指南。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可调节驱动强度。

更多信息，请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)和[\[常见问题解答\] AM62A3-Q1 : AM62A3-Q1 PDN Power SI 仿真问题](#)。常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

11 其他参考内容

其他参考资料包含针对特定处理器的常见问题解答和 *定制电路板设计硬件设计注意事项* 文档。连接器件 (包括 PMIC 和 EPHY) 的原理图。

11.1 AM6xx 常见问题解答

[\[常见问题解答\] AM64x、AM243x、AM62x、AM62Ax、AM62Px 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#) 汇总了在定制电路板设计期间可以参考的主要配套资料。

备注

使用 EVM 或 SK PDF 原理图进行定制电路板原理图审阅时，请查看并点击常见问题解答链接，了解更多信息。

11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列

根据与电路板设计人员的交互、多个电路板设计人员的询问，创建了常见问题解答，用于回答一些常见设计问题或提供设计指南，以便在定制电路板设计期间为电路板设计人员提供支持。请参阅下面的常见问题解答列表。客户可在定制电路板设计期间使用该列表以及其他可用设计配套资料 (包括 *定制电路板设计硬件设计注意事项* 和 *原理图设计指南* 和 *原理图审阅检查清单*) :

AM64x 处理器系列：

请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM/入门套件相关的常见问题解答](#) 了解更多信息。

Sitara 处理器系列：

请参阅 [\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM64x、AM243x、AM335x \) 系列的主要 \(完整 \) 常见问题解答列表](#) 了解更多信息。

请参阅 [\[常见问题解答\] AM6x：有关 AM62x、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#) 以查看可用常见问题解答列表，包括软件相关常见问题解答。

11.3 连接器件

有关更多信息，请参阅以下链接。

[TPS65219 原理图、布局检查清单](#)

[以太网 PHY PCB 设计布局检查清单](#)

备注

验证 [TI.com](#) 上所连接器件的器件特定原理图审阅检查清单的可用性，并使用可用检查清单验证自定义电路板原理图实现。

12 总结

*原理图设计指南和原理图审阅检查清单*可用作定制电路板原理图设计和审阅过程中的设计人员使用指南。本文档中提供的建议有助于设计人员简化电路板设计、减少原理图错误、缩短电路板启动时间、缩短电路板调试时间，并最大程度地减少日后重新设计电路板的工作。

13 参考资料

13.1 AM64x

- 德州仪器 (TI), [AM64x Sitara™ 处理器数据表](#), 数据表。
- 德州仪器 (TI), [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件\)](#), 产品页面。
- 德州仪器 (TI), [TMDS64EVM \(Sitara 处理器的 AM64x 评估模块\)](#), 工具页面。
- 德州仪器 (TI), [TMDS64DC01EVM \(AM64x IO-link 和高速分线板\)](#), 产品页面。
- 德州仪器 (TI), [使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#), 应用手册。
- 德州仪器 (TI), [使用 LP8733xx PMIC 为 AM64xx 供电](#), 应用摘要。
- 德州仪器 (TI), [TMDS64EVM 设计包文件夹和文件列表](#), 产品概述。
- 德州仪器 (TI), [SK-AM64B 设计包文件夹和文件列表](#), 产品概述。

13.2 AM243x

- 德州仪器 (TI), [AM243x Sitara™ 微控制器](#), 数据表。
- 德州仪器 (TI), [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#), 产品页面。
- 德州仪器 (TI), [LP-AM243 \(AM243x Arm® MCU 通用 LaunchPad™ 开发套件\)](#), 产品页面。
- 德州仪器 (TI), [TMDS243DC01EVM \(用于高速扩展的 AM243x 和 AM64x 评估模块分线板\)](#), 产品页面。
- 德州仪器 (TI), [使用 TPS65219 PMIC 为 AM243x 供电](#), 应用手册。
- 德州仪器 (TI), [AM243x OSPI、QSPI 闪存选择指南](#), 产品概述。

13.3 常见参考文献

- 德州仪器 (TI), [AM64x/AM243x Sitara 处理器技术参考手册](#), 技术参考手册。
- 德州仪器 (TI), [AM64x/AM243x 处理器器件勘误表](#), 勘误表。
- 德州仪器 (TI), [AM64x/AM243x 功耗估算工具](#), 应用手册。
- 德州仪器 (TI), [使用 AM6442、AM6422、AM6412 和 AM2434 系列处理器的定制电路板硬件设计注意事项](#), 用户指南。
- 德州仪器 (TI), [AM64x 和 AM243x BGA 迂回布线](#), 用户指南。
- 德州仪器 (TI), [AM64x/AM243x DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [AM62x DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [DSP 热设计指南和 Arm 应用处理器应用报告](#), 应用手册。
- 德州仪器 (TI), [PRU-ICSS 特性比较](#), 应用手册。
- 德州仪器 (TI), [Sitara™ 处理器和 MCU 支持的工业通信协议](#), 应用手册。
- 德州仪器 (TI), [Sitara 处理器配电网络：实现与分析](#), 应用手册。
- 德州仪器 (TI), [高速接口布局指南](#) 应用手册。
- 德州仪器 (TI), [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#), 应用手册
- 德州仪器 (TI), [仿真和跟踪接头技术参考手册](#), 技术参考手册。
- 德州仪器 (TI), [XDS 目标连接指南](#), 开发工具
- 德州仪器 (TI), [Jacinto™ 7 DDRSS 寄存器配置工具](#), 应用手册。
- 德州仪器 (TI), [使用 IBIS 模型进行时序分析](#), 应用手册。
- 德州仪器 (TI), [显示接口：Sitara MPU 可视化设计综合指南](#), 应用报告。
- 德州仪器 (TI), [Sitara MCU 热设计](#), 应用手册。
- 德州仪器 (TI), [基于 Arm® 的微控制器和处理器功能安全支持](#), 技术白皮书。
- 德州仪器 (TI), [AM64x/AM243x 延长上电小时数](#), 应用手册。
- 德州仪器 (TI), [AM64x、AM243x IEC61508 TUV SUD 功能安全证书](#), 证书。

13.4 可用常见问题解答主列表 - 按处理器系列

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM/入门套件相关的常见问题解答](#)

13.5 可用常见问题解答主列表 - Sitara 处理器系列

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM64x、AM243x、AM335x \) 系列的主要 \(完整 \) 常见问题解答列表](#)

13.6 软件常见问题解答

[\[常见问题解答\] AM6x : 有关 AM62x、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

13.7 有关连接器件的常见问题解答

[\[常见问题解答\] TPS65219 : 为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势](#)

[\[常见问题解答\] DP83869-EP : 以太网合规性测试失败](#)

A 术语

ADC	模数转换器
BOM	物料清单
BU	业务部门
CAN	控制器局域网
CKE	时钟使能
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
DDR0_CAL0	IO 焊盘校准电阻
DFU	器件固件升级
DNI	请勿安装
DRD	双角色设备
DRP	双角色端口
E2E	工程师对工程师
EMC	电磁兼容性
EMI	电磁干扰
eMMC	嵌入式多媒体卡
EMU	仿真控制
EOS	电过应力
ESD	静电放电
ESL	有效串联电感
ESR	有效串联电阻
常见问题解答	常见问题解答
FET	场效应晶体管
GPIO	通用输入/输出
GPMC	通用存储器控制器
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
JTAG	联合测试行动组
LDO	低压降
LVMOS	低压互补金属氧化物半导体
MAC	介质访问控制器
MCSPi	多通道串行外设接口
MCU	微控制器单元
MDI	媒体相关接口
MDIO	管理数据输入/输出
MII	媒体独立接口
MMC	多媒体卡
MMCSDB	多媒体卡-安全数字接口
ODT	片上端接
OPN	可订购器件型号

OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PCIe	外设组件快速互连
PDN	配电网络
PET	功耗估算工具
PL	产品线
PMIC	电源管理集成电路
POR	上电复位
PRU_ICSSG	可编程实时单元和工业通信子系统 - 千兆位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
ROC	建议运行条件
SD	安全数字
SDIO	安全数字输入输出
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TEN	测试使能
TMS	测试模式选择输入
TRC_DATAn	跟踪数据 n
TRM	技术参考手册
TRSTn	复位
UART	通用异步接收器-发送器
USB	通用串行总线
XDS	扩展开发系统
ZQ	器件校准基准

修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (February 2024) to Revision D (January 2025)	Page
• 更新了节 摘要	1
• 添加了节 1.1	3
• 添加了节 1.1.1	3
• 添加了包含的器件	3
• 添加了节 1.1.3	3
• 添加了节 1.1.4	3
• 添加了节 1.1.5	3
• 添加了节 1.2	4
• 添加了 AM243x 器件系列	4
• 更新了相关配套资料	4
• 添加了节 2.1	4
• 更新了节 2.2	4
• 更新了相关数据表	5
• 添加了节 3.2	5
• 更新了节 3.3	5
• 添加了节 3.4	5
• 更新了节 3.5	5
• 添加了节 3.6	5
• 更新了节 4.1	7
• 更新了节 4.1.1	7
• 添加了节 4.1.1.1	8
• 更新了节 4.1.2	9
• 更新了节 4.1.2.1	9
• 更新了节 4.1.2.2	9
• 添加了节 4.1.2.3	10
• 更新了节 4.2.1	11
• 添加了节 4.2.1.1	11
• 更新了节 4.2.2	11
• 更新了节 5.1	12
• 添加了节 5.1.1	12
• 更新了并联拉电阻	13
• 添加了节 5.2.1.3	13
• 添加了节 5.2.1.4	13
• 添加了节 5.2.1.6	13
• 添加了节 5.2.1.7	14
• 添加了节 5.2.2.1	14
• 添加了重复使用 EVM 或 SK 设计文件	15
• 添加了重复使用 EVM 或 SK 设计文件检查清单	15
• 更新了处理器引脚属性和引脚排列验证	16
• 更新了节 5.3.3	16
• 添加了节 5.3.4	16
• 更新了节 5.3.8	17
• 更新了 GPIO 拉电流或灌电流	18
• 更新了节 5.3.10	18
• 添加了入门检查清单	18
• 添加了节 5.3.13	18

• 更新了节 6.1.1	19
• 更新了节 6.1.1.1	20
• 更新了电源斜升 (压摆率) 要求和动态电压调节	20
• 添加了节 6.1.1.1.2	21
• 添加了节 6.1.1.1.3	22
• 更新了节 6.1.1.2	23
• 添加了节 6.1.1.2.1	24
• 添加了节 6.1.1.3.1	26
• 添加了节 6.1.2.2	27
• 更新了节 6.1.3.1.1	29
• 更新了节 6.1.3.1.2	29
• 更新了节 6.1.3.1.3	29
• 添加了节 6.1.3.1.4	30
• 添加了节 6.1.3.2.1	31
• 更新了节 6.1.4.1	32
• 更新了节 6.1.4.2	32
• 添加了节 6.1.4.4	32
• 添加了节 6.1.4.5	34
• 更新了 USB 引导模式注意事项	35
• 添加了节 6.1.5.3	35
• 添加了引导模式的配置 (针对处理器) 检查清单	36
• 更新了节 6.2	37
• 添加了节 6.2.1	38
• 添加了节 6.2.2	38
• 更新了节 6.2.3	38
• 添加了节 6.2.4	38
• 更新了节 7.1	40
• 添加了节 7.1.1	40
• 更新了节 7.2.1.1	41
• 更新了节 7.2.1.1.1	41
• 更新了节 7.2.1.1.2	41
• 更新了节 7.2.1.1.5	42
• 添加了节 7.2.1.1.6	42
• 添加了节 7.2.1.1.7	43
• 更新了节 7.2.1.2	44
• 更新了节 7.2.1.2.1	44
• 添加了节 7.2.1.2.6	45
• 更新了 MMC0 : eMMC (嵌入式多媒体卡) 接口	46
• 更新了节 7.2.2.1.1.2	46
• 更新了节 7.2.2.1.1.3	46
• 更新了节 7.2.2.1.2	46
• 添加了节 7.2.2.1.3	47
• 已添加 MMC0 SD (安全数字) 卡接口	49
• 更新了节 7.2.2.2.1	49
• 更新了节 7.2.2.2.2	50
• 更新了节 7.2.2.2.3	50
• 添加了节 7.2.2.2.6	51
• 更新了节 7.2.3	53
• 更新了 OSPI 和 QSPI 器件复位	53
• 更新了节 7.2.3.3	53
• 添加了节 7.2.3.7	54

• 更新了节 7.2.4.4	55
• 添加了节 7.2.4.4.1	55
• 添加了节 7.2.4.6	56
• 更新了节 7.3.1.4	59
• 更新了节 7.3.1.5	59
• 更新了节 7.3.1.6.2	59
• 更新了节 7.3.1.6.3	60
• 更新了节 7.3.1.7	61
• 添加了节 7.3.1.8	61
• 添加了节 7.3.1.8.1	61
• 更新了节 7.3.1.9	62
• 更新了节 7.3.1.11	62
• 添加了节 7.3.1.13	62
• 更新了节 7.3.2	65
• 添加了节 7.3.2.4	67
• 添加了节 7.3.3.1	68
• 添加了节 7.3.3.2.1.4	70
• 添加了节 7.3.3.2.2.7	72
• 更新了节 7.3.4	73
• 添加了节 7.3.4.1	73
• 添加了节 7.3.5.1	74
• 更新了节 7.4.1	75
• 添加了节 7.4.1.1	75
• 添加了节 7.4.2	75
• 添加了节 7.4.2.1	76
• 更新了节 7.4.3	76
• 添加了 I2C 开漏输出类型缓冲器接口检查清单	77
• 添加了 I2C 仿真开漏输出类型缓冲器接口检查清单	77
• 更新了节 7.5.1	79
• 添加了节 7.5.3	79
• 添加了节 7.5.4	80
• 更新了节 7.6.1.1	81
• 更新了节 7.6.1.3	81
• 添加了节 7.6.1.4	82
• 更新了节 7.6.2.1	83
• 更新了节 7.6.2.1.1	83
• 添加了节 7.6.2.1.1.1	84
• 更新了节 7.6.2.2	84
• 添加了节 7.6.2.2.1	85
• 更新了节 7.7.5	86
• 添加了节 7.7.5.3	88
• 添加了节 8	89
• 更新了原理图布局	90
• 添加了节 9.1	90
• 更新了节 10	91
• 更新了节 11	92
• 添加了节 11.1	92
• 添加了节 11.2	92
• 添加了连接器件	92
• 更新了节 12	93
• 更新了常用参考文献	94

• 添加了节 13.4	94
• 添加了节 13.5	95
• 添加了软件常见问题解答	95
• 添加了节 13.7	95

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司