

User's Guide

适用于高压汽车 BMS 的 BQ7961x-Q1 设计建议



Taylor Vogt

摘要

BQ79616-Q1 可以在不到 200 μ s 的时间内对 6S 至 16S 电池模块执行高精度的电芯电压测量。借助集成式前端滤波器，系统可以在电芯输入通道上实施低成本的简单差分 RC 滤波器。集成式后 ADC 低通滤波器可以执行经过滤波、类似于直流电的电压测量，以便更好地计算 SOC。此器件支持自主内部电池平衡，并通过监测温度来自动暂停和恢复平衡，以免出现过热条件。

包含的隔离式双向菊花链端口支持通过电容器和变压器进行隔离，并允许使用最有效的组件实现 xEV 动力总成系统中常见的集中式或分布式架构。此器件还包含八个 GPIO/辅助输入，可用于执行 NTC 热敏电阻测量。

内容

1 NPN LDO 电源.....	3
2 AVDD、CVDD 输出以及 DVDD、NEG5、REFHP 和 REFHM.....	4
3 OTP 编程.....	6
4 电芯电压检测 (VCn) 和电芯均衡 (CBn).....	6
5 汇流条支持.....	13
6 TSREF.....	22
7 通用输入/输出 (GPIO) 配置.....	22
8 基底器件和桥接器件配置.....	25
9 菊花链堆叠配置.....	29
10 多点配置.....	35
11 主 ADC 数字 LPF.....	37
12 AUX 抗混叠滤波器 (AAF).....	37
13 布局指南.....	38
14 BCI 性能.....	41
15 共模噪声和差模噪声.....	41
16 修订历史记录.....	42

插图清单

图 1-1. 电源电路原理图.....	3
图 2-1. 基底器件的稳压器连接.....	5
图 4-1. 电芯电压监控.....	7
图 4-2. 内部 CB 图 (非相邻电芯均衡).....	8
图 4-3. 电芯均衡电阻器示例计算.....	9
图 4-4. 相邻电芯均衡.....	10
图 4-5. 外部 FET 电芯均衡.....	11
图 4-6. 连接少于 16 个电芯.....	12
图 5-1. 到下部栈器件的替代汇流条连接.....	14
图 5-2. 不同模块尺寸下的 BBP/BBN 连接示例.....	15
图 5-3. 任何中间 VC 通道连接的汇流条的 BBP/N 连接.....	16
图 5-4. 模块顶部上方连接的汇流条的 BBP/N 连接.....	17
图 5-5. 连接到任意中间单独 VC 通道的汇流条.....	18
图 5-6. 汇流条连接模块顶部上方的单独 VC 通道.....	19
图 5-7. 使用两个不同 VC 通道的两个汇流条连接.....	20
图 5-8. 利用 BBP/N 引脚实现多个汇流条连接.....	21

图 5-9. 具有汇流条连接的内部 CB 图.....	22
图 7-1. GPIO 比例式测量.....	23
图 7-2. SPI 主器件连接示例.....	24
图 7-3. 8 个带有 SPI 从器件的 NTC 热敏电阻.....	25
图 8-1. 与桥接器件 BQ79600-Q1 通信.....	26
图 8-2. 使用 BQ79616-Q1 作为带有隔离电路的基底器件.....	26
图 8-3. 通信 ping.....	27
图 8-4. 通信音调.....	27
图 8-5. Ping/音调传播图.....	28
图 9-1. 带基底器件的菊花链结构.....	29
图 9-2. 带桥接器件的菊花链结构.....	30
图 9-3. 同一 PCB 中的电容耦合菊花链所需的元件.....	31
图 9-4. 不同 PCB 中的电容耦合菊花链所需的元件.....	31
图 9-5. 带布线的电容扼流圈菊花链所需的元件.....	31
图 9-6. 变压器耦合菊花链所需的元件.....	32
图 9-7. 更改菊花链中通信方向的示例.....	33
图 9-8. 检测信号或故障音调行进方向.....	34
图 9-9. 重新计时位压缩示例.....	35
图 10-1. 多点配置.....	36
图 13-1. 接地布局注意事项.....	39
图 13-2. 同一 PCB 上每个器件的单独接地平面.....	40
图 13-3. 菊花链布局注意事项.....	41
图 15-1. XY 电容器.....	42

表格清单

表 8-1. UART 物理层检查清单.....	28
表 11-1. 用于 VCELL 和汇流条测量的主 ADC LPF f_{cutoff}	37
表 12-1. AAF 稳定时间.....	37

商标

所有商标均为其各自所有者的财产。

1 NPN LDO 电源

该器件由 BAT 引脚和 LDOIN 引脚供电，LDOIN 引脚由外部 NPN 构成的预稳压电路进行稳压。该器件可由 BAT 引脚上低至 9V 的电池模块供电（无 OTP 编程）。

BAT 和 LDOIN 引脚应与电芯分开进行滤波。这是为了防止热插拔、浪涌电流和其他相关噪声。为 BAT 引脚建议的滤波器为 $R_{BAT} = 30\ \Omega / 0.25W$ 、 $C_{BAT} = 0.01\ \mu F / 100V$ ，两个电阻串联以获得更好的热性能： $R_{NPN1} = 100\ \Omega / 0.75W$ ， $R_{NPN2} = 200\ \Omega / 0.75W$ ，电容器为 $C_{NPN} = 0.22\ \mu F / 100V$ （对于集电极）。LDOIN 是 BQ79616-Q1 外部 LDO 电源的输入。图 1-1 给出了典型的电路。

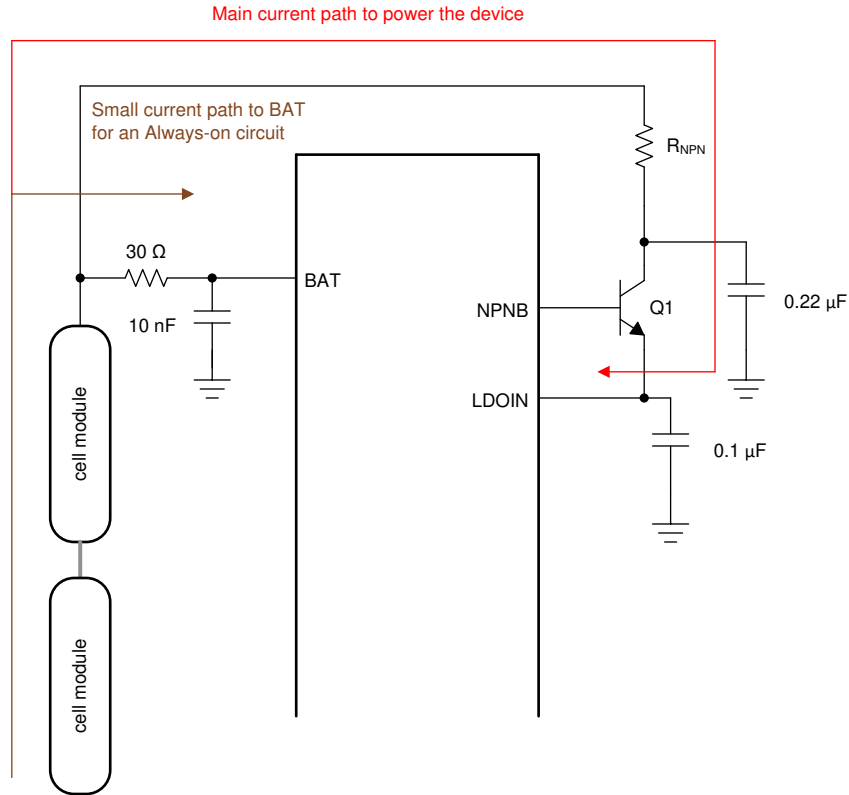


图 1-1. 电源电路原理图

根据不同工程的最小和最大模块电压，可在参考原理图的值的基础上进一步优化电阻值和 NPN。

基于以下标准选择 NPN 晶体管：

1. 集电极-发射极击穿电压 (BV_{CEO}) > 80V 至 100V (或模块电压再加任何降额)
2. 预期负载电流下的直流增益 (β 或约等于 h_{fe} (交流增益)) > 80
3. 在典型的基极电压范围内集电极-基极电容 < 35pF
4. 功率处理能力 $\geq 1W$
5. 工作电流 > 100mA

图 1-1 中的电阻器 R_{NPN} 有几种用途：

1. 限制浪涌电流
2. 分担 NPN 晶体管的部分功率损耗
3. 与 C_{NPN} 结合来充当滤波器

$$R_{MAX} = \frac{(V_{BAT(min)} - (V_{LDOIN(max)} + V_{CE(SAT)}))}{I_{LOAD(max)}} \quad (1)$$

其中

- $V_{BAT(min)}$ 是最小电池模块电压，取决于串联电芯数和每个电芯的最小电压
- 在 $V_{BE(on)}$ 下 $V_{CE(SAT)} = V_{CE}$ 最小值，来自晶体管数据表
- I_{LOAD} 是启动期间的浪涌电流，或 CVDD 上有任何外部负载时的最大有效电流

在 LDOIN 电源 (C_{LDOIN}) 上连接滤波器来确保稳定性。在额定电压为 10V 时使用 $C_{LDOIN} = 0.1\mu F$ 。

2 AVDD、CVDD 输出以及 DVDD、NEG5、REFHP 和 REFHM

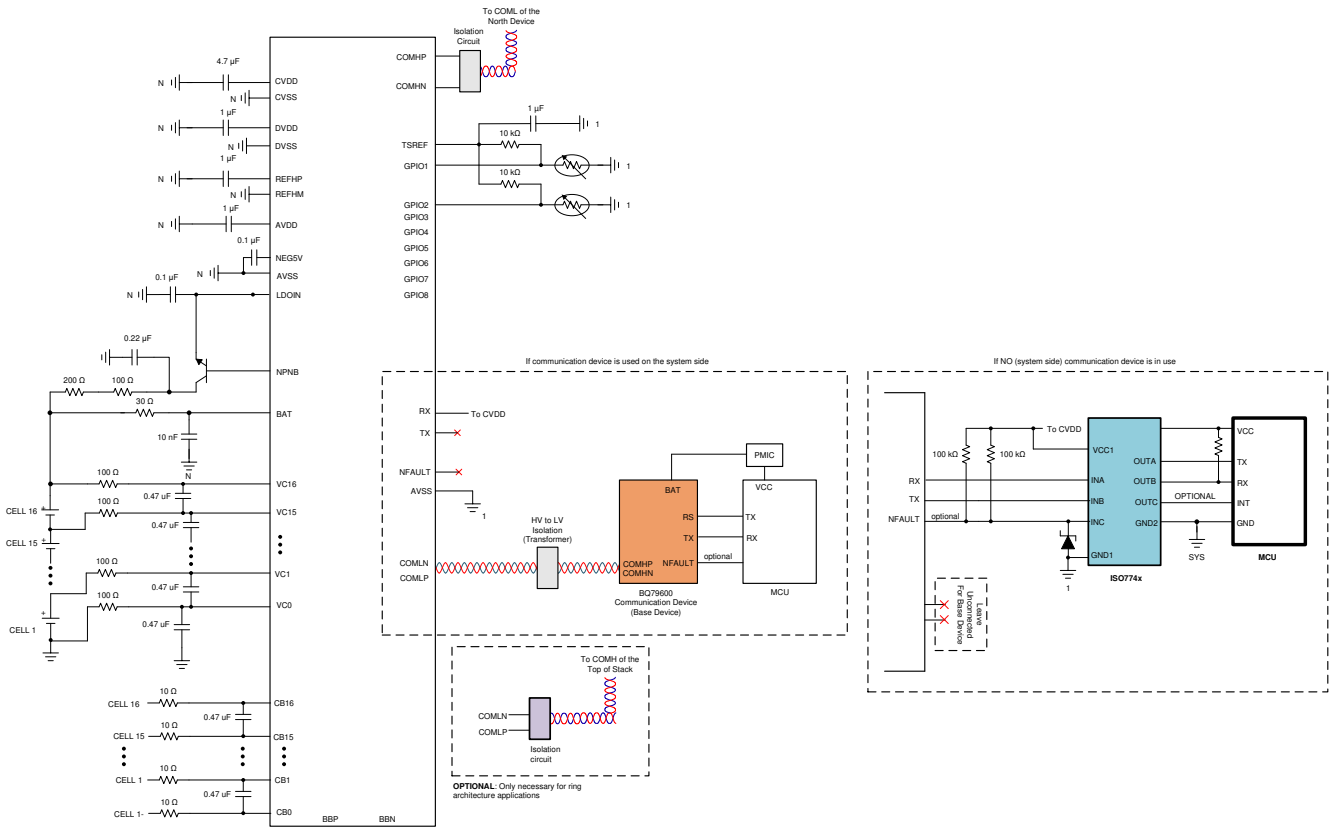
AVDD、CVDD 和 DVDD 是源自 LDOIN 输入的稳压输出。这每一个稳压器输出都应配备一个旁路电容器，从而避免由于较大的电容减慢启动速度而产生容差为 10% 的噪声。REFHP 是内部基准电压，NEG5V 是由内部电荷泵提供的稳压电压。

各个稳压器为精细的内部子系统供电。除了数据表中所述的电路或负载之外，请勿将外部电路或额外负载连接到这些稳压器。

以下引脚的旁路电容器（尤其是 REFHP 电容器）应尽可能靠近器件引脚放置，以确保获得良好性能。为了提高降额性能和发射性能，我们还建议为每个旁路 LDO 电容器并联一个容值范围为 10% 至 22% 的小型电容器。例如，在 CVDD 上，为帮助减少发射，我们建议将 22nF 和 100nF 电容器与 4.7 μF 去耦电容器并联。为了获得更好的效果，这些电容器需要放置在非常靠近布局中 IC 引脚的位置。

2.1 基底器件

- AVDD 是一个 5V 稳压输出，为内部电路供电。必须使用 1 μF /10V 电容器将 AVDD 旁路至 AVSS。不要将任何额外负载连接至 AVDD。
- CVDD 是用于堆叠通信的电源，并作为 I/O 电源在内部连接。CVDD 为堆栈菊花链通信收发器电路供电。使用 4.7 μF /10V 以及 100nF 和 22nF 电容器连接至 CVSS，绕过 CVDD，从而改善发射和性能。
- DVDD 是一个 1.8V 稳压输出，用于为芯片内部的数字逻辑供电。将一个 1 μF /10V 电容器连接至 DVSS。不要将任何额外负载连接至 DVDD。
- NEG5V 是由内部电荷泵提供的 -5V 电源。将一个 0.1 μF /10V 电容器连接至 AVSS。
- REFHP 是精密基准输出引脚。为了使器件正常工作，1 μF /10V 旁路电容器必须直接从 REFHP 连接至 REFHM。
- REFHM 是用于内部精密基准的精密基准接地。在外部连接 DVSS、CVSS、ADC_AVSS、REFHM 和 AVSS。所有 VSS 引脚均不得保持未连接。



备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，图中未显示此建议，有关详细信息，请参阅数据表。

图 2-1. 基底器件的稳压器连接

2.2 设计汇总

- 将 AVDD、CVDD、DVDD 和 REFHP 引脚上的旁路电容器连接至接地层进行去耦。（有关详细信息，请参阅布局指南。）
- 使用 0.1μF/10V 电容器将 NEG5V 引脚旁路至 AVSS。
- 将所有电容器尽可能靠近引脚放置。

3 OTP 编程

非易失性存储器 (NVM) 中的某些存储器位置可使用 OTP (一次性可编程) 进行编程。存储器空间分为两组：出厂空间和客户空间。出厂空间存储正常运行所必需的器件配置。主机无法访问该空间。客户空间包含主机系统可以针对其应用配置自定义的默认器件设置。该空间可由主机读取和编程。

进行 OTP 编程时，请遵循以下过程：

1. 解锁 OTP 编程。
 - a. 将以下数据写入 OTP_PROG_UNLOCK1A 至 OTP_PROG_UNLOCK1D：
 - i. OTP_PROG_UNLOCK1A <- 数据 0x02
 - ii. OTP_PROG_UNLOCK1B <- 数据 0xB7
 - iii. OTP_PROG_UNLOCK1C <- 数据 0x78
 - iv. OTP_PROG_UNLOCK1D <- 数据 0xBC
 - b. 使用以下数据再次对 OTP_PROG_UNLOCK2A 至 OTP_PROG_UNLOCK2D 寄存器进行写入。
 - i. OTP_PROG_UNLOCK2A <- 数据 0x7E
 - ii. OTP_PROG_UNLOCK2B <- 数据 0x12
 - iii. OTP_PROG_UNLOCK2C <- 数据 0x08
 - iv. OTP_PROG_UNLOCK2D <- 数据 0x6F

备注

必须按顺序 (即 A、B、C，然后是 D) 对每个寄存器块进行写入，其间不得进行其他写入或读取。最佳做法是使用相同的写入命令进行更新。如果尝试不按顺序进行任何寄存器更新，或者在写入之间对其他寄存器进行写入/读取，则必须按顺序全部重新执行。

2. 检查以确认 OTP 解锁程序成功。
 - a. 读取以确认 OTP_PROG_STAT[UNLOCK] = 1。

备注

允许在步骤 1 之后发出读取命令，但发出 [PROG_GO] 必须是解锁程序之后的下一个写入命令。

3. 选择适当的 OTP 页面并开始 OTP 编程。
 - a. 要对 page1 进行编程，请设置 OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x01，或
 - b. 要对 page2 进行编程，请设置 OTP_PROG_CTRL[PAGESEL][PROG_GO] = 0x03。
4. 等待 t_{PROG} ，让 OTP 编程完成。
5. 检查以确保 OTP 编程期间没有错误。OTP 编程成功后，以下位应该为“1”。
 - a. OTP_PROG_STAT[DONE] = 1，OTP 编程完成。在此寄存器中不得设置任何其他位。
 - b. 如果对第 1 页进行了编程，则 OTP_CUST*_STAT*[PROGOK]、[TRY]、[OVOK] 和 [UVOK] 位应为“1”。其他位应为“0”。
 - c. 如果对第 2 页进行了编程，则 OTP_CUST1_STAT[LOADED]、[PROGOK]、[TRY]、[OVOK] 和 [UVOK] 位应为“1”。OTP_CUST*_STAT 中的其他位应为“0”。
6. 发出数字复位以在寄存器中重新加载已更新的 OTP 值。
 - a. CONTROL1[SOFT_RESET] = 1

在编程期间，器件在实际对 OTP 进行编程之前执行编程电压稳定性测试。如果编程电压未通过稳定性测试，则器件不会设置 OTP_CUST*_STAT[TRY] 位，从而使客户能够再次尝试对该页面进行编程。

如果主机错误地选择了用于编程的页面，则会设置 OTP_PROG_STAT[PROGERR] 位。这表明所选页面不可进行编程。选择正确的页面并重试编程。

4 电芯电压检测 (VCn) 和电芯均衡 (CBn)

电压监控通过 VCn 引脚实现，而电芯均衡通过 CBn 引脚实现。每个 VCn 引脚通过主 SAR ADC 进行测量，从而确保获得最准确的读数。准确读取这些连接值对于实现更好的性能至关重要，因此应遵循以下设计建议。

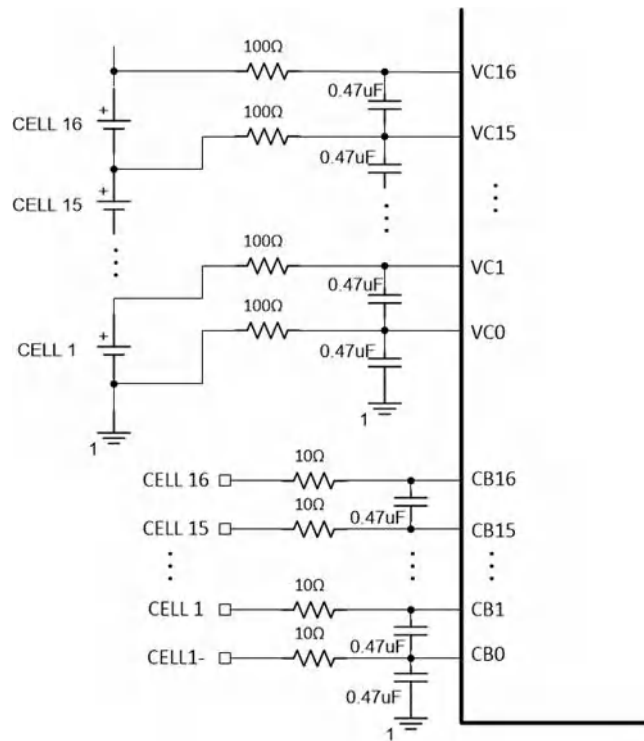
4.1 电芯电压检测 (VCn)

VCn 引脚是测量电芯电压的主要输入。VC0 是底部电芯负极端子的低侧基准，VC16 是顶部电芯正极端子的高侧基准。

应使用串联电阻将输入端连接到电芯，以便限制流入引脚的电流并保护 IC 免受系统瞬变的影响。当 BQ79616-Q1 上使用的电芯少于 16 个时，必须按顺序使用下部电芯。在图 4-1 中所示的场景中可以找到未使用的电芯连接。

VCn 引脚的建议滤波电容器为 0.47 μ F/16V。

建议使用 100 Ω 作为 VCn 引脚的串联滤波电阻器。100 Ω 是一个优化值，可以保护 VCn 引脚免受热插拔的影响并提供更好的滤波。但如果考虑使用 100 Ω 之外的另一个值，则应对其进行仿真，以便为系统选择优化的值。



备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，图中未显示此建议，有关详细信息，请参阅数据表。

图 4-1. 电芯电压监控

4.2 电芯均衡 (CBn)

该器件在每个 CB 通道上集成了内部电芯均衡 MOSFET (CBFET)，以实现被动电芯均衡。可以使用 `BAL_CTRL2[AUTO_BAL]` 位通过两种方法（自动和手动）来配置电芯均衡控制。若要设置电芯均衡控制，请参阅 BQ79616-Q1 数据表中的“设置电芯均衡”部分。

均衡电流由电芯电压、与 CB 引脚串联的外部电阻器以及内部 CBFET $R_{DS(ON)}$ 决定。本文档将介绍如何选择外部电阻器来获得所需的电芯均衡电流。

4.2.1 非相邻电芯均衡

通过设置 `[AUTO_BAL] = 1` 来配置自动均衡控制。在自动均衡控制模式下，以奇偶顺序启用 CBFET。

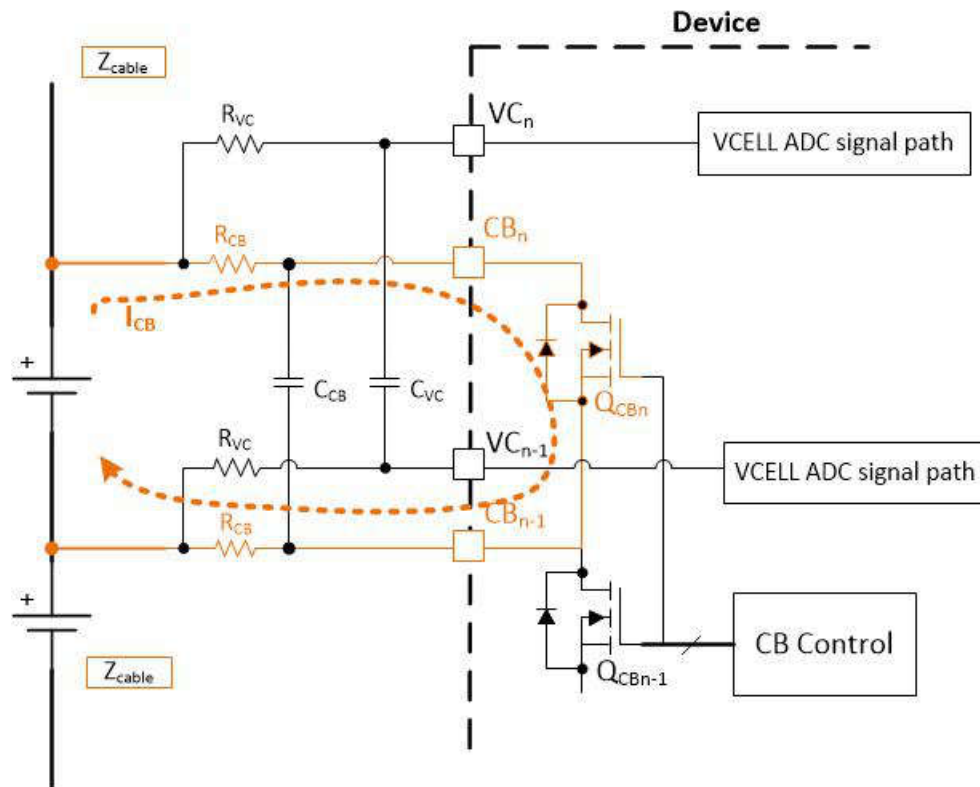


图 4-2. 内部 CB 图 (非相邻电芯均衡)

图 4-2 显示了电芯均衡电流路径。电芯均衡电流 (I_{CB}) 取决于电芯电压 (V_{CELL}) 和均衡路径的电阻 ($2 \times R_{CB} + R_{DS(ON)}$)。公式如方程式 2 所示。 R_{CB} 是串联电阻。 $R_{DS(ON)}$ 是内部 FET 导通时的电阻。路径的总电阻越高，流经的电芯均衡电流就越低。

为了获得目标电芯均衡电流，可通过以下两个步骤选择 R_{CB} 。

步骤 1：选择 R_{CB} 值

考虑最高 $R_{DS(ON)}$ 和最高工作温度下的期望电芯均衡电流，使用方程式 3 中的公式来计算 R_{CB} 值。

步骤 2：计算 R_{CB} 额定功率

R_{CB} 的额定功率可通过在最小 $R_{DS(ON)}$ 下的最高电芯均衡电流计算得出。图 4-3 中显示了一个示例计算，说明如何选择 R_{CB} 值和额定功率来获得所需的电芯均衡电流。

$$I_{CB} = \frac{V_{CELL}}{R_{DS(ON)} + 2 \times R_{CB}} \quad (2)$$

$$R_{CB} = \frac{1}{2} \left(\frac{V_{BAT}}{I_{CB}} - R_{DS(ON)} \right) \quad (3)$$

Cell Balancing Resistor Calculation Example

Assume desired cell Balancing Current is 240 mA at 80°C with 4.2 cell voltage.

1. Calculation for Cell Balancing Resistor

$V_{BAT} = 4.2V$ → Voltage of Battery

$I_{CB} = 240\text{ mA}$ → Desired Cell Balancing Current

$R_{DS(on)} = 5\ \Omega$ → Maximum Resistance of Internal FET at 80°C

$$R_{CB} = \frac{1}{2} \times \left(\frac{4.2\text{ V}}{240\text{ mA}} - 5\ \Omega \right)$$

$$R_{CB} = 6.25\ \Omega$$

2. Calculation for Power rating for R_{CB} at worst case

$V_{BAT} = 4.2V$ → Voltage of Battery

$R_{CB} = 6.25\ \Omega$ → Cell Balancing Resistor

$R_{DS(on)} = 1.25\ \Omega$ → Minimum Resistance of Internal FET at Cold Ambient

$$I_{CB} = \frac{V_{cell}}{2 \times R_{CB} + R_{DS(on)}}$$

$$I_{CB} = \frac{4.2\text{ V}}{2 \times 6.25\ \Omega + 1.25\ \Omega}$$

$$I_{CB} = 305\text{ mA}$$

$$R_{CB}\text{ Power rating} = V_{BAT} \times I_{CB}$$

$$R_{CB}\text{ Power rating} = 305\text{ mA} \times 4.2\text{ V}$$

$$R_{CB}\text{ Power rating} = 0.58\text{ W}$$

图 4-3. 电芯均衡电阻器示例计算

被动均衡会向裸片散热，从而随着均衡电流的增加而提高裸片温度。请参阅 BQ79616-Q1 数据表，了解根据环境温度建议的最大均衡电流。

4.2.2 相邻电芯均衡

通过设置 [AUTO_BAL] = 0 来配置手动均衡控制。在手动均衡控制模式下，主机可启用两个连续的 CBFET，并且最多可启用总共八个 CBFET（请参阅图 4-4）。

但是，当启用两个相邻通道时，均衡电流高达非相邻通道均衡电流的两倍或更高。如果使用相邻电芯均衡，系统设计人员应考虑到这一点。请参阅方程式 4 来选择适合的相邻电芯均衡串联电阻器 (R_{CB})。

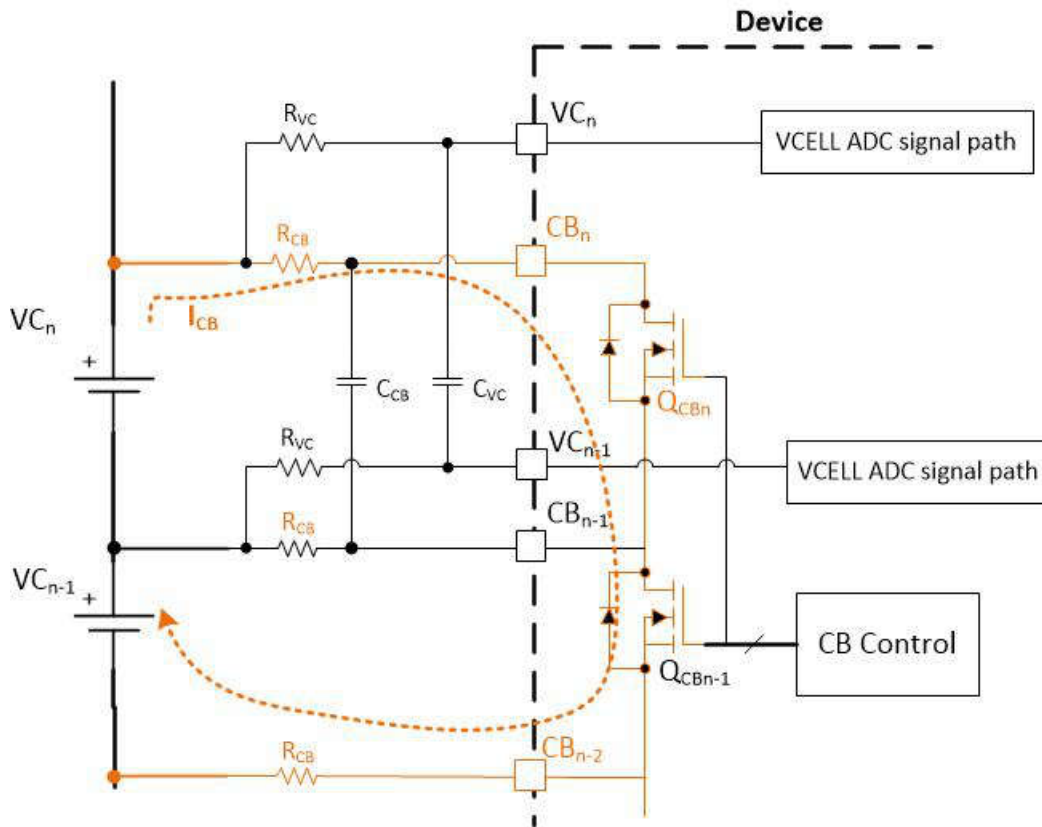


图 4-4. 相邻电芯均衡

$$I_{CB} = \frac{2 \times V_{Cn}}{(2 \times R_{CB}) + R_{dson}(Q_{CBn}) + R_{dson}(Q_{CBn-1})} \quad (4)$$

4.2.3 采用外部 FET 的电芯均衡

BQ79616-Q1 在 105°C 下可处理最大 240mA 的电流。如果需要更大的电流，电芯均衡引脚可支持外部 FET，如图 4-5 所示。可以使用以下公式来计算具有外部 FET 的电芯均衡电流。BQ79616-Q1 数据表中提供了该配置的详细信息。

关于外部均衡，需要注意一些事项。首先，FET 和引脚之间的串联电阻用于在热插拔期间保护引脚，而电容器用于确保 FET 在热插拔期间不会导通。另外注意，在选择 FET 时应考虑以下条件。

1. V_{DS} 必须基于由电池组电压确定的降额要求进行选择。
2. V_{GS} 阈值必须足够低才能在计划用于均衡的最低电池电压下导通。MOSFET 的栅极可看到一半的电池电压，因此，必须选择 MOSFET 的 V_{GS} ，以便在最低电池电压的一半处提供足够低的 $R_{DS(ON)}$ 。

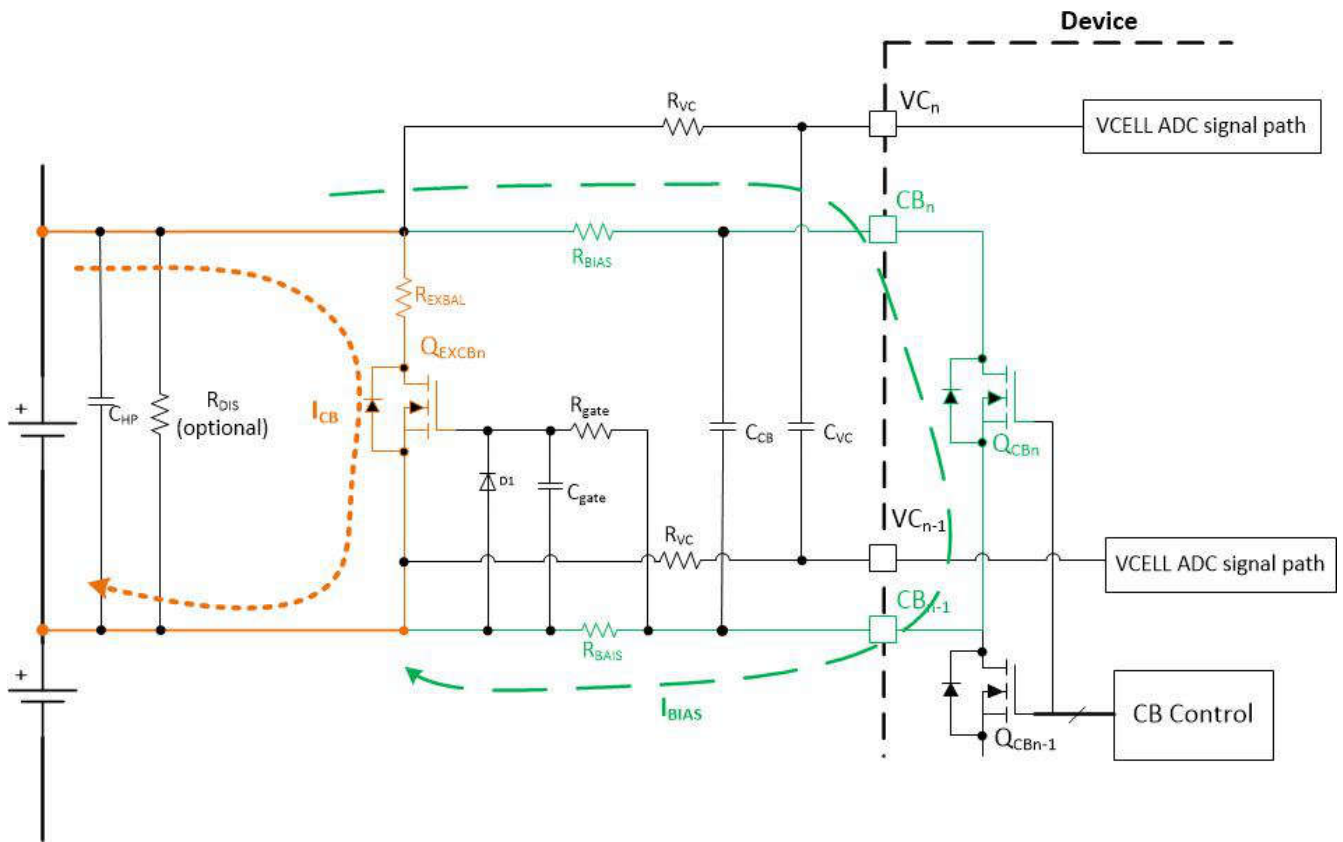
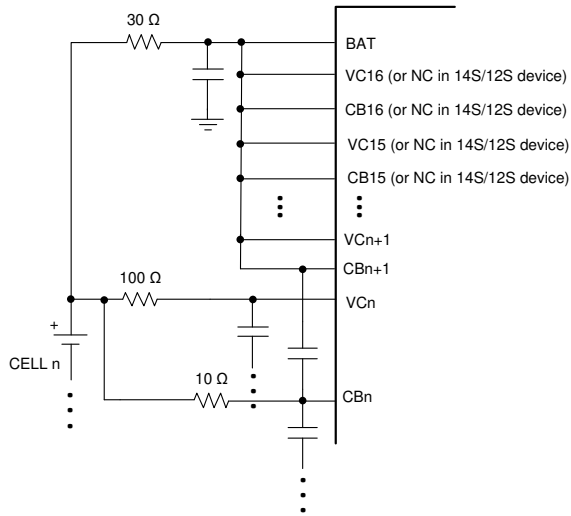


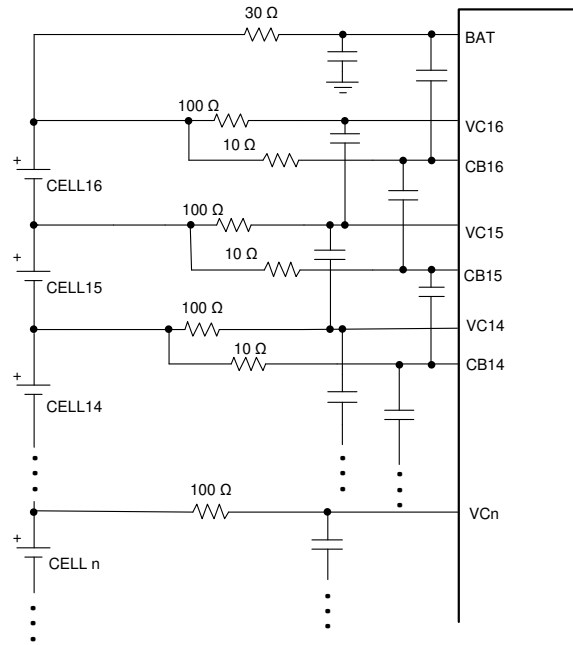
图 4-5. 外部 FET 电芯均衡

4.3 使用少于 16 个电芯

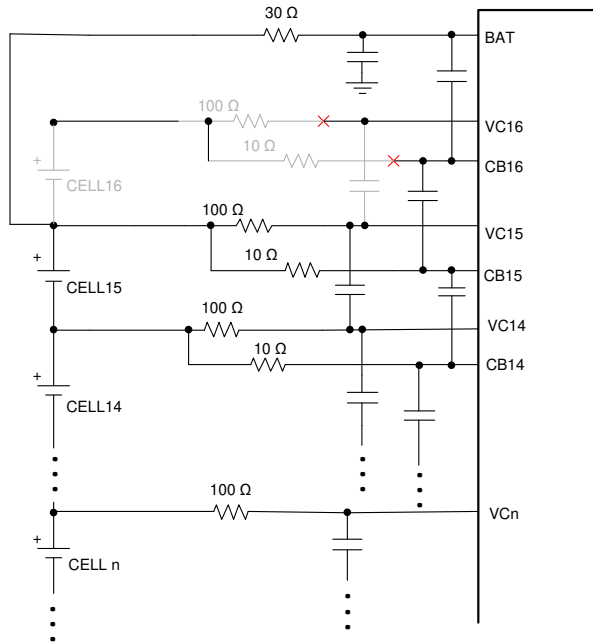
如前所述，BQ79616-Q1 可支持 6 至 16 个电芯。VCn 输入必须按升序使用，从 VC0 开始。有关连接少于 16 个电芯的更多信息，请参阅图 4-6 场景。



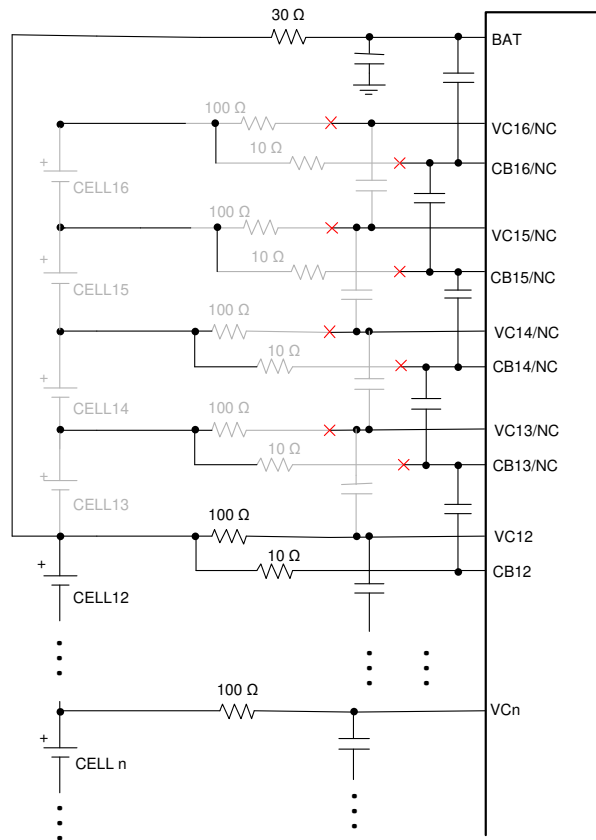
(a) Customized PCB for certain channels applications - Short unused pins to BAT Pin



(b) One PCB for all channels applications – For BQ79616: Configured for 16 VC and CB



(c) One PCB for all channels applications – For BQ79616: Configured for 15 VC and CB
If floating the unused VC and CB pins, capacitors in black corresponding to CB pins need to be populated, but capacitors and resistors in grey corresponding to VC and CB pins need to be unpopulated



(d) One PCB for all channels applications – For BQ79612: Configured for 12 VC and CB
If floating the unused VC and CB pins, capacitors in black corresponding to CB pins need to be populated, but capacitors and resistors in grey corresponding to VC and CB pins need to be unpopulated

图 4-6. 连接少于 16 个电芯

4.3.1 设计汇总

- 电芯均衡电流 I_{CB} 取决于电芯电压和路径的电阻。
- 选择 CBn 电阻值时必须考虑最高环境温度下所需的均衡电流。使用 [方程式 3](#) 中的公式计算正确电阻。
- 建议使用 $100\ \Omega$ 电阻器作为 VCn 引脚的串联电阻器。 $100\ \Omega$ 是一个优化值，可以保护 VCn 引脚并让电芯电压读数保持精确。
- VCn 输入连接必须从最低输入 VC0 开始，然后按升序连接。
- 使用的 CBn 输入必须与所用的 VCn 相对应。
- 如果充电电流超过 240mA，请使用外部 FET。有关详细信息，请参阅 BQ79616-Q1 数据表。

5 汇流条支持

该器件支持在两种类型的连接中进行汇流条测量。首先，汇流条可以通过 BBP 和 BBN 引脚连接至专用汇流条通道。或者，汇流条可以连接至 VC 通道。本节将介绍连接汇流条的两种方法，以及每种配置的电芯均衡处理。

5.1 BBP/BBN 上的汇流条

该器件通过 BBP/BBN 引脚提供专用汇流条通道，用于汇流条连接和测量。该通道是一个“悬空”通道，让汇流条可以连接至除模块底部电芯之外的任何电芯。

作为一种替代方法，可以将汇流条连接到下部栈器件的 BBP/BBN，而不是将 BBP/BBN 与底部电芯 (VC1-VC0) 连接，如 [图 5-1](#) 所示。

使用汇流条通道可以更大限度地利用不同模块尺寸的器件中的电芯通道。如 [图 5-2](#) 所示，在将汇流条连接到 BBP/BBN 时，可以通过 3 个 CMC 监控 4×12 个电芯，而不会浪费任何引脚。

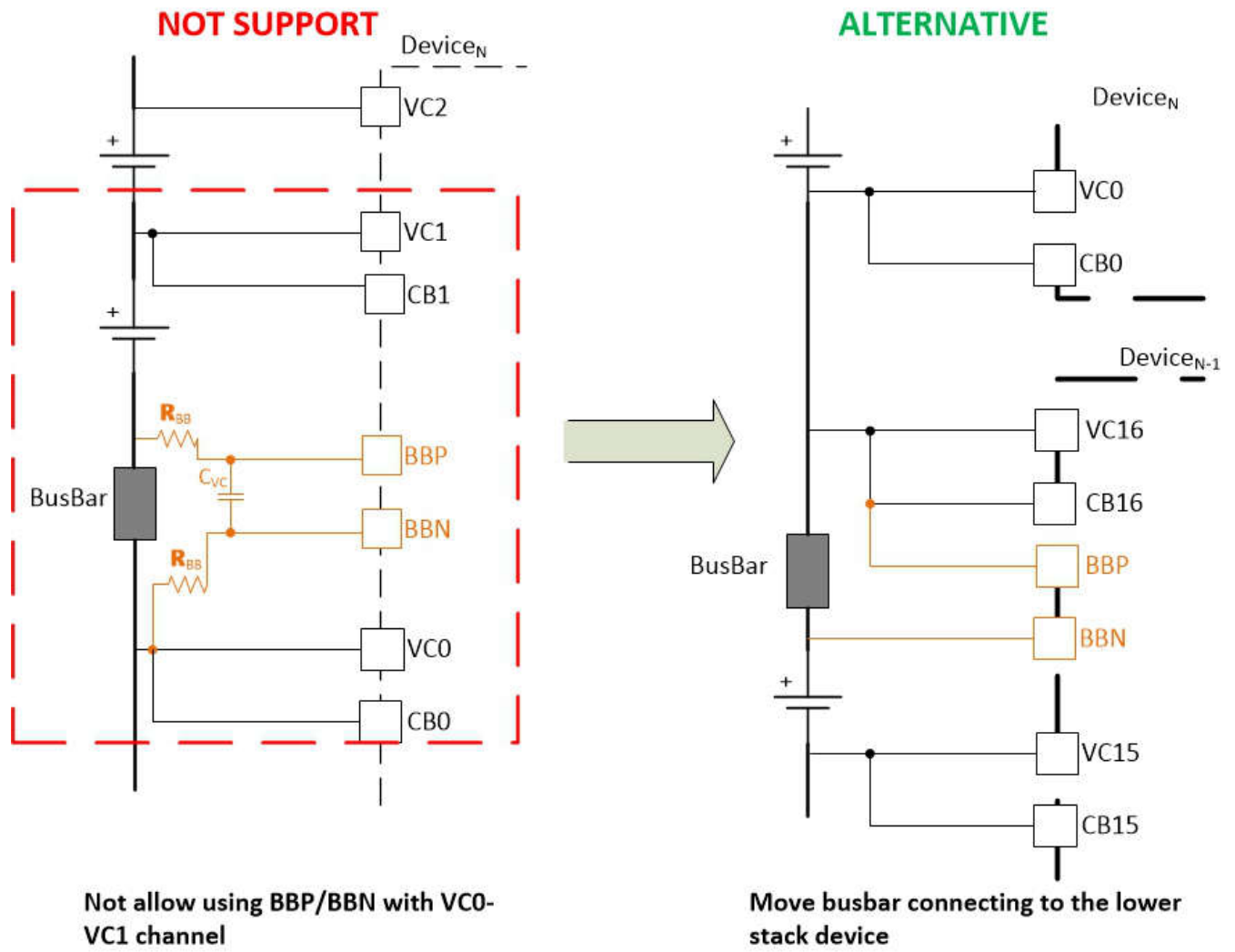
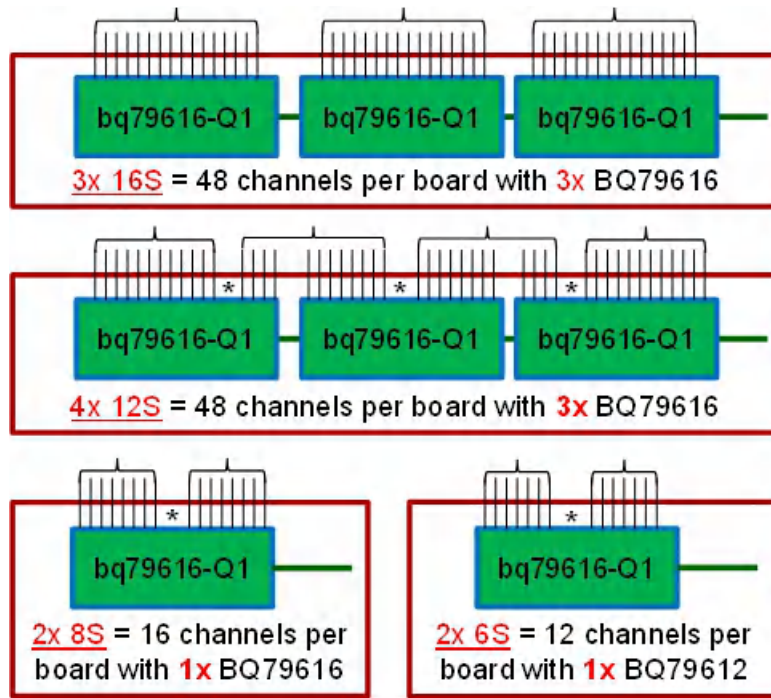


图 5-1. 到下部栈器件的替代汇流条连接



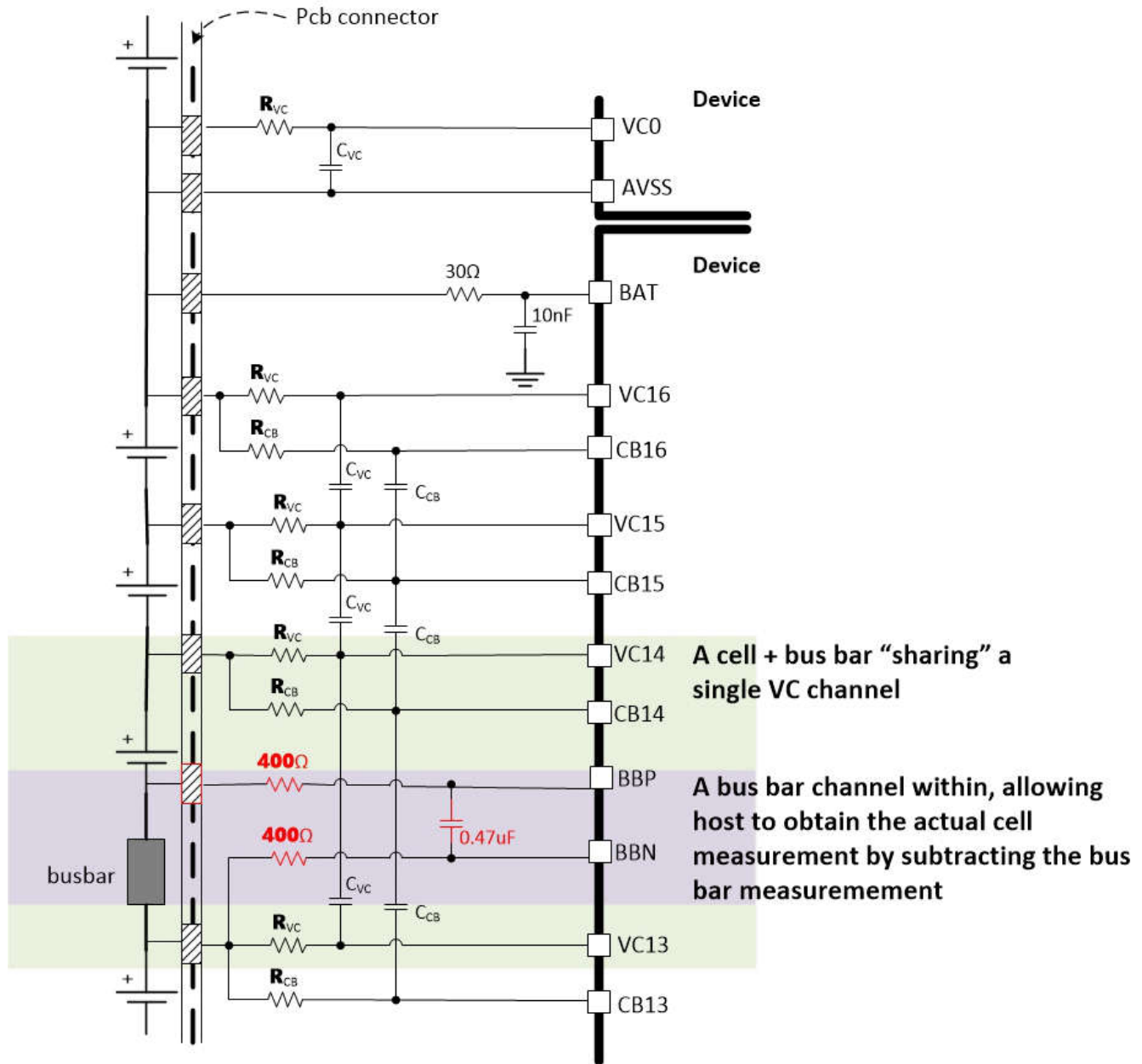
* 表示每个模块尺寸示例中的汇流条位置。

图 5-2. 不同模块尺寸下的 BBP/BBN 连接示例

5.2 典型连接

通过将汇流条连接到 BBP/BBN，目的是让电芯 + 汇流条共享单个电芯通道 (VC 通道) (请参阅图 5-3 连接)。通常，这种连接会给系统的电芯测量带来额外的 IR 误差。该器件支持通过 BBP/BBN 实现专用汇流条通道，从而允许主机测量汇流条电压，以获得实际的电芯测量值。

如果汇流条连接到任何中间 VC 通道，则图 5-3 中的连接适用。也就是说，在单个器件中，有一个电芯连接在 BBP/BBN 通道的上方和下方。为了支持汇流条通道上的热插拔，该器件仅需要在 BBP/N 引脚上各连接一个 400 Ω 滤波电阻器，并在 BBP/N 引脚上各连接一个 0.47μF/16V 差分电容器。



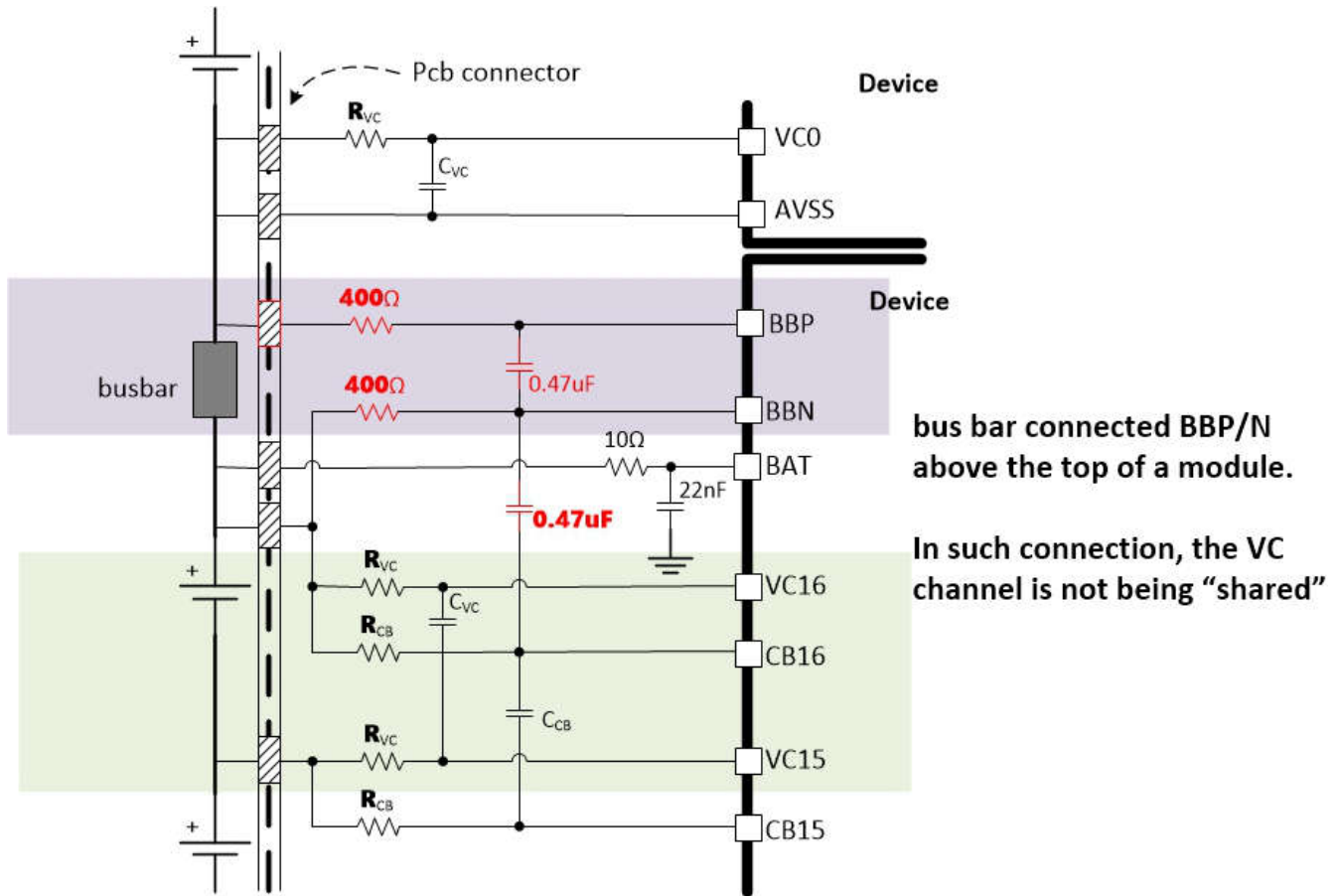
备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，上图中未显示此建议，有关详细信息，请参阅数据表。

图 5-3. 任何中间 VC 通道连接的汇流条的 BBP/N 连接

如果连接到 BBP/N 的汇流条放置在模块顶部（请参阅图 5-4 连接），则此类连接是 BBP/N 情况下的例外，即不共享电芯通道。在此连接中，通过 VC 通道进行实际的电芯测量，主机不需要执行另外计算。

如果汇流条连接到模块顶部，则图 5-4 中的连接适用，其中在单个器件中，汇流条上方未连接任何电芯。为了支持汇流条通道上的热插拔，除了在 BBP/N 引脚上各连接一个 400Ω 滤波电阻器，还要在 BBP/N 引脚上各连接一个 0.47 μF/16V 差分电容器。如果在顶部电芯上方使用了汇流条，则还需要一个额外的 0.47μF/16V 差分电容器，从 BBN 连接到顶部 CB 引脚。这个额外的电容器形成从模块中的所有电芯到汇流条的完整电容器梯，从而在热插拔期间允许在电容器梯上分配高尖峰电压。



备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，图中未显示此建议，有关详细信息，请参阅数据表。

图 5-4. 模块顶部上方连接的汇流条的 BBP/N 连接

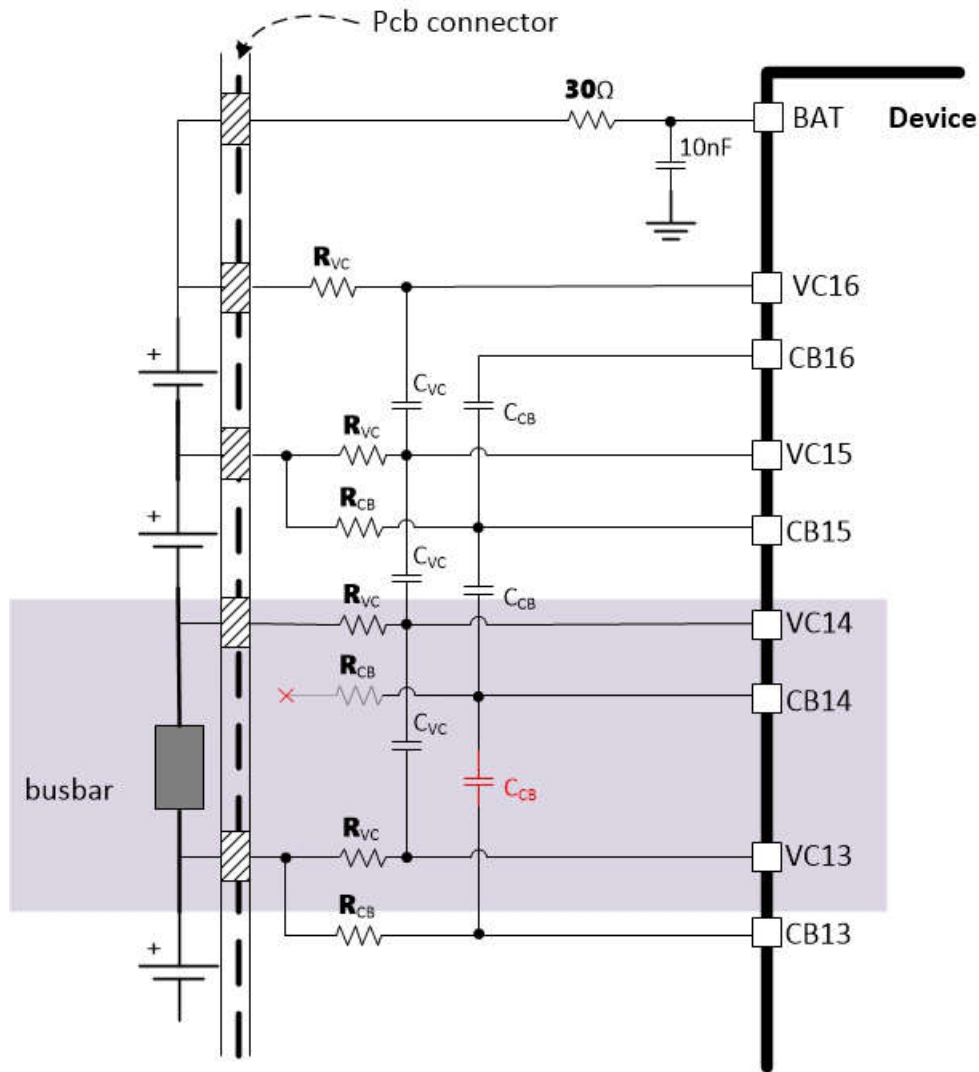
5.2.1 电芯均衡处理

由于汇流条与电芯到电芯通道共享，因此对电芯均衡控制没有特殊处理。主机应知道共享通道上的 VCB_DONE 检测 (通过 VC 通道) 中引入了额外的 IR 误差。

5.3 单独的 VC 通道上的汇流条

当汇流条单独连接到某个 VC 通道时，该通道的上部 CB 引脚应保持悬空，避免内部 CBFET 正向偏置 (请参阅图 5-5 连接)。此连接适用于单独连接到任何中间 VC 通道的汇流条。也就是说，在单个器件中，有一个电芯连接在 VC 通道的上方和下方，并连接了汇流条。

为了确保热插拔性能，即使上部 CB 引脚悬空，连接汇流条的 CB 通道应该仍具有图 5-5 中的差分电容器 C_{CB}。此电容器由所有电芯和连接到器件的汇流条形成完整的电容器梯，从而允许热插拔期间在电容器梯上分布高电压尖峰。

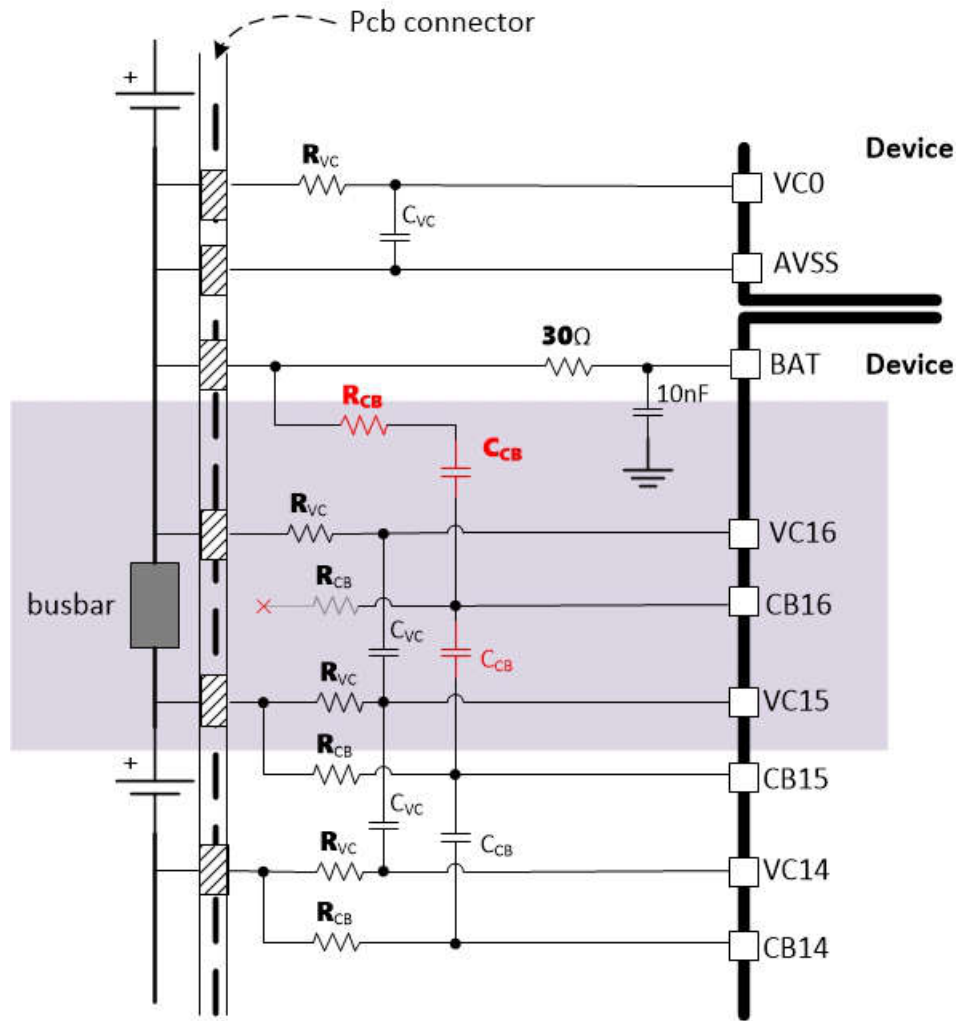


备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，图中未显示此建议，有关详细信息，请参阅数据表。

图 5-5. 连接到任意中间单独 VC 通道的汇流条

如果汇流条连接到模块顶部上方的单独 VC 通道（请参阅图 5-6 连接），则该通道的上部 CB 引脚应保持悬空，但仍然应连接 CB 差分电容器（图 5-6 中的 C_{CB} ）。此外，从顶部 CB 引脚到 BAT 引脚应连接一个 RC 滤波器。这个额外的 RC 滤波器（使用与 CB 引脚上其他 RC 滤波器相同的 RC 值）用于确保完整的电容器梯。它用于在热插拔事件期间以与其余 CB 引脚相同的 RC 常数分配高压尖峰。



备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，图中未显示此建议，有关详细信息，请参阅数据表。

图 5-6. 汇流条连接模块顶部上方的单独 VC 通道

5.4 多汇流条连接

5.4.1 两个汇流条连接到一个器件

两个汇流条可以单独连接到 VC 通道，如图 5-7 所示。第一个汇流条连接至通道 VC4 - VC3。对于电芯均衡路径，CB4 悬空。同样，第二个汇流条连接至通道 VC6 - VC7。CB7 也悬空。每个汇流条必须至少相隔两个通道。

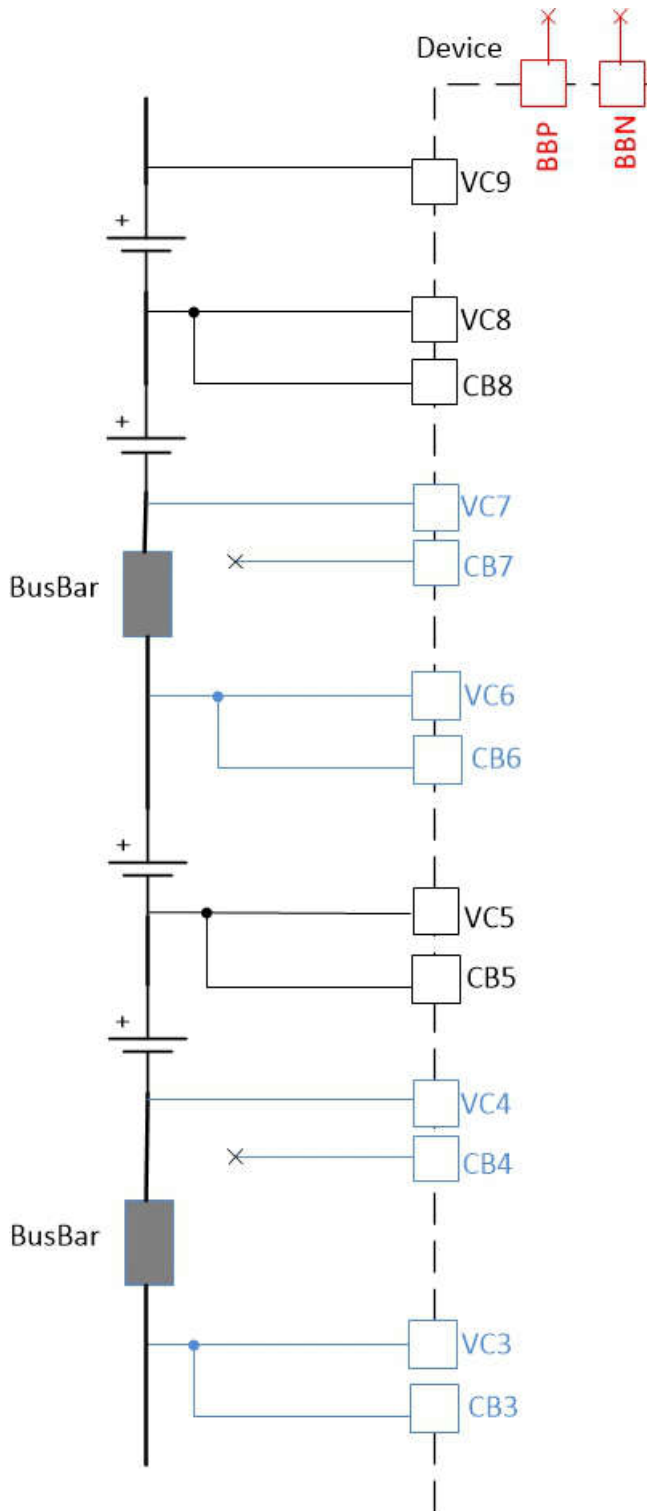


图 5-7. 使用两个不同 VC 通道的两个汇流条连接

5.4.2 三个汇流条连接到一个器件

BQ79616-Q1 最多支持将三个汇流条连接到一个器件。可以将一个额外汇流条连接到专用汇流条引脚 (BBP/N)，而将两个汇流条连接到每个 VC 通道，如图 5-8 中所示。第一个和第三个汇流条分别连接到每个通道 VC4 - VC3 和 VC7 - VC6。第二个汇流条连接到专用汇流条引脚 BBP/N。

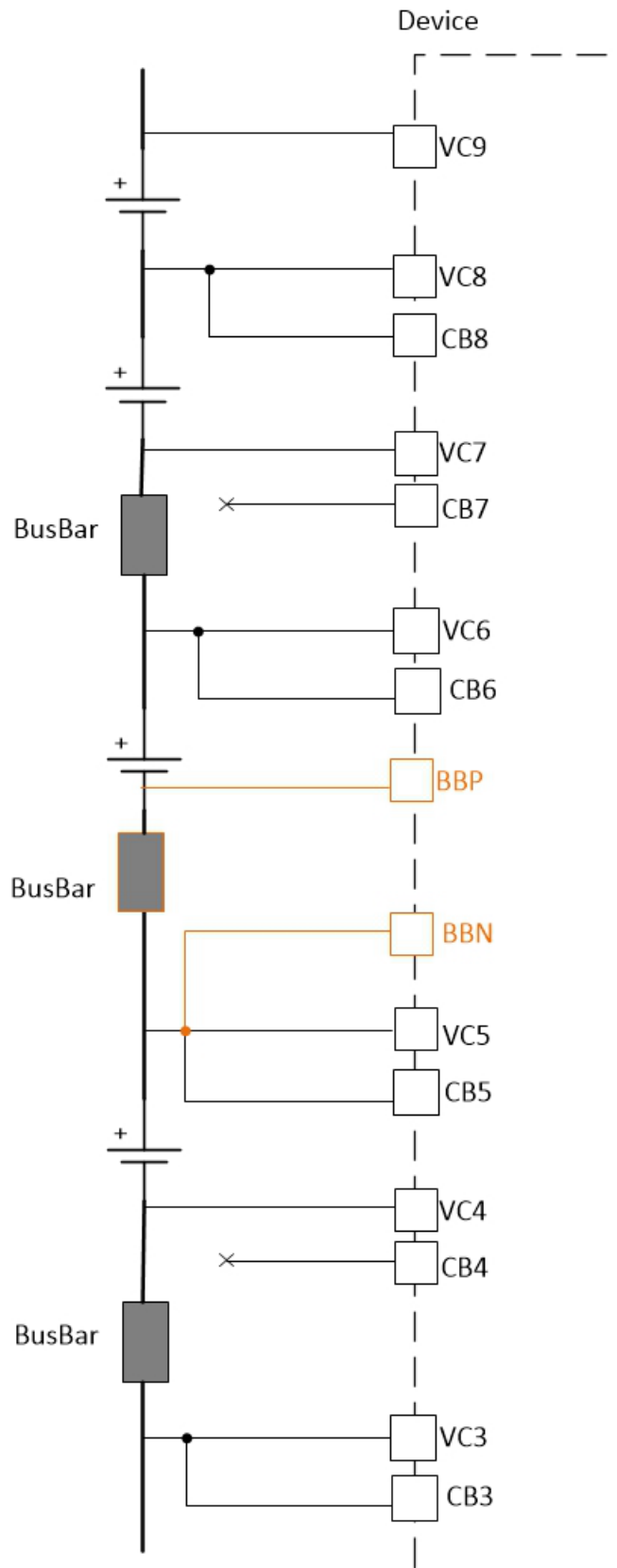


图 5-8. 利用 BBP/N 引脚实现多个汇流条连接

5.4.3 电芯均衡处理

当汇流条连接到 VC 通道时，系统必须打开两个相邻的内部 FET 来平衡汇流条上方的电芯，如图 5-9 所示。系统必须使用手动均衡模式来开启两个相邻的 FET。由于必须导通两个串联 CB FET 才能实现电芯均衡，因此均衡电流会稍低一些。要计算汇流条连接到 VC 通道时的电芯均衡电流，请参阅方程式 5。

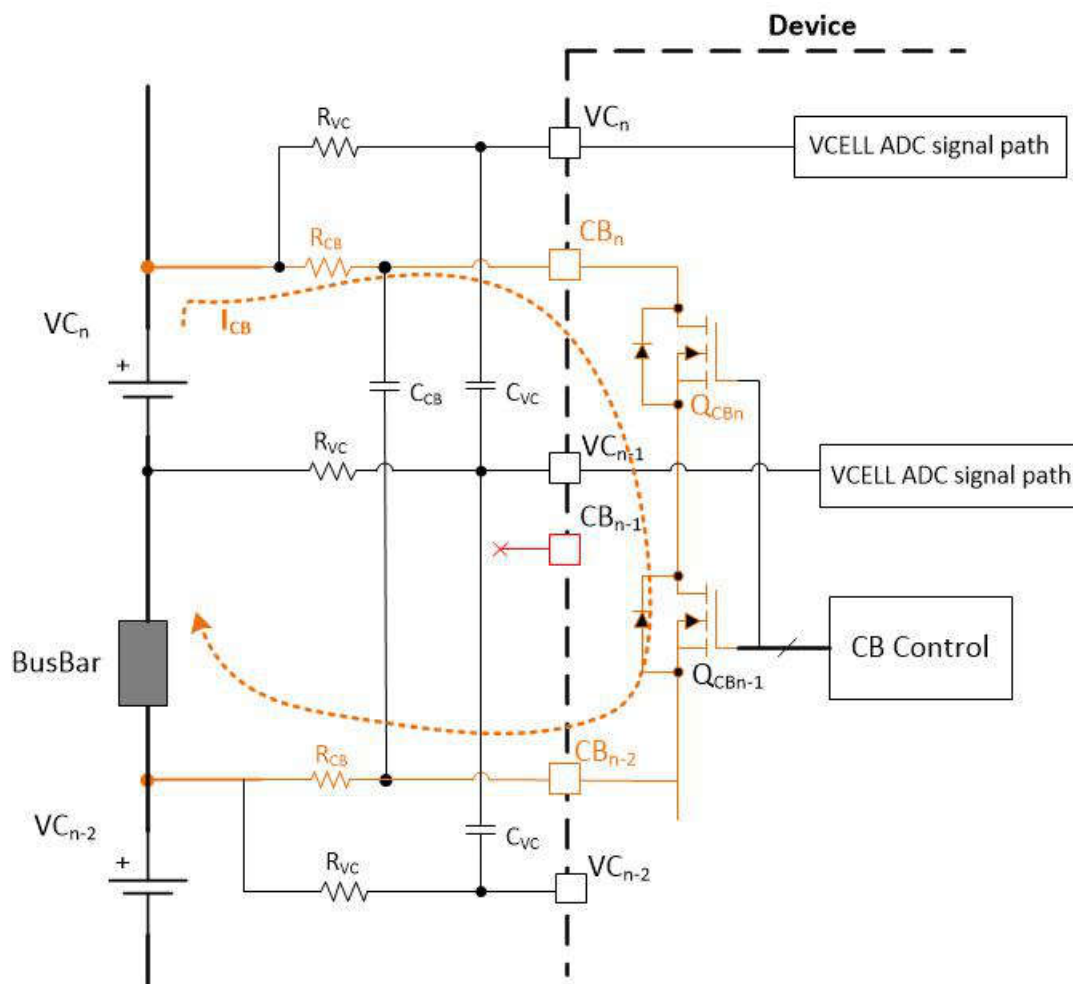


图 5-9. 具有汇流条连接的内部 CB 图

$$I_{CB} = \frac{VC_n}{(2 \times R_{CB}) + R_{DSon}(Q_{CBn}) + R_{DSon}(Q_{CBn-1})} \quad (5)$$

6 TSREF

TSREF 是偏置外部 NTC 的电源基准，应通过 1μF/10V 电容器旁路至 AVSS。当使用热敏电阻进行温度测量时，将 TSREF 连接到电阻分压器网络的顶部，如节 7.1 所示。BQ79616-Q1 支持通过主 ADC 进行比例式测量。集成式 OT、UT 比较器具有广泛的可编程阈值，可支持不同的 R1 和 R2 电阻比。TSREF 不应连接到其他引脚来获取电源。

7 通用输入/输出 (GPIO) 配置

BQ79616-Q1 上提供了八个 GPIO 引脚。这些引脚可用于温度测量、直流模拟信号测量、数字输入或输出以及 SPI。可以在非易失性 RAM 中选择引脚的行为，如数据表中所述。如果信号离开电路板，则应该在引脚处使用齐纳二极管来保护输入。

未使用的 GPIO 引脚应具有一个连接到 AVSS 的外部 10kΩ 下拉电阻器。

7.1 比例式温度测量

比例式电压测量常用于外部温度检测。要测量外部温度传感器，GPIO 连接必须在 TSREF 至 AVSS 之间连接一个电阻分压器，并且 GPIO 连接到中心抽头。然后将 NTC 从 TSREF 连接到 GPIO，或从 GPIO 连接到 AVSS。或者，可以使用低通滤波器（ C_{GPIO} 和 R_{GPIO} ）过滤 GPIO 输入，以便减少高频噪声，如图 7-1 所示。

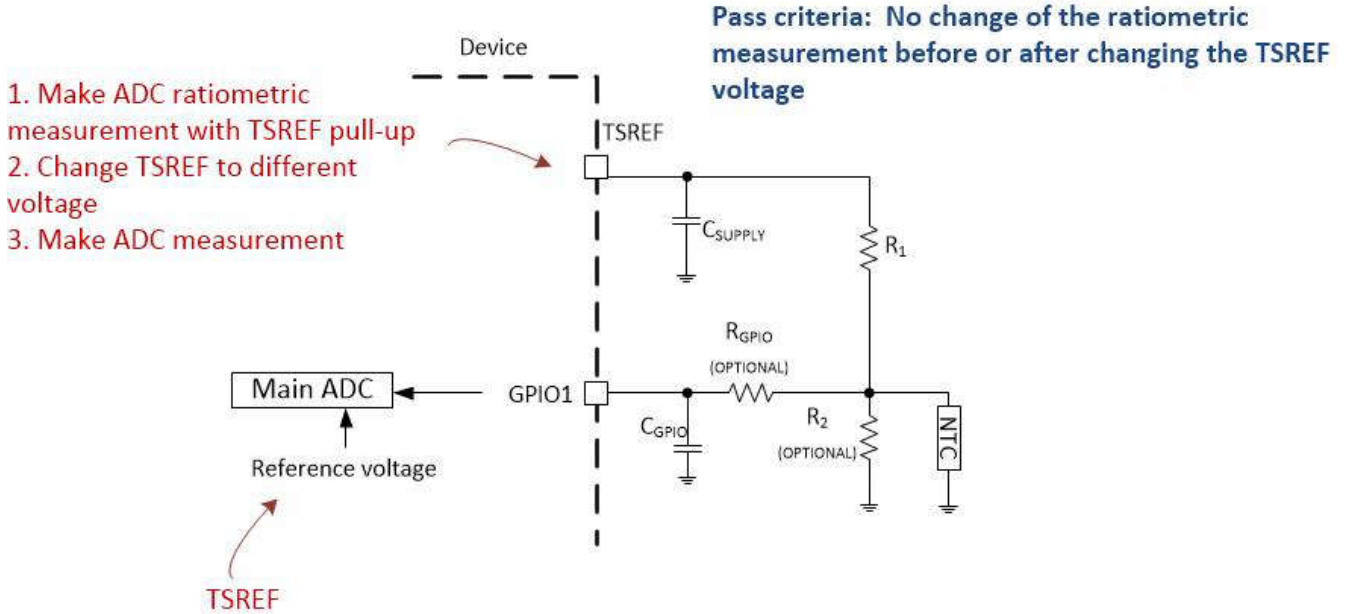


图 7-1. GPIO 比例式测量

主 ADC 会循环测量 TSREF 和 GPIO 电压。微控制器通过方程式 6 计算比例式电压。

$$\frac{V_{GPIO}}{V_{TSREF}} = \frac{R_{NTC}}{R_{NTC} + R_1} \quad (6)$$

温度精度受 ADC 测量误差和外部元件误差的影响。使用比例式测量可以大大减小 ADC 测量误差。此外，外部电路的容差越高，温度检测就越精确。

7.2 SPI 模式

GPIO[7:4] 的一个用途是作为 SPI 主器件。SPI 模式下的引脚连接与一般数字连接相同，但 SPI 配置取代了 GPIO 引脚配置。图 7-2 显示了 GPIO[7:4] 用于数字信号传输或 SPI 模式的示例连接。

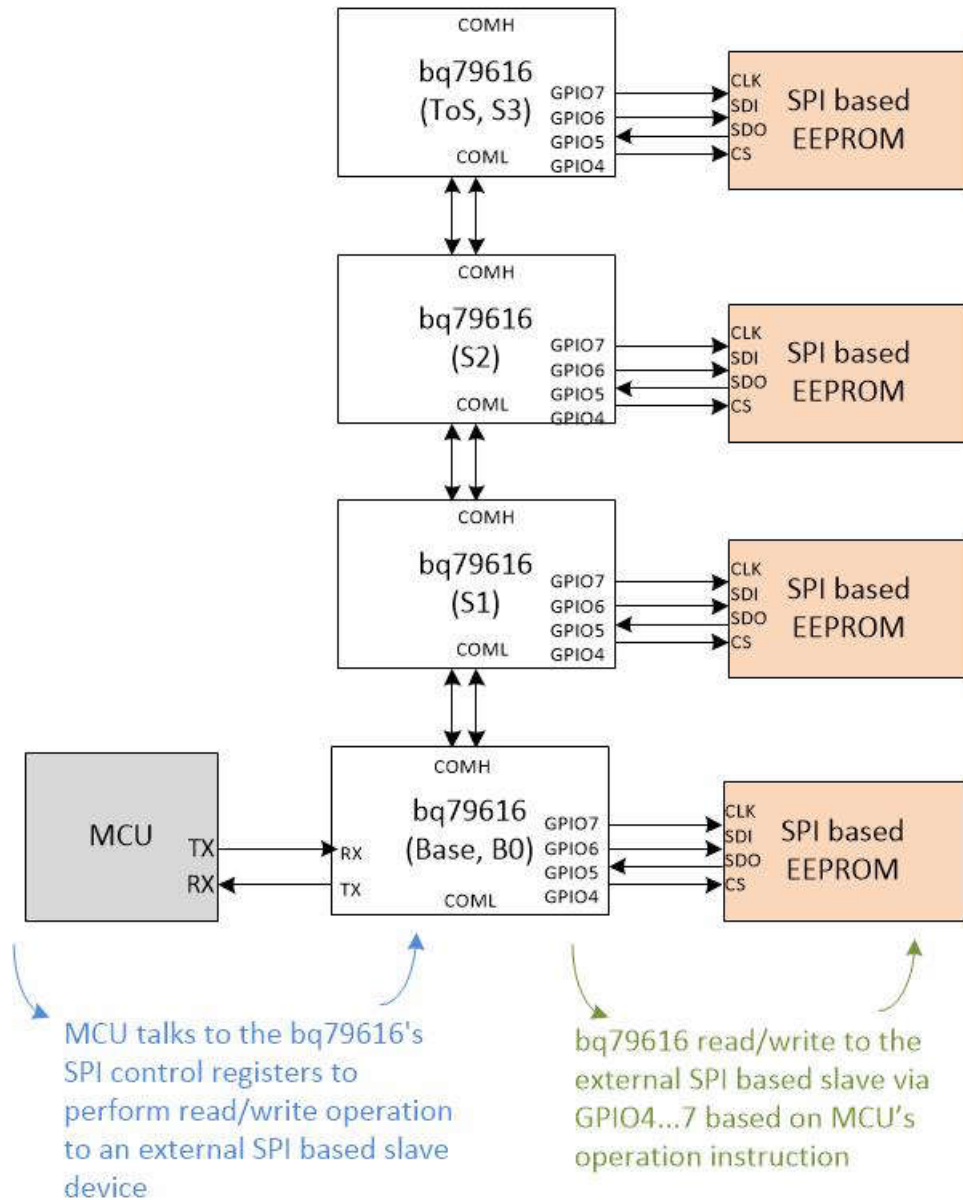


图 7-2. SPI 主器件连接示例

未使用的 GPIO 引脚应通过 10kΩ 下拉电阻器连接到 AVSS。默认情况下，GPIO 引脚在内部配置为具有弱下拉电阻器的输入，因此应适当地对 GPIO 配置进行编程，避免出现漏电流。

7.2.1 通过 SPI 从器件支持 8 个 NTC 热敏电阻

单个 4 通道 2:1 开关可用于在 SPI 和热敏电阻输入之间切换。TI 提供单个开关，并可由 CVDD 供电，如图 7-3 所示。

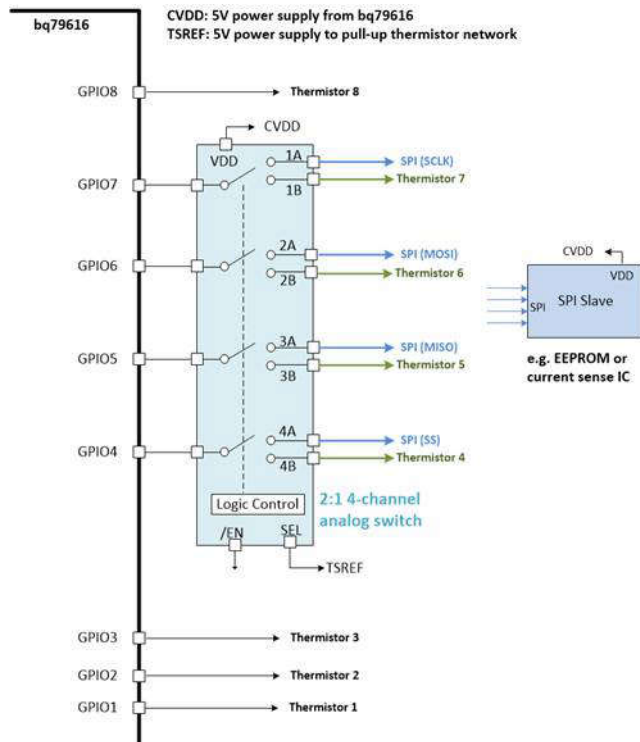


图 7-3. 8 个带有 SPI 从器件的 NTC 热敏电阻

启用 TSREF 会选择开关的“B”路径，这些路径都连接到 NTC 来进行温度测量。禁用 TSREF 会禁用所有热敏电阻网络，并且还会选择开关的“A”路径来允许 SPI 通信。此配置对温度测量诊断没有影响，并且在温度测量方面仍然符合 ASIL-D 标准。

7.2.2 设计汇总

1. 使用分压器网络将外部温度传感器连接到 GPIO。
2. 用于温度测量的 GPIO 引脚必须具有一个连接到 TSREF 的上拉电阻器，其电阻等于标称温度下 NTC 的电阻。每个输入还必须有一个 $1\text{k}\Omega$ 电阻器和一个 $1\mu\text{F}$ 电容器。
3. 从非板载连接信号的 GPIO 引脚必须使用齐纳二极管钳位。
4. 直流电压读数需要一个 $1\text{k}\Omega$ 电阻器和一个 $1\mu\text{F}$ 电容器。
5. 要在 SPI 模式下使用 GPIO，请使用 GPIO4 - GPIO7。未使用的 GPIO 必须下拉至 GND。
6. GPIO 引脚均可编程为具有弱下拉的输入，使输入保持悬空。不得允许引脚保持为悬空输入。对引脚重新编程，使其成为输出或添加下拉电阻器。
7. BQ79616-Q1 可以使用 4 通道 2:1 开关通过 SPI 从器件支持 8 个 NTC 热敏电阻，且此配置对温度测量诊断没有影响。

8 基底器件和桥接器件配置

BQ79616-Q1 的单端通信线路通常是指堆栈中通过 SPI 和 UART 与主机微控制器进行通信的基底器件（仅使用 BQ79600-Q1 提供 SPI）。配置基底器件有两种主要方法。第一种方法是将 BQ79600-Q1 用作桥接器件，如图 8-1 所示；第二种方法是使用带有基底器件的隔离电路，如图 8-2 所示。本文档将介绍使用 BQ79616-Q1 作为基底器件。要使用通信扩展器（也称为桥接器件），请参阅 BQ79600-Q1 数据表和设计注意事项。有关如何配置桥接器件的概述，请参阅图 8-1。

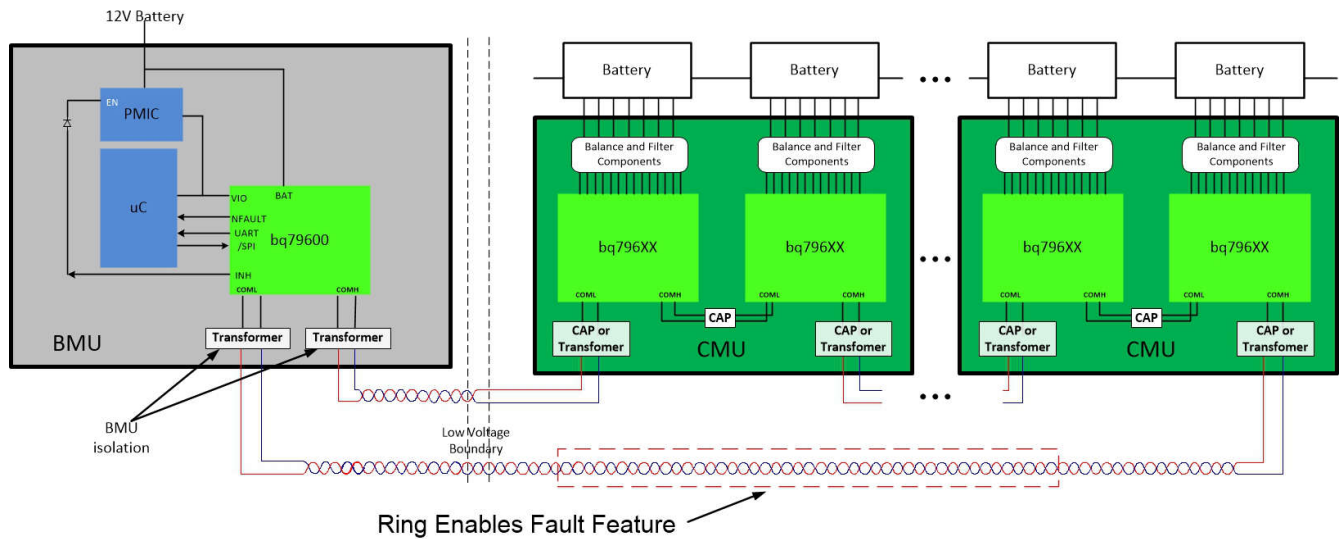


图 8-1. 与桥接器件 BQ79600-Q1 通信

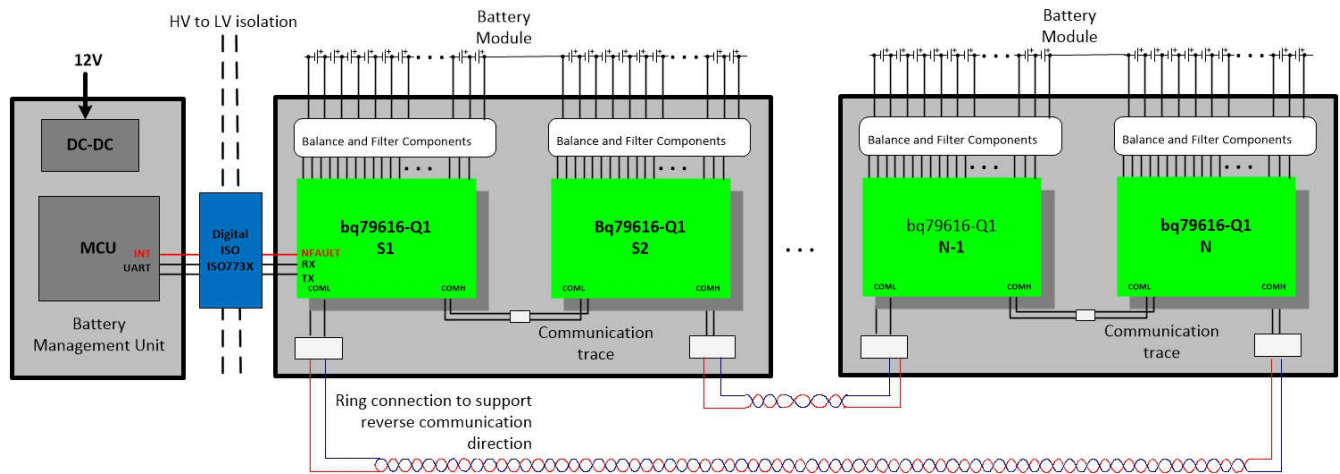


图 8-2. 使用 BQ79616-Q1 作为带有隔离电路的基底器件

8.1 电源模式 ping 和音调

8.1.1 电源模式 ping

ping 是通过 RX 引脚从 MCU 发送到基底器件的特定高-低-高信号。ping 在基底器件上使用，因为只有基底器件连接到可访问 UART RX 的主机。该器件会检测 ping 的低电平脉冲持续时间，从而区分不同的 ping。共有 4 种不同的 ping，如图 8-3 所示。

- 通过 RX 引脚执行 WAKE ping
- 通过 RX 引脚执行 SHUTDOWN ping
- 通过 RX 引脚执行 SLEEPtoACTIVE ping
- 通过 RX 引脚执行 HW_RESET ping

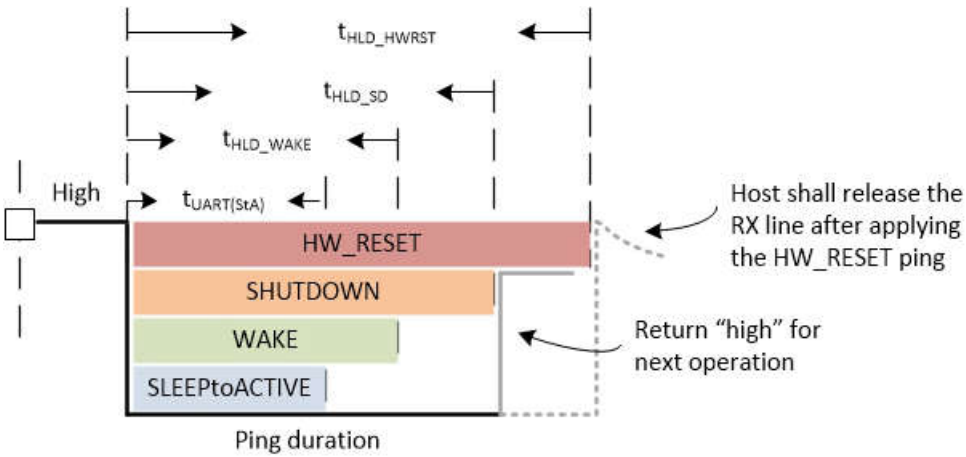


图 8-3. 通信 ping

8.1.2 电源模式音调

栈器件通过音调唤醒。音调是通过差分通信线路 COMH 和 COML 发送的一定数量的特定对。当器件通过音调唤醒时，它不是基底器件，而必须是栈器件。器件将根据相应的堆栈或基址检测来配置 COMH 和 COML 端口。共有 4 种与音调相关的不同电源模式，如图 8-4 所示。此外，还有两个与 FAULT 相关的额外音调。有关详细信息，请参阅 BQ79616-Q1 数据表中的“器件故障汇总”、“故障音调”和“心跳”部分。

- 通过 COMH/L 发出 WAKE 音调
- 通过 COMH/L 发出 SLEEPtoACTIVE 音调
- 通过 COMH/L 发出 SHUTDOWN 音调
- 通过 COMH/L 发出 HW_RESET 音调

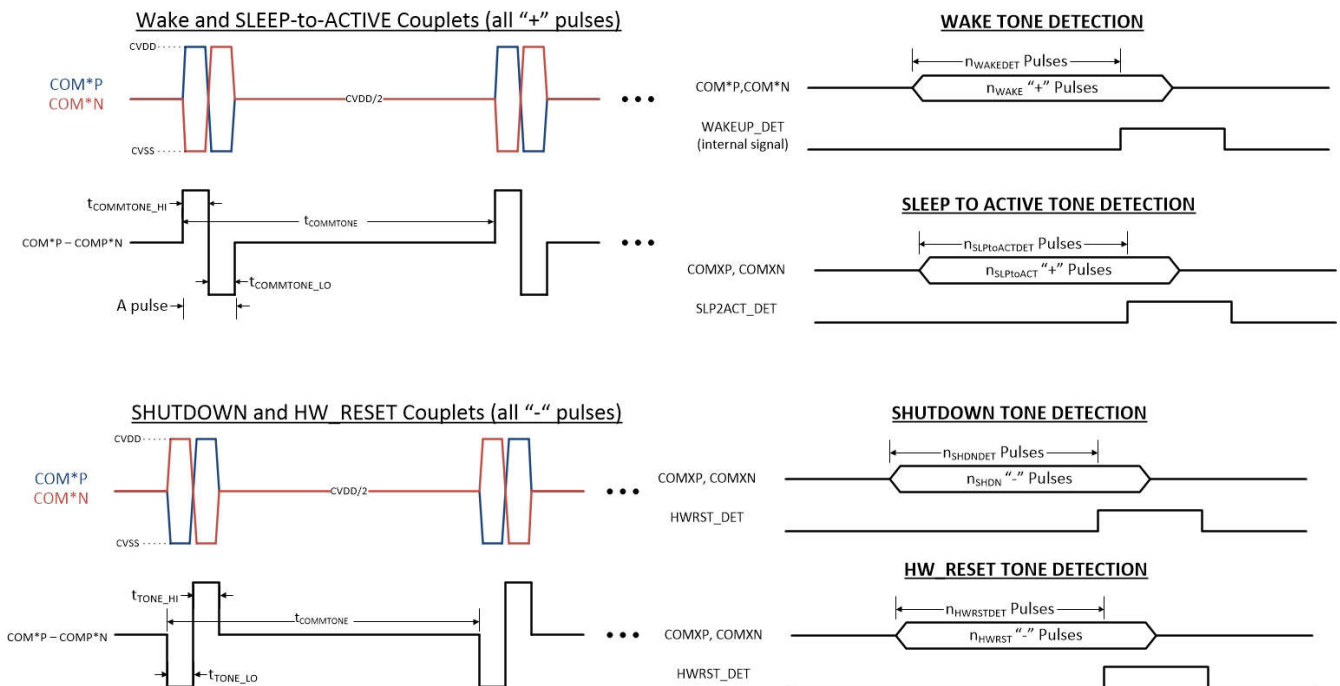


图 8-4. 通信音调

8.1.3 ping 和音调传播

在正常运行期间，主机只需向基底器件发送 WAKE 或 SLEEPtoACTIVE ping，就会向其余栈器件生成相应的音调，如图 8-5 所示。在系统开发过程中，如果需要仅向菊花链中的部分器件发送 WAKE 或 SLEEPtoACTIVE，则

主机可以使用 CONTROL1[SEND_WAKE] 或 CONTROL1[SEND_SLPTOACT] 位。SHUTDOWN 和 HW_RESET ping 或音调主要用作通信恢复尝试。因此，这些 ping/音调不可传播。

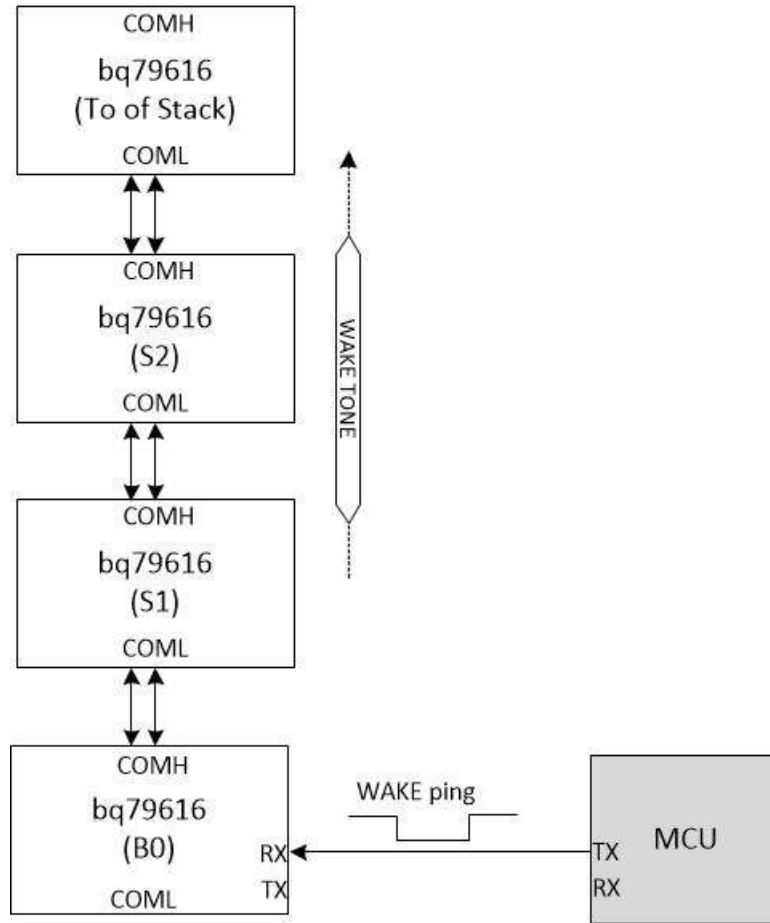


图 8-5. Ping/音调传播图

8.2 UART 物理层

该器件可以在多点配置 (DEV_CONF[MULTIDROP_EN] = 1) 等配置中作为独立器件运行，也可以在菊花链配置 (DEV_CONF[MULTIDROP_EN] = 0) 中作为基底/栈器件运行。在多点配置中，禁用菊花链通信，主机仅通过 UART 接口与单个器件通信。本章将介绍 UART 接口配置，重点介绍菊花链通信。

UART 通过 TX 引脚发送数据，通过 RX 引脚接收数据。空闲时，TX 和 RX 引脚为高电平。UART 接口要求 RX 通过基底器件上的 100kΩ 电阻器上拉至 CVDD。RX 应在 BQ79616 侧上拉。请勿断开 RX 的连接。对于堆栈器件，确保 RX 直接连接到 CVDD。

在栈器件中禁用 TX，但必须通过基底器件上主机侧的 100kΩ 电阻器拉高，以防止在未连接通信电缆时或在断电或 SHUTDOWN 状态期间（此时 TX 具有高阻抗）触发无效的通信帧。在 ACTIVE 或 SLEEP 模式下，无论启用还是禁用，TX 始终在内部拉至 CVDD。如果未在堆栈器件中使用，请将 TX 保持未连接状态。NFAULT 是一个低电平有效故障指示器，如果发生故障，它会拉至低电平，从而向主机发出信号，指明发生故障。因此，NFAULT 引脚应有一个连接到 CVDD 的 100kΩ 上拉电阻器。如果器件是栈器件，则 NFAULT 可保持未连接状态。

有关使用数字隔离器进行基底器件通信的信息，请参阅表 8-1。

表 8-1. UART 物理层检查清单

列表	引脚	基底器件	堆叠器件	栈顶器件
1	RX	100kΩ 上拉至 CVDD, 51pF 至 GND	CVDD	CVDD
2	TX	主机侧的 100kΩ 上拉	浮点	浮点

表 8-1. UART 物理层检查清单 (续)

列表	引脚	基底器件	堆叠器件	栈顶器件
3	COMML+	栈顶的 COMMH+	下部器件的 COMMH+	下部器件的 COMMH+
4	COMML-	栈顶的 COMMH+	下部器件的 COMMH-	下部器件的 COMMH-
5	COMMH+	上部器件的 COMML+	上部器件的 COMML+	基底器件的 COMML+
6	COMMH-	上部器件的 COMML-	上部器件的 COMML-	基底器件的 COMML-
7	NFAULT	100k Ω 上拉至 CVDD	浮点	浮点

8.2.1 设计注意事项

- 对于基底器件，为主机侧的 CVDD 和 RX 提供一个用于 RX 和 NFAULT 的 100k Ω 上拉电阻器。
- 对于堆叠器件，使 NFAULT 和 TX 保持悬空
- 对于堆叠器件，将 RX 连接到 CVDD
- 将 BQ79600-Q1 用作桥接器件时，还要使用 100k Ω 电阻器上拉 RX 和 TX，并使用 100k Ω 电阻器将 NFAULT 上拉至 CVDD。

9 菊花链堆叠配置

在堆叠配置中，主微控制器首先使用 UART 通信接口与 BQ79616-Q1 基底器件通信。然后，通信使用专用差分通信协议通过由 COMMH \pm 和 COMML \pm 引脚互连组成的交流耦合差分链路中继到已连接的从 BQ79616-Q1 器件的链中。图 9-1 中提供了此连接的简要示意图。

在 BQ79616-Q1 与 BQ79600-Q1 通信扩展器搭配使用时，主机微控制器首先通过 UART 或 SPI 经由桥接器件进行通信。然后，按图 9-2 所示，通过 COML 和 COMH 引脚在已连接从属 BQ79616-Q1 器件链中纵向传递指令。

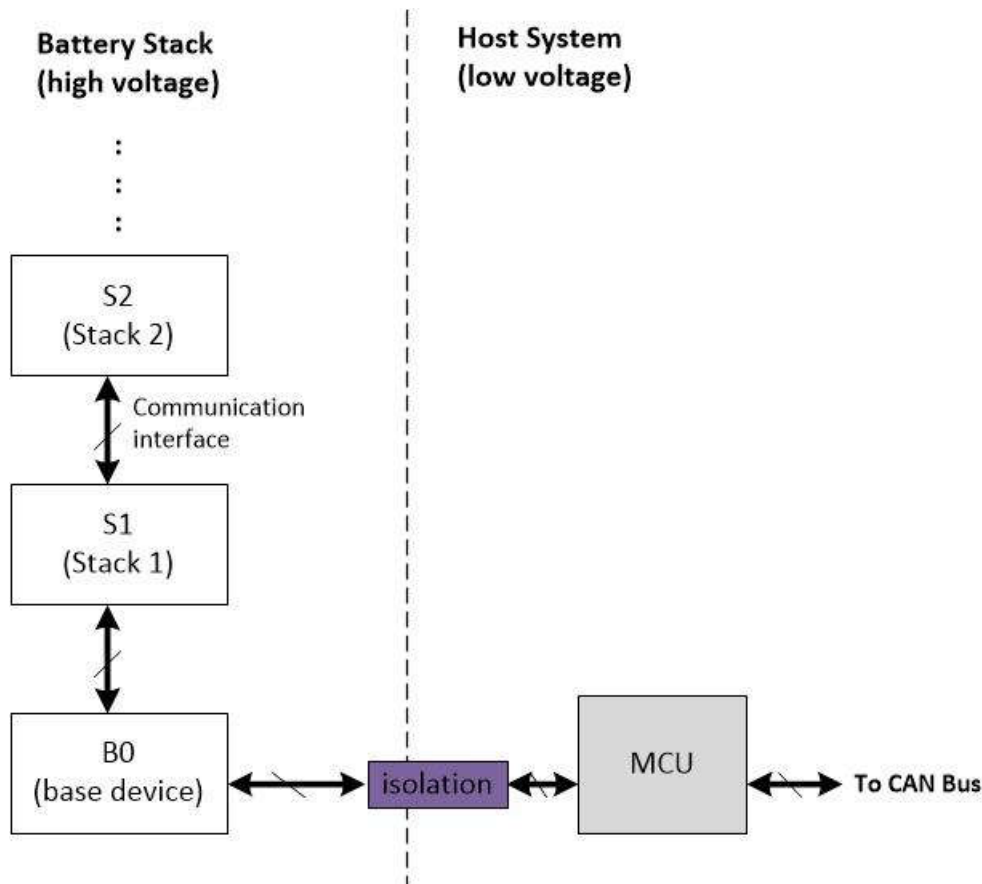


图 9-1. 带基底器件的菊花链结构

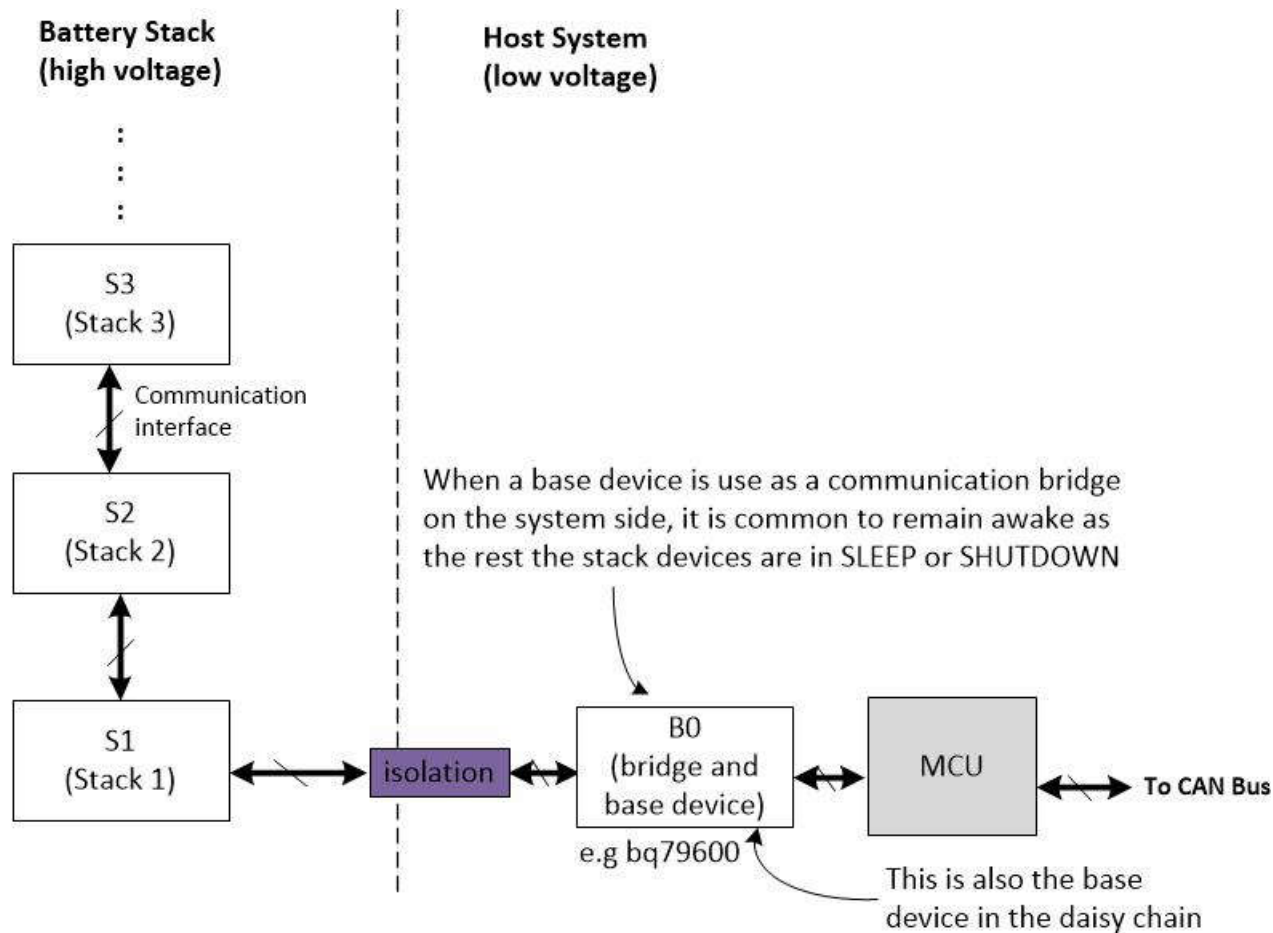


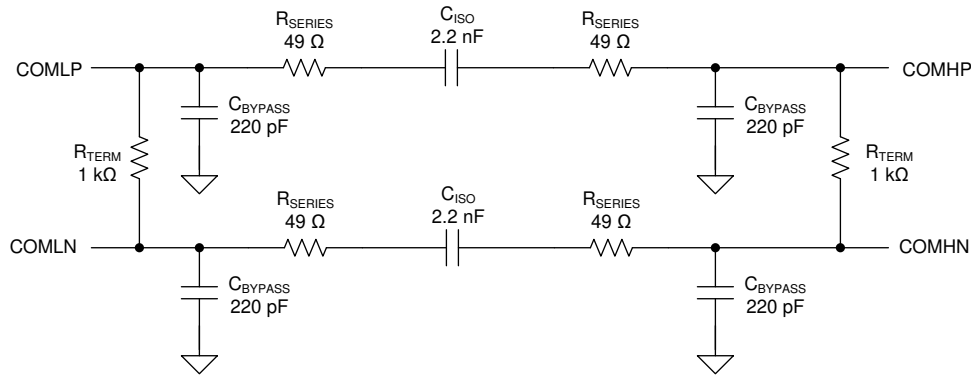
图 9-2. 带桥接器件的菊花链结构

9.1 通信线路隔离

许多应用需要多个以菊花链形式连接的 BQ79616-Q1 器件，这些器件通过电缆隔开或位于同一 PCB 上。电缆会带来额外的挑战，并且在嘈杂的环境中需要额外的元件。这个噪声问题有 3 种不同的解决方案：仅电容器隔离、电容器和扼流圈隔离以及变压器隔离。以下各节会讨论这些解决方案。

9.1.1 仅电容器隔离

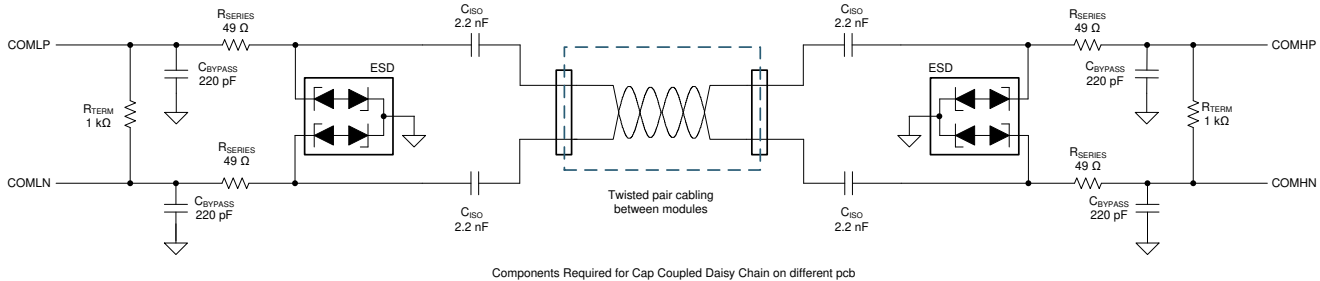
第一个解决方案是电容器隔离，该解决方案非常适合用于降低噪声以及为位于同一 PCB 上的 IC 提供电压隔离。图 9-3 显示了此配置在同一 PCB 上连接两个 IC 的情况。必须在高侧和低侧添加一个 $10\text{k}\Omega$ 端接电阻器。此外，必须在高侧和低侧的每条线路上添加一个 49Ω 电阻器和 220pF 电容器，来实现额外的滤波。电容器必须为 2.2nF ，且电压额定值是当地电芯组电压的两倍。例如，对于 400V 系统，需要 800V 电容器。必须在两条 $\text{COMM}\pm$ 线路上完成此配置。



Components Required for Cap Coupled Daisy Chain on the same PCB

图 9-3. 同一 PCB 中的电容耦合菊花链所需的元件

图 9-4 显示了两个隔开的 PCB 之间的电容耦合隔离。电容器需要为 2.2nF，电压范围是当地电芯组电压的两倍。一个电容器就足够了，但如果需要额外的安全性，则可以使用两个电容器，电缆的两端各一个。在这种情况下，必须使用 220pF 电容器。电容会直接影响性能，因此在选择元件时必须考虑所有预期电容和寄生电容。

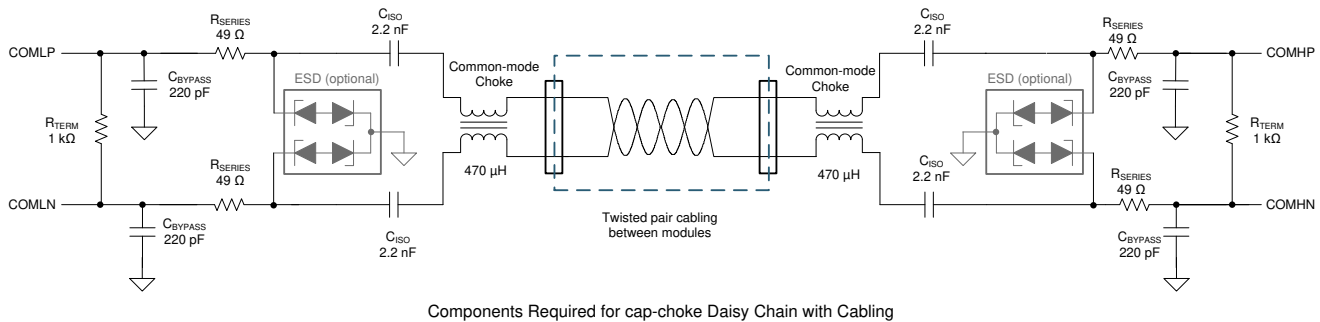


Components Required for Cap Coupled Daisy Chain on different pcb

图 9-4. 不同 PCB 中的电容耦合菊花链所需的元件

9.1.2 电容器和扼流圈隔离

如果电缆长度大于 2m，建议实施仅电容器隔离。否则，必须添加共模扼流圈。可以使用单或双扼流圈。在双共模滤波器中，必须使用 100μH 和 470μH 滤波器。在单滤波器模式下，线路必须具有 TDK 51μH、2.8kΩ 扼流圈（器件型号 ACT45B-510-2P-TL003）。



Components Required for cap-choke Daisy Chain with Cabling

图 9-5. 带布线的电容扼流圈菊花链所需的元件

9.1.3 变压器隔离

变压器隔离是从系统中消除共模噪声非常有效的方法。图 9-6 显示了此实施的两个选项。建议在选择变压器时使用以下参数：

- 电感 = 150μH 至 600μH
- 隔离电压 = 2500V 交流电压

建议使用 HMU1228 变压器和中心抽头 100pF 电容器。可以选择性地添加 PESD2CAN 来实现 ESD 保护。

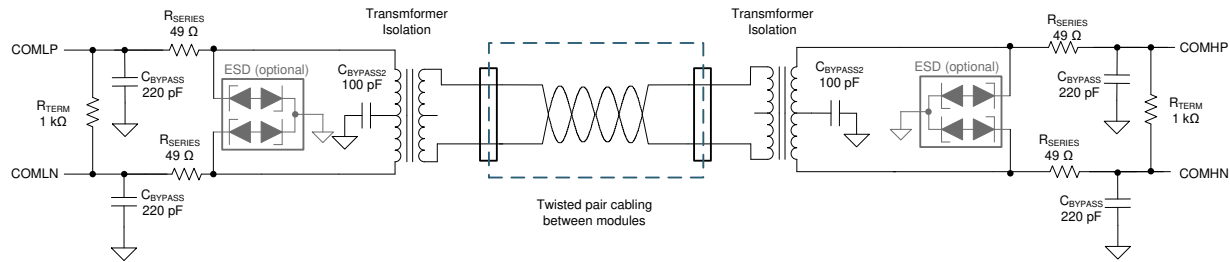


图 9-6. 变压器耦合菊花链所需的元件

无论选择哪种隔离方法，这些方法之间有一些共同点。首先是在正线和负线的高侧和低侧上进行 ESD 隔离之前使用 220pF 电容器和 49Ω 电阻器。

最后，每种设计都有一个端接电阻器。使用此电阻器是为了防止反射信号干扰通信。建议使用 1kΩ 电阻器。

在所有这些情况下，电阻器选择建议都是基于电路板之间的电缆长度，并且在所有情况下，模块之间都要使用双绞线电缆。这些噪声隔离方法的主要目的是从信号中消除共模噪声。更多详细信息，请参阅节 15。

对于所选的任何设计，都建议添加额外的 ESD 保护。以下章节中所示的 PESD2CAN 可在通信线路上提供 ESD 隔离。

9.1.4 设计汇总

- 对于位于同一 PCB 上的器件，每条 COMM± 线路上都必须有一个 2.2nF 隔离电容器，其额定电压是电芯组电压的两倍。
- 除了隔离方法外，位于同一 PCB 上的器件连接以及 PCB 之间的连接的每端都必须有一个端接电阻器。
- 通过电缆进行通信时，可以采用三种类型的噪声隔离方法：
 1. 仅电容器隔离
 - a. 仅推荐用于电缆长度小于 2m 的情况
 2. 电容器和扼流圈隔离
 - a. 电缆长度超过 2m
 - b. 器件型号：适用于单模式扼流圈的 ACT45B-510-2P-TL003
 3. 变压器隔离
 - a. 建议使用 HMU1228 和 HM2147 变压器
- 建议在通信线路之间使用 PESD2CAN 来增加 ESD 隔离
- 通信线路上的任何电容都对性能产生影响。必须计算所有专门电容和寄生电容并使其生效。

9.2 环形通信

该器件的菊花链通信允许使用环形架构。在该架构中，两个器件之间的电缆断开不会像正常的非环形方案那样阻止与所有上游器件的通信。当主机检测到通信接口断开时，该器件允许主机切换通信方向，以便与中断点两侧的器件进行通信。这样可以确保安全运行，直到线路中的中断点被修复。

CONTROL1[DIR_SEL] 控制通信方向。器件将根据 **[DIR_SEL]** 和 **[TOP_STACK]** 设置重新配置 COMH 和 COML 端口。需要执行自动寻址程序来对反向通信方向的器件地址进行重新寻址。

下面是一个示例，说明了如何为整个菊花链将通信方向更改为 **[DIR_SEL] = 1**。

1. 主机清除上一个栈顶器件
 - 在此步骤中，上一个 TOS 器件将重新启用其 COMH。
2. 主机发送单个器件写入来更改基底器件 **[DIR_SEL] = 1** (请参阅图 9-7 中的图 (a))
 - 基底器件将禁用其 COMH 并启用其 COML
3. 主机发送广播写入反向来更改其余器件的 **[DIR_SEL] = 1** (请参阅图 9-7 中的图 (b))

- 在此步骤中，整个菊花链设置为在 $[DIR_SEL] = 1$ 方向上进行通信（即每个器件设置为将主机发送的命令帧从其 COMH 传输到其 COML）
- 主机执行自动寻址程序以在 $DIR1_ADDR$ 寄存器中设置器件地址（请参阅图 9-7 中的图 (c)）
 - 除非器件已复位，否则主机可以跳过虚拟读取/写入步骤以在自动寻址程序中同步 DLL
 - 主机设置新的栈顶器件（请参阅图 9-7 中的图 (c)）
 - 在此步骤中，新的 ToS 器件会禁用 COML 发送器

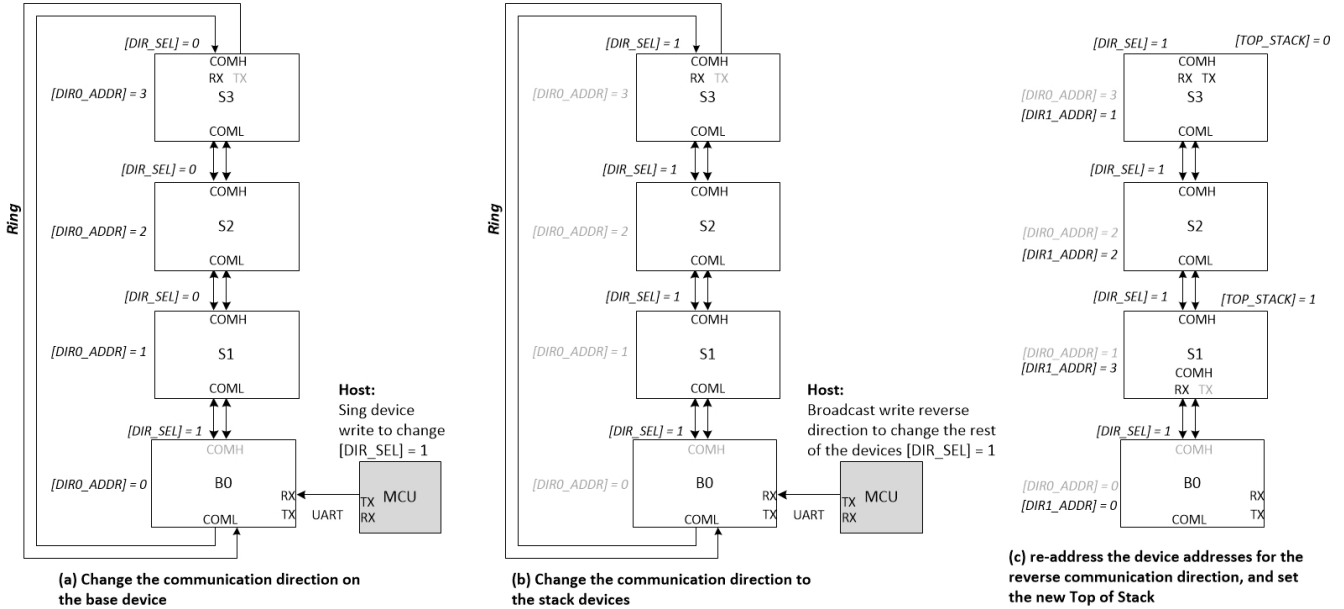


图 9-7. 更改菊花链中通信方向的示例

环形架构还支持 SLEEP 模式下的故障状态传输。在 SLEEP 模式下，以下故障检测仍有效。

- 客户和出厂 OTP 影子寄存器 CRC 校验
- 器件热警告
- 电源 OV、UV 和振荡检测
- 电芯 OV 和 UV 检测（如果启用了 OVUV 保护器）
- 热敏电阻 OT 和 UT 检测（如果启用了 OTUT 保护器）

由于在 SLEEP 模式下无法进行通信，因此该器件提供了一个可通过检测信号（器件处于正常状态）和故障音调（器件处于故障状态）传输故障状态的选项。这些音调以与通信命令帧相同的方向（基于 $CONTROL1[DIR_SEL]$ 设置）传输。为了使音调信号返回至基底器件（从而可以在需要时触发 NFAULT），必须使用一个环形架构来支持在 SLEEP 模式下传输故障状态。

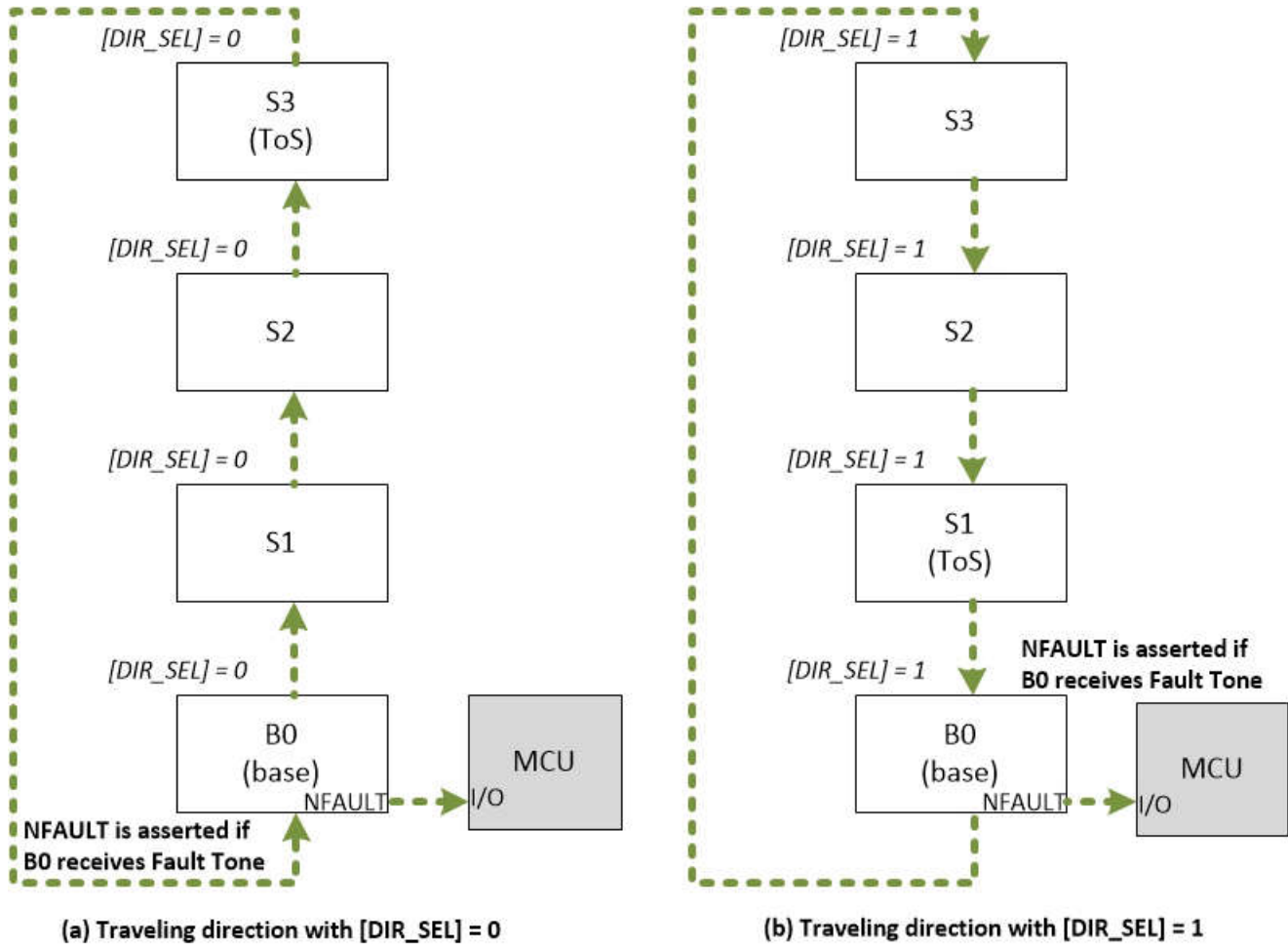


图 9-8. 检测信号或故障音调行进方向

9.3 重新计时

BQ7916-Q1 在 BQ7916-Q1 将信号发送到下一个器件之前重新生成每个通信信号。此功能用于防止在信号沿堆栈向上移动时对信号进行压缩。重新计时会生成理想波形，但也会增加约 4μs 的延迟。

图 9-9 显示了实验图像，在该实验中，18 个 BQ79606-Q1 EVM 以菊花链形式连接在一起以观察位压缩。从图中可以看出，堆叠板的基底和栈顶之间的位宽几乎没有差异。这是通过重新计时功能来实现的。重新计时让电路板之间可以使用更长的菊花链电缆，并且增加了系统中可堆叠器件的数量。

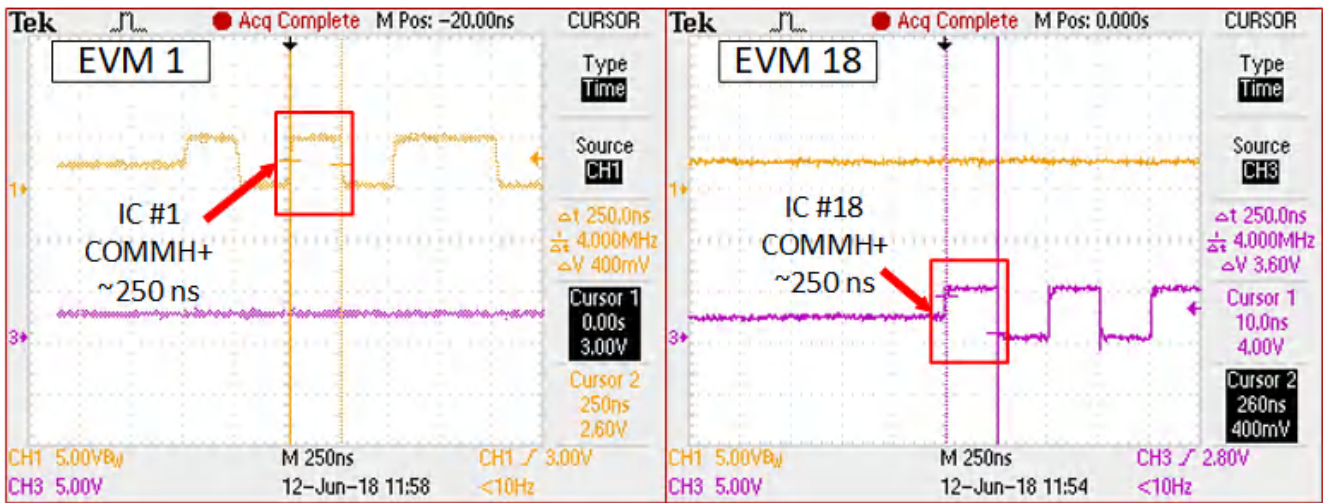


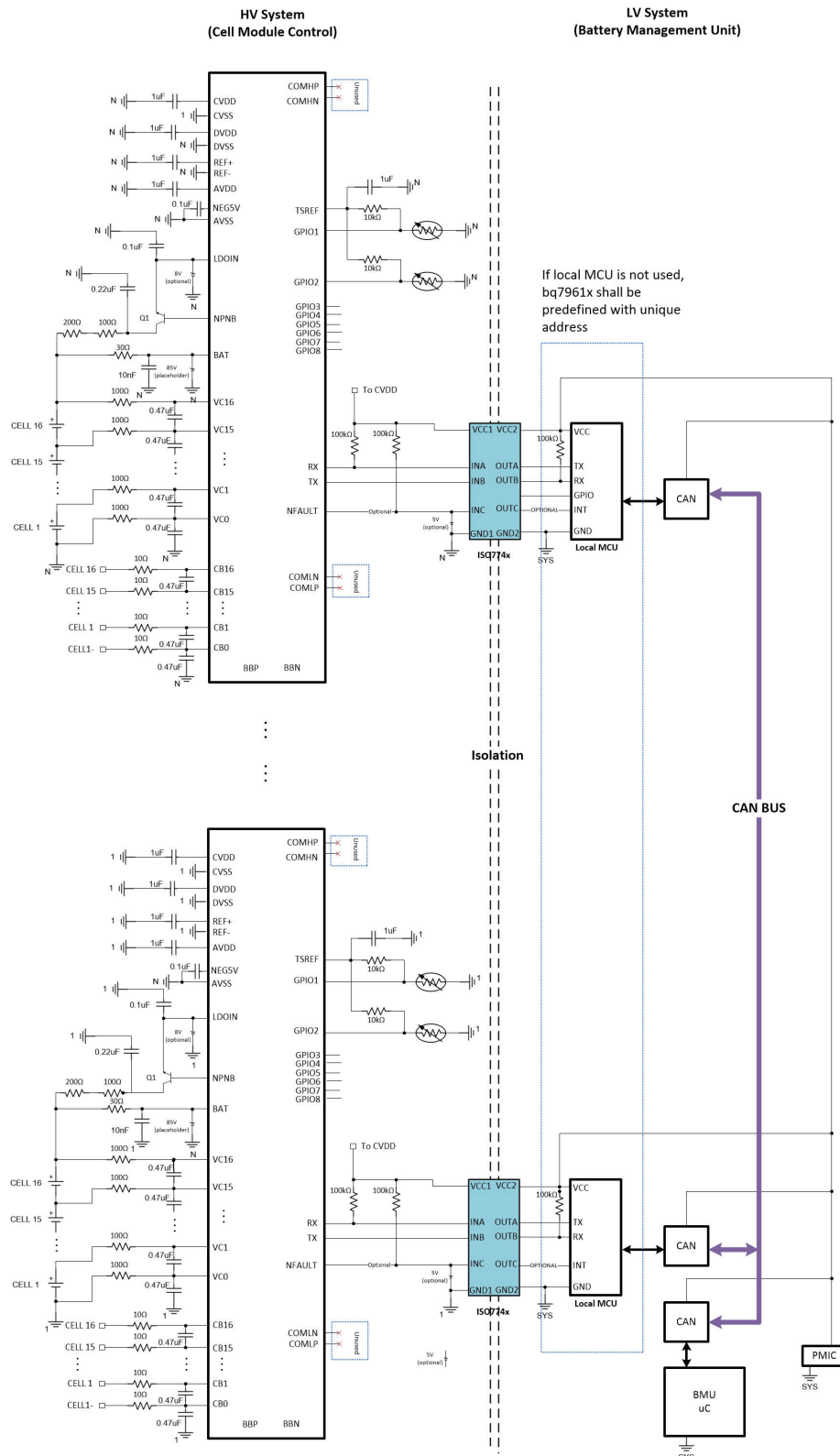
图 9-9. 重新计时位压缩示例

9.3.1 设计汇总

- 采用环形架构可以在发生中断时让主机继续与所有器件通信。
- 对通信信号重新计时可以保持信号完整性，但会增加设计延迟。

10 多点配置

菊花链配置的一种替代方案是多点配置。在这种配置中，所有 BQ79616-Q1 器件均视为基底器件且以并联方式连接。此配置不支持自动寻址。图 10-1 显示了此设置的简要表示。有关更多信息，请参阅 BQ79616-Q1 数据表。



备注

新建议是从 CB16 至 BAT 添加 470nF/16V 电容器，从而实现热插拔稳健性，上图中未显示此建议，有关详细信息，请参阅数据表。

图 10-1. 多点配置

11 主 ADC 数字 LPF

每个差分 VC 通道测量都配备了后 ADC LPF。LPF 的截止频率 (f_{cutoff}) 要低得多。有 7 个 f_{cutoff} 选项：6.5Hz、13Hz、26Hz、53Hz、111Hz、240Hz 和 600Hz，可通过 `ADC_CONF1[LPF_VCELL2:0]` 设置进行配置。选择 f_{cutoff} 值并通过设置 `ADC_CTRL1[LPF_VCELL_EN] = 1` 来启用 LPF 后，相同的 f_{cutoff} 设置适用于所有 VC 通道测量。配置用于 VCELL 测量的后 ADC 低通滤波器截止频率，如表 11-1 所示。

差分 BBP 和 BBN 测量还具有自己的数字 LPF，通过 `ADC_CTRL1[LPF_BB_EN]` 位来启用。BB 通道的 LPF 具有与 VC 测量相同的七个 f_{cutoff} 选项。由于汇流条上的信号可能比 VC 测量噪声更大，并且可能需要不同于 VC 通道的 f_{cutoff} 设置，因此器件会为 BB 通道提供一个单独的 LPF 配置参数 `ADC_CONF1[LPF_BB2:0]`，从而让主机可为 BB 和 VC 测量设置不同的 f_{cutoff} 。配置用于汇流条测量的后 ADC 低通滤波器截止频率，请参阅表 11-1。

表 11-1. 用于 VCELL 和汇流条测量的主 ADC LPF f_{cutoff}

<code>ADC_CONF1[LPF_VCELL 2:0], ADC_CONF1[LPF_BB 2:0]</code>	截止频率	稳定时间
0x0	6.5 Hz	154ms
0x1	13 Hz	77ms
0x2	26 Hz	38ms
0x3	53 Hz	19ms
0x4	111 Hz	9ms
0x5	240Hz	4ms
0x6	600Hz	1.6ms
0x7	240Hz	4ms

12 AUX 抗混叠滤波器 (AAF)

AUX ADC 路径充当有关电芯电压测量和汇流条测量的主 ADC 测量冗余路径。它还在 AUX ADC 路径中具有 BCI 滤波器和 AAF 滤波器前端滤波器。但是，与每个通道具有单独前端滤波器的主 ADC 路径不同，AUX 路径中的电芯电压（从 CB0 至 CB16 引脚获取）和汇流条电压（从 BBP 和 BBN 引脚获取）输入进行多路复用来共享同一个 BCI 滤波器和 AAF 滤波器。

由于前端滤波器是共享的，因此器件必须等待 AAF 滤波器稳定，然后才能进行任何有效的 CB 通道或 BB 通道测量。与主 ADC 路径中一样，默认 AAF f_{cutoff} 为 1.3kHz，这相当于完成单次 CB 或 BB 通道测量需要额外的 4ms 稳定时间。鉴于此 AUX 路径作为 MCU 缩短诊断时间的一个选项用于诊断用途，该器件提供四个 AAF 稳定时间选项，如表 12-1 所示。通过 `ADC_CONF1[AUX_SETTLE1:0]` 位配置稳定时间。如表 12-1 所列来配置 AUX CELL 稳定时间。如果允许更长的稳定时间，测量将会更加精确。

表 12-1. AAF 稳定时间

<code>ADC_CONF1[AUX_SETTLE 1:0]</code>	稳定时间
00	4.3ms
01	2.3ms
10	1.3ms
11	300 μ s

13 布局指南

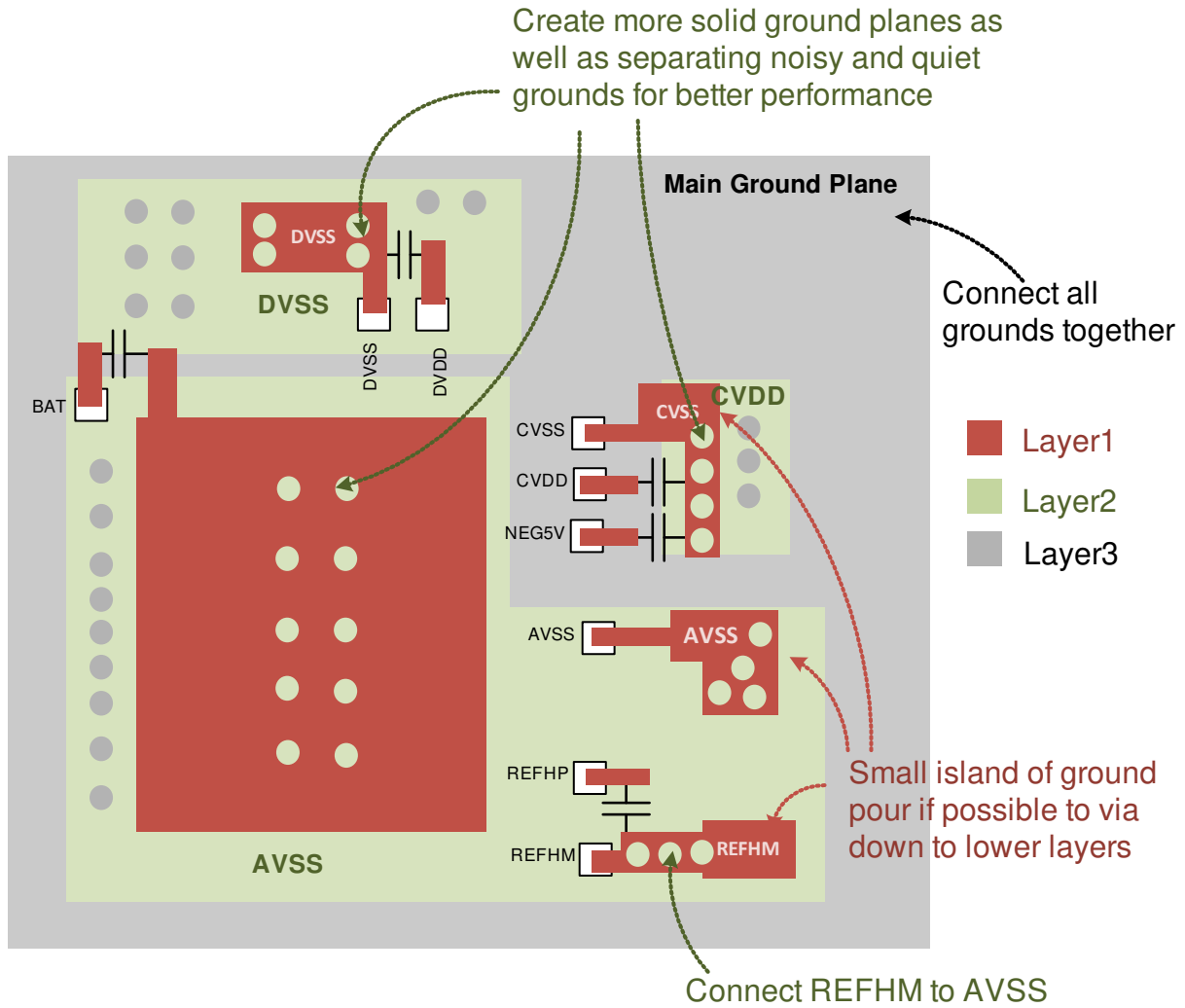
必须仔细设计该器件的布局。不遵守以下准则的设计都会影响 ADC 精度和 EMI 性能。必须注意进出器件的信号布局，以避免将噪声耦合到敏感输入上。对接地和电源连接以及通信信号进行布局时也应十分小心。

13.1 接地平面

为确保器件的最佳性能，建立干净的接地方案非常重要。有 3 个接地引脚 (AVSS、DVSS、CVSS) 用于连接器件的内部电源，有 1 个接地基准 (REFHM) 用于连接精密基准。存在高噪声接地和低噪声接地，应在最初的布局中将其分开，并在较低的 PCB 层中将其重新连接在一起。如果可能，应将外部元件 (例如旁路电容器) 连接到适当的接地组，以使高噪声接地和低噪声接地分开。

- AVSS 接地：
 - 用于以下引脚的旁路电容器：BAT、VC0、CB0、LDOIN、TSREF
 - 封装下部焊盘
- DVSS 接地：
 - 用于 DVDD 的旁路电容器
 - GPIO 滤波电容器 (如果使用)。如果需要，它还可以连接到 AVSS 接地平面
- CVSS 接地：
 - 用于 CVDD 的旁路电容器
 - 用于 COMHP/N 和 COMLP/N 的旁路电容器
- REFHM 接地：
 - 用于 REFHP 的旁路电容器
 - 如果可能，在信号连接层上将 REFHM 与 AVSS 分开，并在较低层将 REFHM 重新连接到 AVSS 接地平面

即使在主要用于信号路由的 PCB 层上，最好有一个尽可能小的接地覆铜岛来提供低阻抗接地，而不是简单地通过接地走线连接到较低接地平面。



备注

上面显示的过孔位于所有 4 层上。未显示第 4 层，但应包含底层元件和实心接地层所需的任何布线。

图 13-1. 接地布局注意事项

强烈建议 PCB 至少具有四层，其中一层完全用作连续的 VSS 层（热风焊盘除外）。尽量避免在这一层走线，以保持接地层结构的连续性。

如果多个器件放置在同一个 PCB 上，则每个器件应有自己的接地平面，并具有适当的布局间隙。

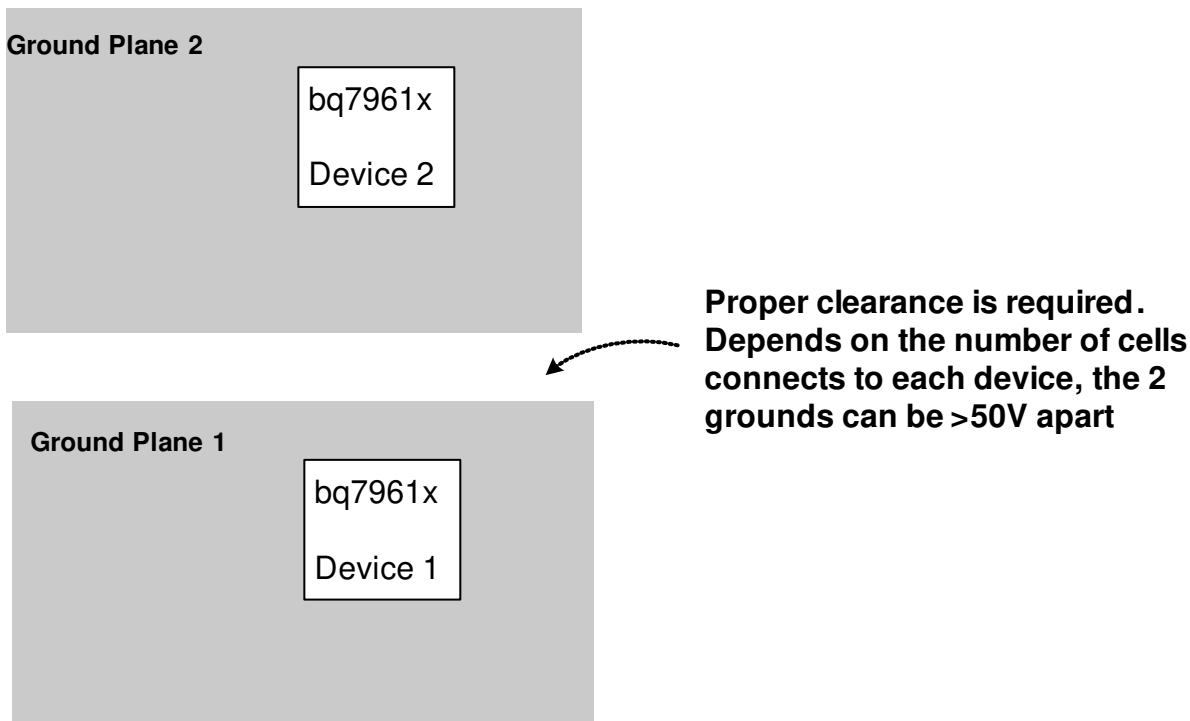


图 13-2. 同一 PCB 上每个器件的单独接地平面

13.2 电源和基准的旁路电容器

以下引脚的旁路电容器（尤其是 REFHP 电容器）应尽可能靠近器件引脚放置，以确保获得良好性能。为了帮助提高降额性能和发射性能，我们还建议为每个旁路 LDO 电容器并联一个容值范围为 10% 至 22% 的小型电容器。例如，在 CVDD 上，为帮助减少发射，我们建议将 22nF 和 100nF 电容器与 4.7 μ F 去耦电容器并联。为了获得更好的效果，这些电容器需要放置在非常靠近布局中 IC 引脚的位置。

- REFHP、BAT、LDOIN、AVDD、DVDD、CVDD、TSREF、NEG5V

13.3 电芯电压检测

电芯电压检测走线（VC 引脚和 CB 引脚）应与阻抗匹配并联放置。

均衡走线（CB 引脚）应具有合适的尺寸，这样才能承载应用的最大均衡电流并确保适当的热性能。

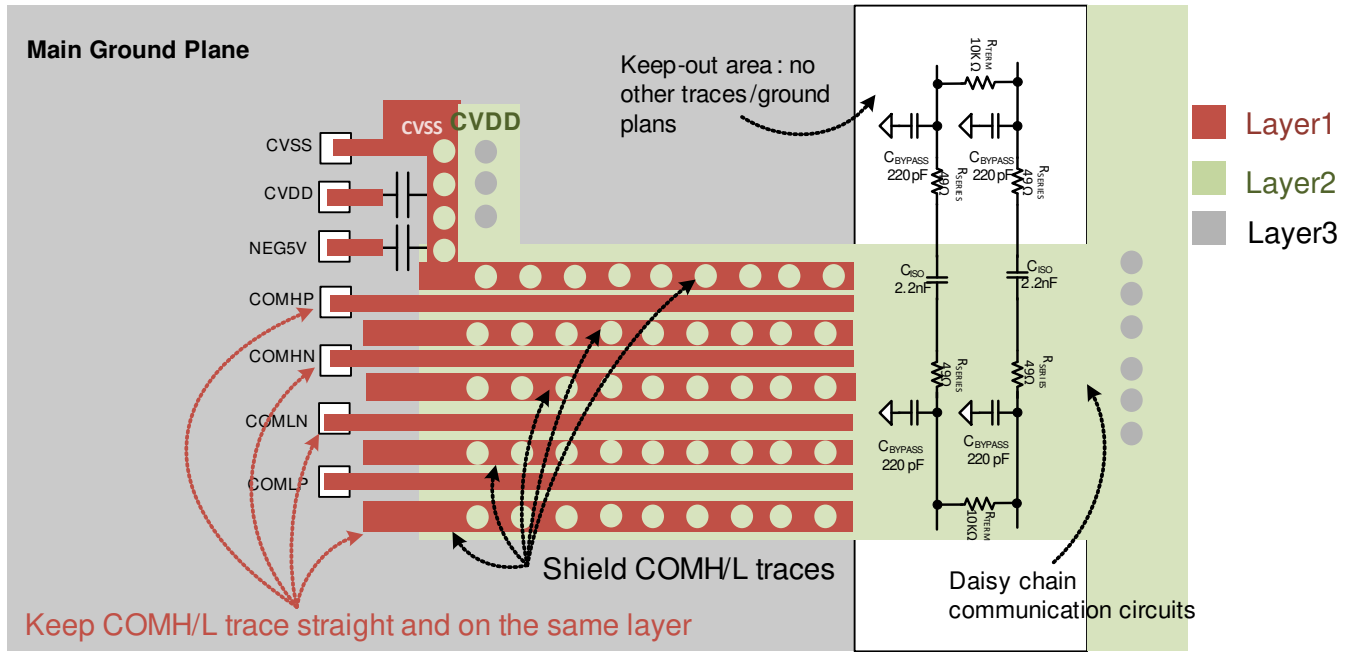
建议对 BAT 引脚和顶部 VC 引脚连接使用单独的电缆、连接器舌片和 PCB 走线。这同样适用于 AVSS 和 VC0 连接。这是为了避免器件电流影响顶部和底部电芯的电压测量。

如果 BAT/顶部 VC 引脚连接和 AVSS/VC0 引脚连接使用相同的电缆和连接器舌片，则连接到 BAT/顶部 VC 引脚和 AVSS/VC0 引脚的 PCB 走线应在连接器舌片处分离。请注意，器件电流仍会经由电芯进入 PCB 电缆，这可能会跨电缆连接对顶部和底部的电芯测量引入 IR 误差。

13.4 菊花链通信

在堆叠配置中保持信号完整性对此器件的成功至关重要。为了更大限度地提高对干扰信号的抗扰度，需要作出几个设计选择。对于基于变压器的通信，请确保选择具有充分隔离的变压器。

1. 保持差分引线尽可能短并且尽可能直。尽量减少引线转弯并避免引线出现任何绕圈。
2. 将差分引线保持在同一层。排布引线时应屏蔽并匹配引线阻抗。
3. 将隔离元件放置在靠近连接器的位置。
4. 使用电容隔离时，请将 COMxP/N 对的高压电容器（其中 x = H 或 L）沿平行引线彼此靠近放置。
5. 在所有 PCB 层中的菊花链元件周围创建一个禁止区域（没有其他引线，也没有接地平面）。



备注

过孔会穿过全部 4 层。因为底层包括任何底部元件的布线或包括实心接地层，所以未显示第 4 层。

图 13-3. 菊花链布局注意事项

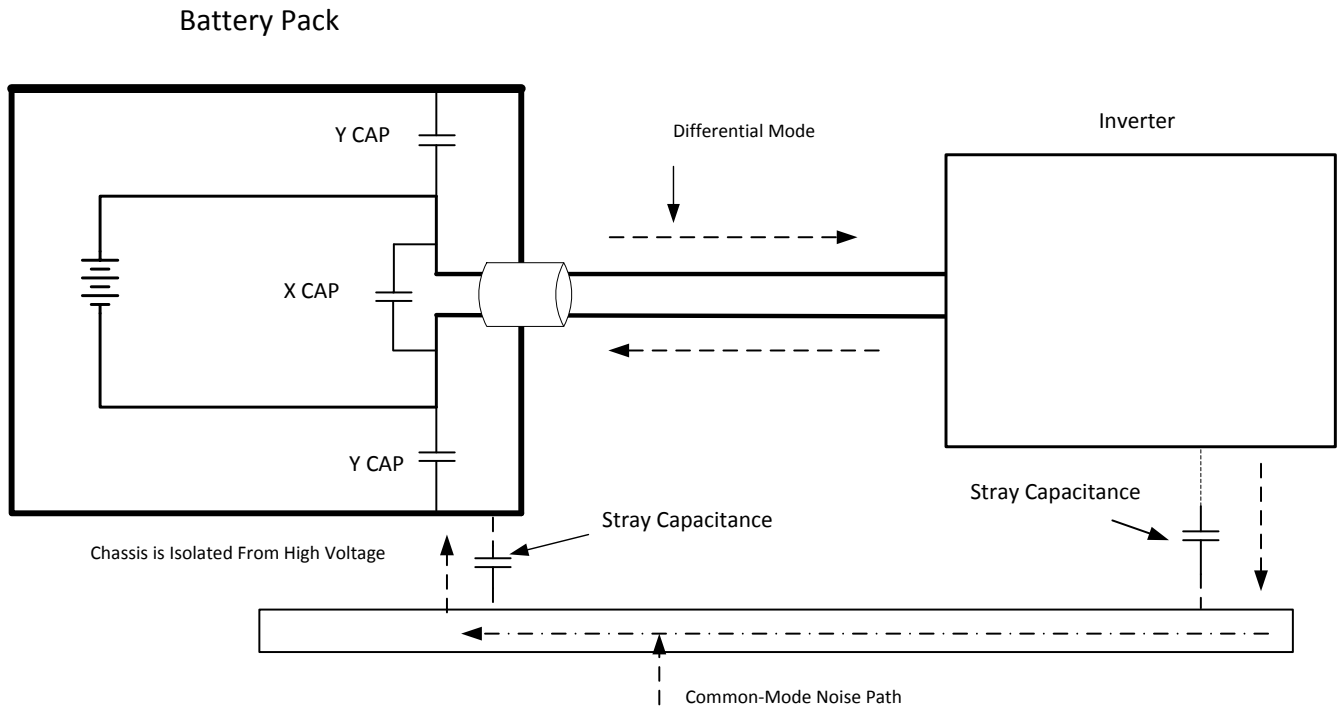
14 BCI 性能

根据 ISO 11452-4 标准执行大电流注入 (BCI)。电缆长度为 1.7m，波特率为 1Mbps。在通信线路上注入了 BCI 噪声。测试了 3 种不同的隔离方法：仅电容、电容和扼流圈以及变压器。有关 BCI 性能的更多信息，请与当地 TI 销售代表联系。

15 共模噪声和差模噪声

在极其嘈杂的环境中通常会使用并可能需要 X-Y 电容器。

- 差模噪声从一根线流出，然后在另一根线上返回。在两条线路之间放置一个 X 电容器来抑制噪声。
- 共模噪声从两条线中流出，并通过接地端杂散电容返回到机箱。在机箱之间放置一个 Y 电容器，如图 15-1 所示。



15.1 设计注意事项

- 器件放置位置很重要。菊花链电缆不得置于汇流条或金属外壳表面。

16 修订历史记录

Changes from Revision * (December 2020) to Revision A (October 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了文档标题.....	1
• 将 <i>应用手册</i> 更改为 <i>用户指南</i>	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司