

## Application Note

**AM62x SiP PCB 设计迂回布线**

## 摘要

本文档旨在提供 AM62xSiP 器件上的迂回布线参考。

## 内容

1 引言.....	2
2 过孔通道阵列.....	3
3 迂回宽度/间距建议.....	5
4 堆叠.....	6
5 过孔共享.....	7
6 布局图元件放置.....	9
7 关键接口影响布局.....	10
8 布线优先级.....	11
9 串行器/解串器接口.....	12
10 电源去耦.....	13
11 对优先级最低的接口最后布线.....	14
12 总结.....	15

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

AM62xSiP 是新增的低功耗、低成本 Sitara 工业/汽车级处理器系列。AM62xSiP 基于 Cortex-A53 微处理器、M4F 微控制器，配有专用外设、3D 图形加速、双显示接口和广泛的外设和网络选项，适用于各种嵌入式应用。AM62xSiP 采用 13mm × 13mm FBGA 封装，焊球间距为 0.5mm。BGA 封装设计采用 TI 过孔通道阵列 (VCA) 技术构建而成，该技术可实现小型化封装，同时使用低成本 PCB 布线规则。过孔通道阵列 (VCA) 技术在构建时对迂回布线进行了仔细考量，避免采用成本高昂的高密度互连 (HDI) 和过孔技术。本文档旨在提供 AM62xSiP 器件上的迂回布线参考。在对具有特殊要求 (例如 DDR、高速接口) 的信号进行布线时必须十分小心。有关更多详细信息，请参阅 [高速接口布局指南](#)。AM62x PDN 应用手册中提供了有关供电网络的详细信息，这些文档中指定的任何布线和布局要求都会取代此处提供的通用要求。

## 2 过孔通道阵列

过孔通道阵列技术已成功应用于各种 TI 产品，该技术通过使用较小的焊球间距并利用低成本 PCB 布线可帮助更大程度地减小封装尺寸。过孔通道技术是一种启用路由通道以迂回最内部 BGA 位置的方法。这集结了多项优势。首先，如果必须以更紧密的间距放置在 BGA 之间，过孔外径（也称为孔环）可以比通常情况下要大，因为所有过孔都位于称为过孔通道的特殊区域中。由于可以使用更大的过孔，因此可以降低 PCB 制造成本。其次，过孔以径向方式分组，而不是围绕芯片中间分布的一系列同心环，正常的 BGA 阵列 PCB 布线就是这种情况。布线更容易从芯片内部引出，因为它们不受限于许多排过孔之间的窄路径。独特的外排布线和过孔通道内部布线是该技术在 AM62xSiP 上的两个重要组成部分。AM62xSiP BGA 过孔通道阵列如图 2-1 所示。

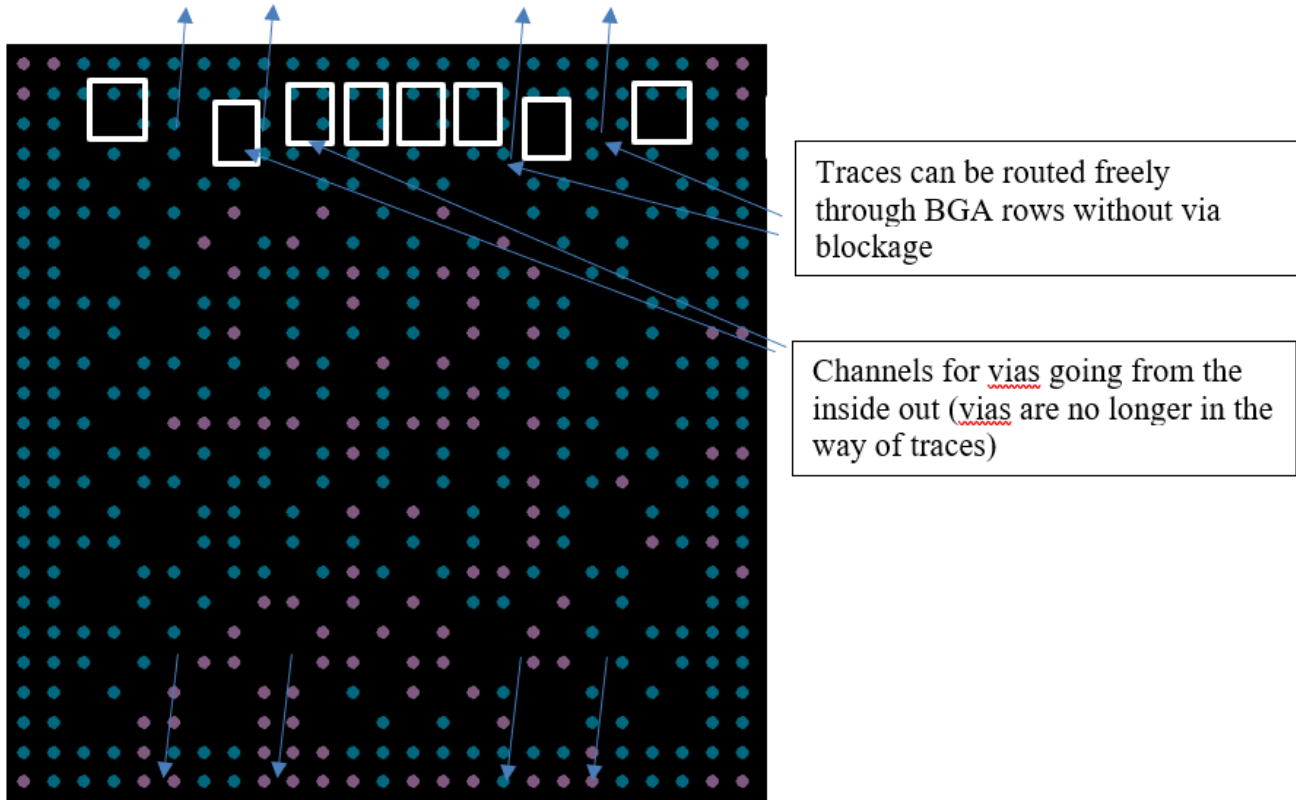


图 2-1. AM62xSiP BGA 过孔通道阵列

对于 BGA 阵列的前两行（从外到内），这些焊球的排列方式允许比其他方式更宽的布线。第一行（外侧行）支持所需的任何尺寸布线，因为该布线来自 PCB 焊球焊盘并在 PCB 上引出。通常，第二排布线必须布置在 PCB 焊球焊盘第一排之间。在此封装上，第二排布线被路由到一个开放的通道，其中 BGA 焊球已被拆除以允许更宽的布线。如果布线正确，AM62xSiP 器件在所有区域中都允许使用 3.2mil 的布线/空间。

图 2-2 显示了 AM62xSiP 封装的前两行，以及如何在已拆除焊球区域布置较大的 3.2mil (mm) 布线和空间。

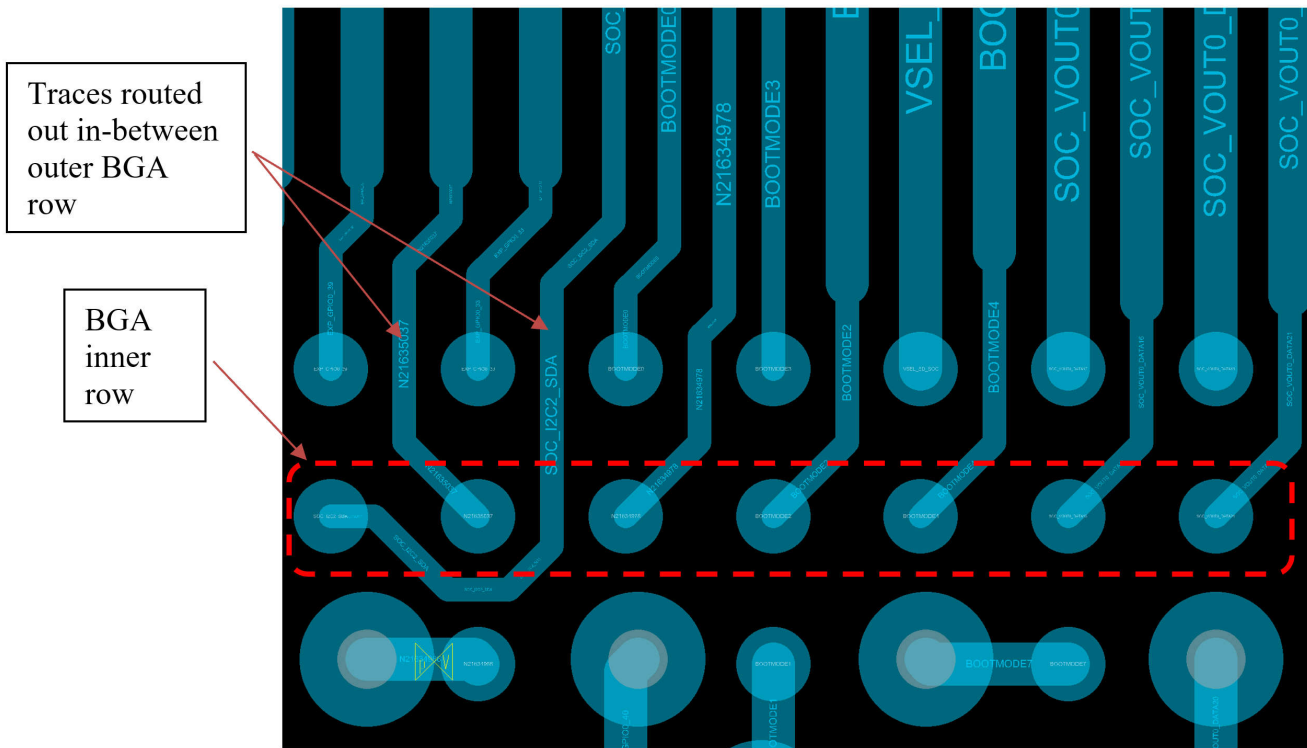


图 2-2. 布线外排

从第三排开始，与任何 BGA 封装一样，需要过孔。如前所述，过孔聚集在过孔通道中，因此只需在焊球之间放置接地区域或电源覆铜区域中的一些电源过孔。在这种情况下，它们没有常规过孔环，因为它们位于所有周围焊球共享同一网的覆铜区中。稍后的章节会详细阐述这一点，包括关于过孔共享的详细信息。由于过孔环大于通常安装在这些焊球之间且具有所需间隙的环，因此布局工具可能会标记设计规则检查 (DRC) 错误，但这是错误警告，因为它们都在同一个网上，不存在与附近焊盘短路的风险。其余过孔需要放置在过孔通道中，如下所示。图 2-3 显示了如何在过孔通道中对过孔进行分组。

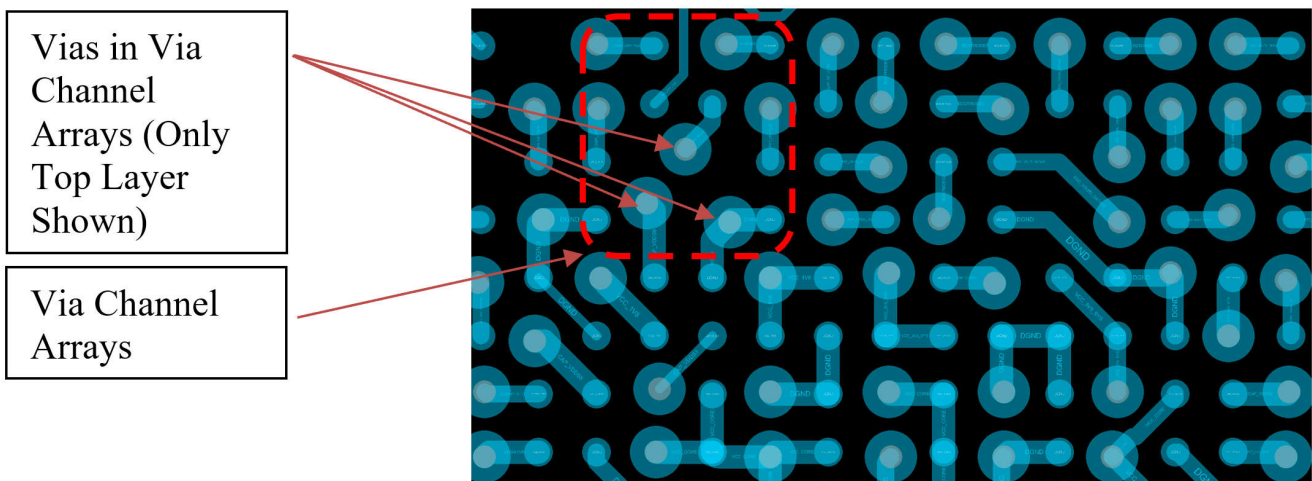


图 2-3. 过孔通道中的过孔

### 3 迂回宽度/间距建议

AM62xSiP 过孔通道阵列解决方案旨在支持以下功能。AM62xSiP 封装支持与其他几种竞争解决方案类似的功能集，封装面积减小约 15%，线宽拉宽大约 10%。因此，该解决方案缩小了 PCB 尺寸并采用了更低成本的 PCB 规则，从而实现了紧凑和低成本的系统。

**表 3-1. 迂回宽度/间距建议**

PCB 功能	PCB 布线要求	说明
最小过孔直径	18 密耳	过孔焊盘直径 - 18mil
过孔尺寸	8 密耳	过孔直径 - 8mil
BGA 分线 ( 内层 ) 中所需的最小布线宽度/间距	布线宽度 - 3.2mil	
	间距 - 3.2mil	
BGA 分线 ( 外层 ) 中所需的最小布线宽度/间距	布线宽度 - 3.2mil	
	间距 - 3.2mil	
用于迂回的层数	4 层	顶层
		接地
		电源
		底层
BGA 焊盘尺寸	12 Mils	
封装尺寸	13 mm x 13 mm	
建议的 PCB 层数 ( 信号布线, 总计 )	(2, 4) 层	顶层
		接地
		电源
		底层

## 4 堆叠

PCB 堆叠是实现成功的 PCB 首先要考虑的重要因素之一。AM62xSiP 器件支持  $25 \times 25$  的 BGA 阵列，间距为 0.5mm，封装尺寸为 13mm。由于外围信号焊球的排数较多，TI 建议使用两个布线层。PDN 合规性和稳健性对于满足器件和相关外设的所有性能目标至关重要。为此，TI 建议为电源平面分配两层。必须在电源平面附近和外层附近添加接地平面，以实现屏蔽和受控阻抗布线。CSI、USB 等高速接口需要使用接地平面来实现阻抗匹配。AM62xSiP 板上的迂回是通过 4 层实现的，如下所示。

**表 4-1. PCB 层堆叠示例**

PCB 层	层布线、平面或覆铜
第 1 层	元件焊盘和信号布线
第 2 层	接地
第 3 层	电源
第 4 层	信号路由

AM62xSiP 电路板在没有 HDI ( 高密度互连 ) 的情况下实现，不使用微通孔，这两种方式均旨在节省电路板成本。AM62xSiP 电路板上的所有过孔均为电镀穿孔 (PTH) 并完全通过电路板。如果需要进一步优化以减少 PCB 堆叠和/或本档中所述的布线规则，则应执行适当的分析以验证信号和电源完整性。



## 5 过孔共享

AM62xSiP 设计中实现的过孔通道阵列 BGA 模式提供了几种过孔共享机会。在 BGA 引脚之间共享过孔。图 5-1 和图 5-2 分别显示了 VDD\_CORE 和 VSS 电源的过孔共享机会。在 BGA 引脚之间共享过孔通过连接多个引脚，可实现更轻松的迂回布线和可靠的电气连接。

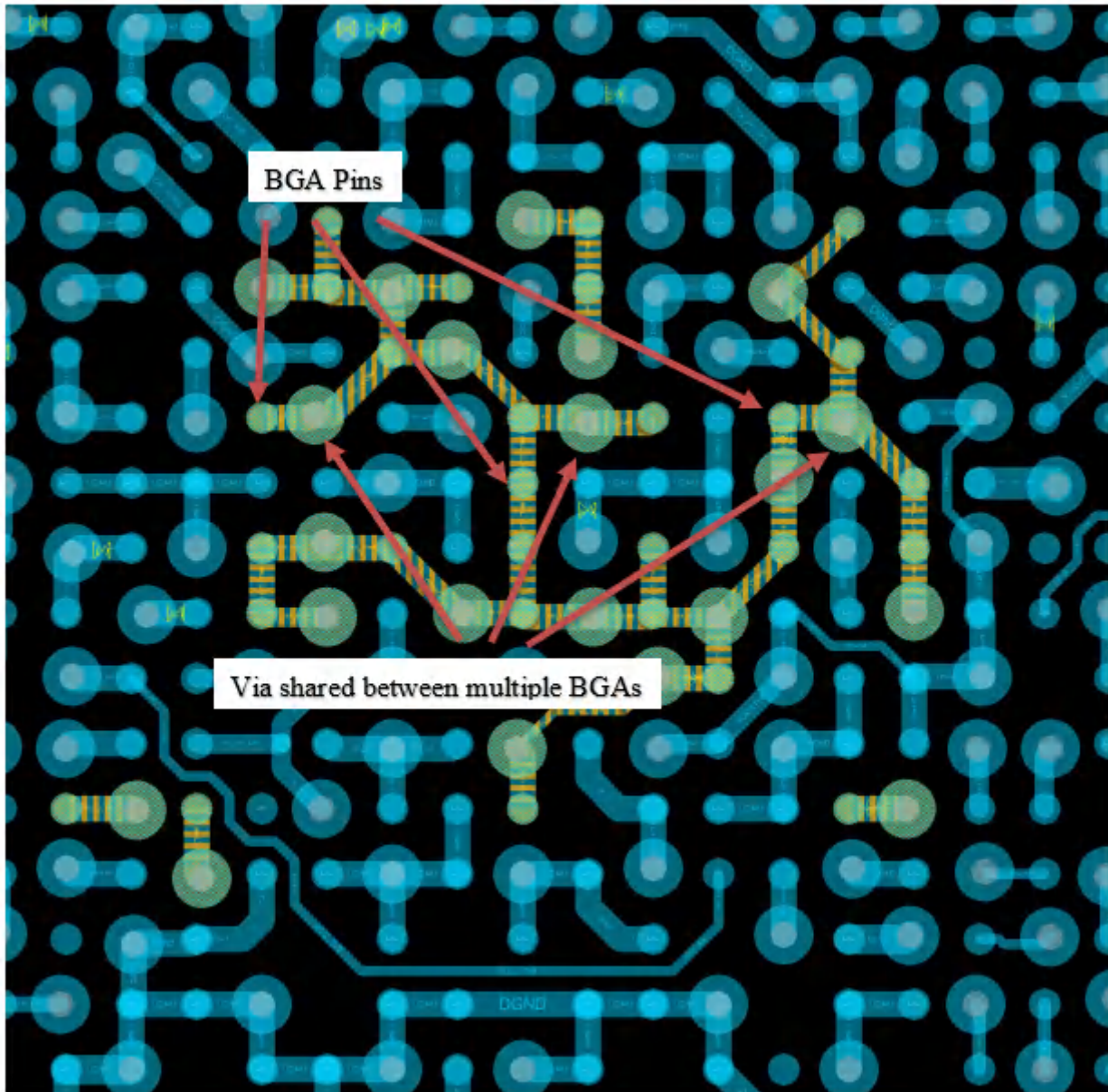


图 5-1. VDD\_CORE 域的过孔共享

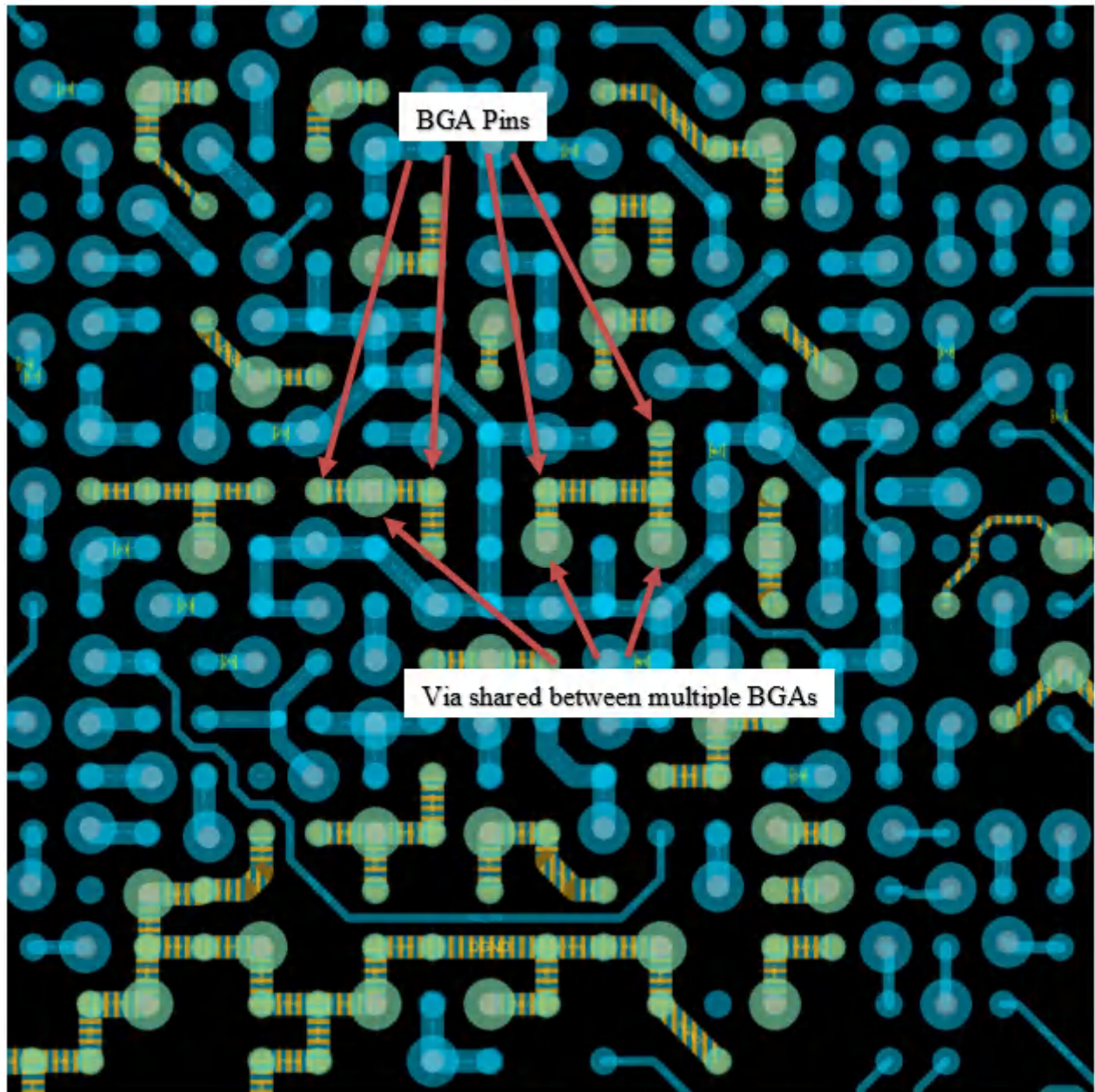


图 5-2. VSS 的过孔共享





## 7 关键接口影响布局

AM62XSIP 器件及某些元件或连接器的放置也取决于一些高性能接口，例如 CSI、USB 等。此外，由于多千兆位速率下的 PCB 损耗，布线距离限制也可能限制元件放置。

## 8 布线优先级

如前所述，关键接口会影响元件放置选项。PCB 设计的下一步是确定布线到这些关键接口的优先级。必须先完成对优先级较高接口的布线，然后再对优先级较低的接口进行布线。必须首先对优先级较高的接口进行布线。当未建立布线优先级时，PCB 布局团队往往会陷入时间紧张的迭代过程，并获得次优的结果。

下表列出了 AM62XSiP 系列器件中包含的接口的建议优先级顺序。个别设计要求可能推动了对优先级调整的需求，但这可以作为良好的基准，并已用于本文档中所示的电路板示例。

**表 8-1. 布线优先级**

接口	布线优先级
CSI	10 ( 最高优先级 )
OLDI	9
OSC	8
USB2、OSPI	8
配电	7
RGMII	6
eMMC	5
时钟	5
MII / RMII	4
SPI	4
电机控制	4
模拟	3
GPMC	2
GPIO	1
UART / CANUART	1
I2C/温度二极管	1 ( 最低优先级 )

由于数据速率和丢失问题，多千兆位相机串行接口 (CSI) 最为关键。CSI 位于优先级列表顶部，因为它对 PCB 损耗非常敏感。这些布线的长度限制可能会影响 CSI 连接器和 AM62XSiP 器件在 PCB 上的放置位置。CSI 信号位于 BGA 封装的外层，允许一些 CSI 布线在没有过孔的情况下从 BGA 迂回。

异步和低速接口位于底部。这样就使同步和源同步接口按数据速率排列在顶端。让人感到意外的可能是配电。它通常排在最后。这会导致去耦性能不佳或电流耗尽，并且由于铜材不足以承载电源和接地电流而导致电源噪声过大。在对中间优先级接口和低优先级接口进行布线之前，必须分配用于铜缆和去耦的空间。

## 9 串行器/解串器接口

封装 BGA 焊球图也被设计成支持首先对最高优先级接口进行布线。因此，串行器/解串器 CSI 接口位于外侧的两个环上。差分接收对应布线到远离顶层 SoC 的位置，留下一个间隙，而不会阻止过孔。位于内部 BGA 行上的通道需要过孔作为底部或内层上的差分对迂回。VCA 为内排提供了这种便利。有关 AM62XSIP 板顶层和内层上串行器/解串器信号迂回的示例，请参阅图 9-1。宽布线可以限制信号丢失，但可能会违反阻抗要求。有关如何布线串行器/解串器信号的详细信息，请参阅[高速接口布局指南](#)。

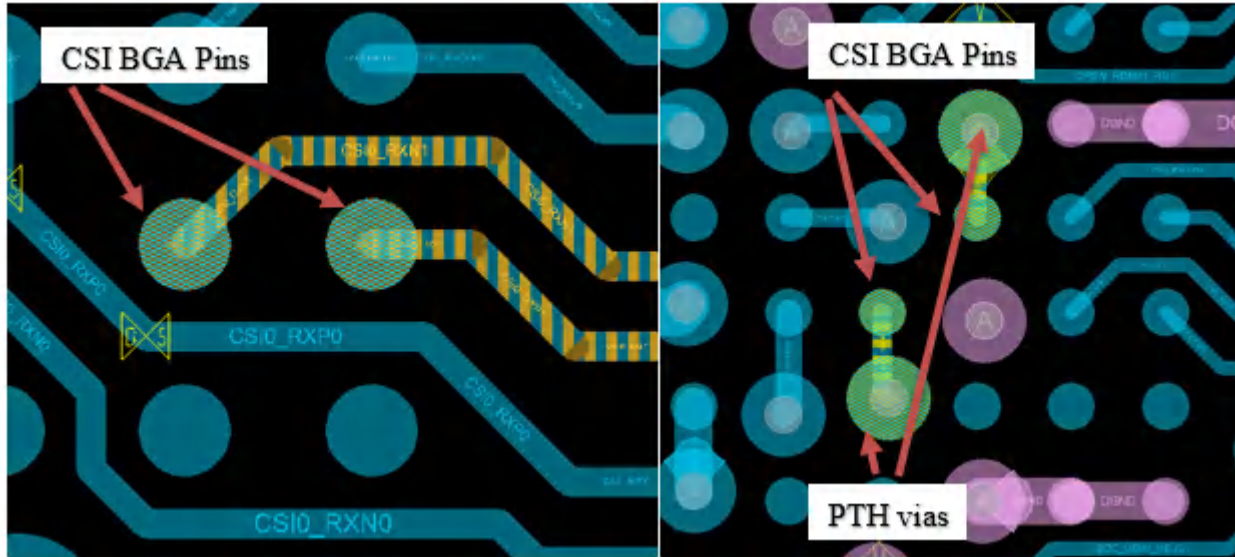


图 9-1. 顶层 (左) 和内层 (右) 的串行器/解串器 CSI 迂回

## 10 电源去耦

中优先级接口和配电平面和覆铜将在串行器/解串器接口之后布线。强烈建议在继续使用其他接口之前完成所有串行器/解串器布线。在为串行器/解串器布线执行 PCB 仿真之前，必须放置配电平面和覆铜以及所有去耦，因为这会影响到高速接口的返回电流。超高速源同步接口（例如 RGMII 和 QSPI）可能也需要仿真，因此可能也需要在此时完成。

需要特别注意连接到 AM62XSiP 器件上 CAP\_VDDS\* BGA 引脚的 1uF 输出电容器。这些电容器应尽可能靠近引脚放置，并且在 CAP\_VDDS BGA 引脚和电容器上的电源焊盘之间应存在低电感路径。在 AM62XSiP SK EVM 的 CAP\_VDDS0 网络上使用的布局如图 10-1 所示。请注意，该电容器的 GND 焊盘与附近的其他电容器共用，这样可以节省布线资源。此外，务必使电容器电源和 GND 焊盘连接的 PTH 过孔尽可能彼此靠近，以最大限度地减小环路电感。

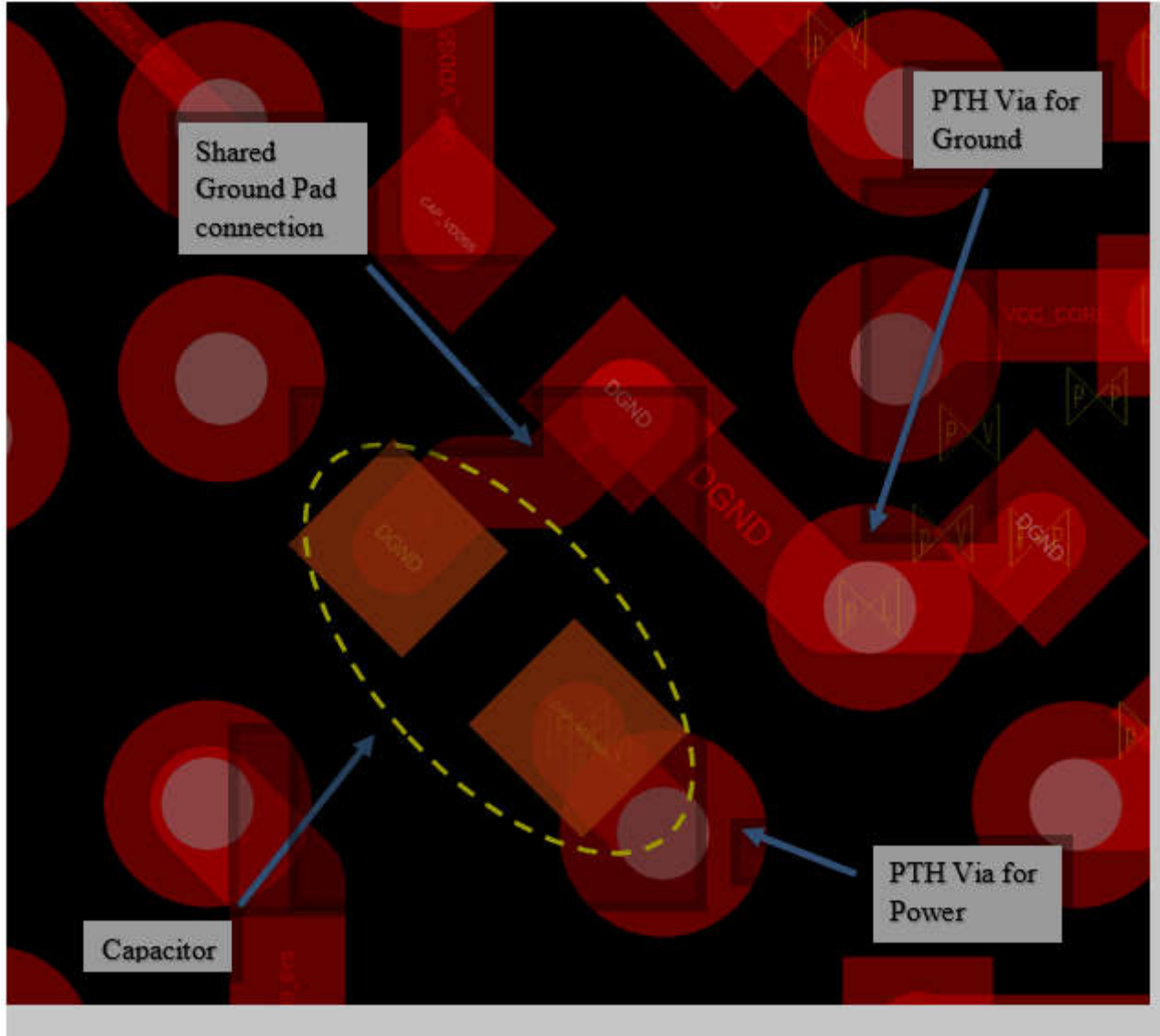


图 10-1. AM62XSiP SK EVM CAP\_VDDS0 输出电容器布局

如果电容器可以放置在 SoC 正下方，则可以改善这种布局方式。VDD\_CORE 电源的去耦电容器也应获得与 CAP\_VDDS\* 引脚上的去耦电容器相同的优先级，应放置在插座下方，并以极小的电感连接到 AM62XSiP 器件上相应的 BGA 引脚。



## 11 对优先级最低的接口最后布线

当针对最高优先级接口完成长度匹配和仿真并且完成配电网络 (PDN) 分析后，可以继续对介质进行布局，然后对较低优先级的接口进行布局。

## 12 总结

过孔通道经过精心设计，可确保所有信号和电源迂回，同时满足每个接口的相应信号和电源完整性目标。表 12-1 汇总了不同电源网的所有过孔通道阵列和过孔。

**表 12-1. 过孔通道摘要**

网	引脚数	BGA 迂回的过孔数
VDD_CORE	17	21
VDDR_CORE	8	
VDD_CANUART	1	
VDDA_CORE_USB	1	
VDDA_CORE_CSIRX0	1	
VDDS_DDR	5	2
VDDS_DDR_MEM	12	5
VDDSHV0	2	8
VDDSHV2	2	
VDDSHV3	4	
VDDSHV_MCU	2	
VDDSHV_CANUART	1	
VDDA_3P3_USB	1	
VMON_3P3_SOC	1	
VDDSHV1	2	
VDDSHV4	1	3
VDDSHV6	1	
VMON_1P8_SOC	1	
VDDSHV5	1	1
VDDS_OSC0	1	11
VDDA_TEMP[0:1]	2	
VDDA_PLL[0:2]	3	
VDDA_MCU	1	
VDDA_1P8_OLDIO	2	
VDDA_1P8_CSIRX0	1	
VDDA_1P8_USB	1	
VDDS_MEM_1P8	2	

图 12-1 中显示了 AM62xSiP 的图片，其中所有信号和电源都经过迂回。

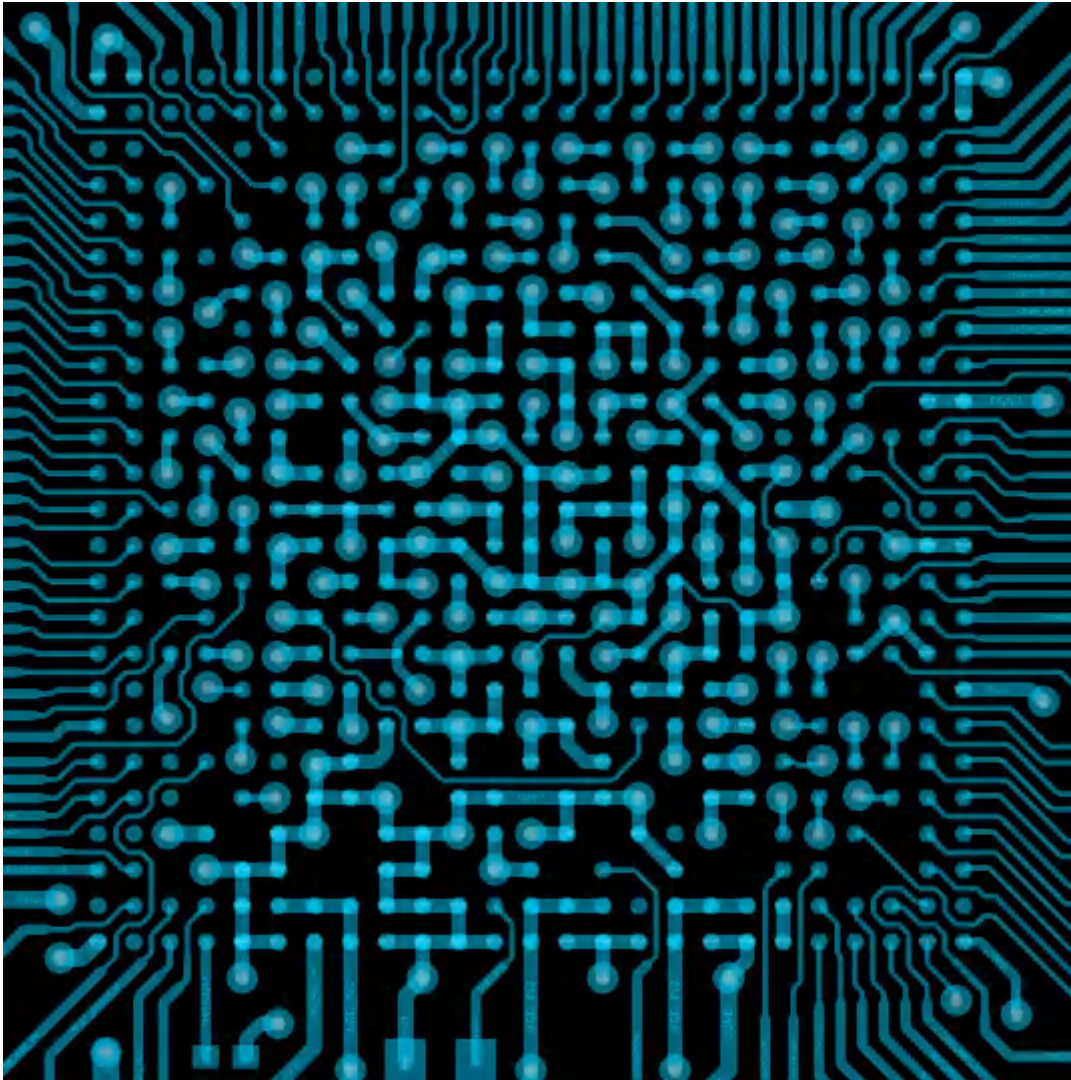


图 12-1. 具有完整信号和电源迂回的 AM62xSiP

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司