

Application Note

PCIe 应用的时钟



Kadeem Samuel

摘要

快速外设组件互连 (PCIe) 是一个在主板上的 CPU 与外围设备之间传输数据的行业标准。此协议用于个人计算机、台式机、企业服务器等。本应用手册介绍了 PCIe 时钟基础知识。本出版物还介绍了时钟架构、PCIe 测试标准和后处理工具。

内容

1 引言.....	2
2 PCIe 简介.....	2
2.1 PCIe 链路.....	2
3 PCIe 时钟架构.....	3
3.1 通用时钟架构.....	3
3.2 独立参考架构.....	4
3.3 扩频时钟.....	4
3.4 PCIe REFCLK 拓扑.....	5
3.5 噪声折叠.....	7
4 PCIe 时钟规格.....	8
4.1 REFCLK 输出格式.....	8
4.2 PCIe 抖动要求.....	8
4.3 PCIe 时域要求.....	9
5 REFCLK 测量技术.....	10
5.1 时钟发生器测量结果.....	10
5.2 时钟缓冲器测量结果.....	14
6 符合 PCIe 标准的德州仪器 (TI) 产品.....	17
7 总结.....	18
8 参考资料.....	18

商标

Intel® is a registered trademark of Intel Corporation.

R&S® is a registered trademark of Rohde & Schwarz.

所有商标均为其各自所有者的财产。

1 引言

第一代 PCIe 始于 2003 年，即 PCIe 1.0。该标准由外设组件互连特别兴趣小组 (PCI-SIG) 制定。PCIe 取代了原来的并行通信总线 PCI。PCIe 使用串行点对点架构，可实现更高的数据传输速率，因为器件不会竞争总线上的带宽。PCIe 还采用差分 HCSL 或 LP-HCSL 时钟代替 PCI LVCMOS 时钟，从而实现更好的抗噪性，并采用展频时钟 (SSC) 来减少电磁干扰 (EMI)。本应用手册介绍了 PCIe 链路的时钟架构，以及抖动和波形完整性的测量技术。

2 PCIe 简介

2.1 PCIe 链路

在 PCIe 链路中，信号通过称为**通道**的连接对传输。一条通道用于发送数据 (TX)，另一条通道用于接收数据 (RX)。PCIe 是一种可扩展架构。每个链路可以同时由多达 32 个通道组成，以最大限度地提高数据吞吐量。大多数系统通常仅使用 16 个通道。图 2-1 展示了一个标准 PCIe 链路示例。

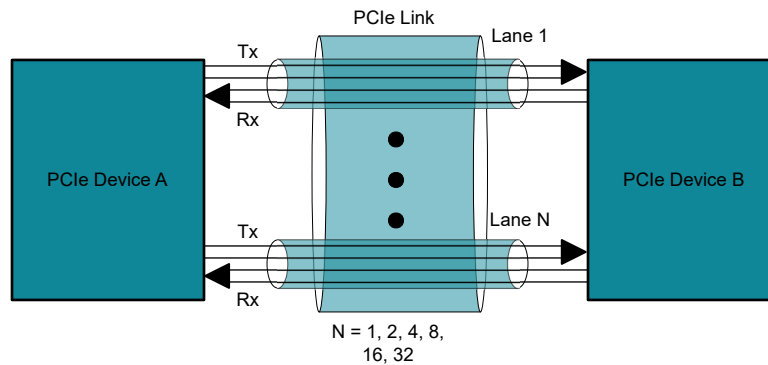


图 2-1. PCIe 链路

随着 PCIe 标准的发展，每个通道的原始比特率也有所提高。现代 PCIe 第 6 代允许 64Gb/s 的比特率。表 2-1 展示了每一代 PCIe 的数据速率。

表 2-1. 按版本列出的 PCIe 标准比特率

PCIe 版本	首次推出年份	原始比特率
PCIe 1.1	2005	2.5Gb/s
PCIe 2.1	2009 年	5.0Gb/s
PCIe 3.1	2013	8.0Gb/s
PCIe 4.0	2017 年	16.0Gb/s
PCIe 5.0	2019 年	32.0Gb/s
PCIe 6.0	2021 年	64.0Gb/s

PCIe 6.0 每字节 8 位，每通道每方向的数据吞吐量高达 8GB/s。在 16 通道系统中，吞吐量可达 256GB/s。

3 PCIe 时钟架构

在 PCIe 系统中，为发送器和接收器器件提供了参考时钟，称为 REFCLK。对于所有 PCIe 版本，REFCLK 都是 100MHz HCSL 时钟，表 3-1 展示了通用时钟架构按版本列出的最大频率稳定性要求。

表 3-1. 按 PCIe 版本列出的 REFCLK 频率稳定性

PCIe 版本	频率稳定性 (ppm) ⁽¹⁾
PCIe 1.1	±300
PCIe 2.1	±300
PCIe 3.1	±300
PCIe 4.0	±300
PCIe 5.0	±100
PCIe 6.0	±100

(1) 对于所有独立参考架构，无论比特率如何，REFCLK 的频率稳定性均为 ±100ppm。

这些时钟架构如下：

- 通用时钟 (CC)
- 展频通用时钟 (CCS)
- 独立基准无展频 (SRNS)
- 独立基准独立展频 (SRIS)

3.1 通用时钟架构

在通用时钟 (CC) 架构中，发送器和接收器器件均由同一 PLL 提供时钟。图 3-1 展示了此架构的方框图。通用时钟是广泛受支持的 PCIe 时钟架构。此架构可轻松支持两个 PCIe 器件上的 SSC，以降低 EMI，从而实现展频通用时钟 (CCS)。图 3-1 展示了典型的通用时钟架构。

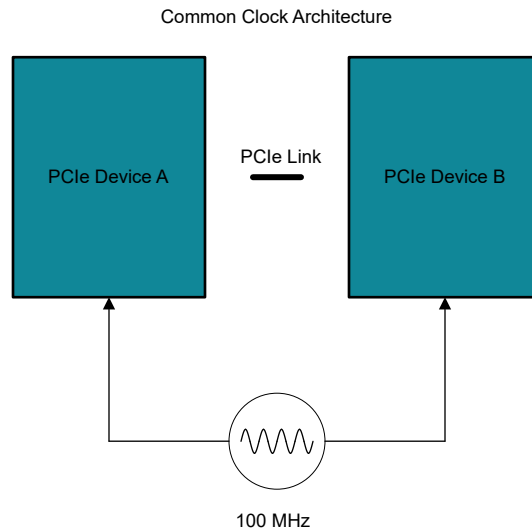


图 3-1. 通用时钟架构

3.2 独立参考架构

在独立参考架构中，发送器和接收器器件使用不同的时钟源。图 3-2 展示了此架构的方框图。使用 SRNS 或 SNIS 的系统必须考虑使用弹性缓冲器的 TX 和 RX 器件之间的时钟移位。允许最高 600ppm 的时钟差异，从而导致每 1666 个时钟发生一次时钟移位。在 SNIS 中，SSC 又增加了 5000ppm 的移位，从而导致每 178 个时钟发生一次时钟移位。由于数据有效负载大小会发生变化，支持 SRIS 架构的元件的弹性缓冲器可能比支持 SRNS 的元件的弹性缓冲器需要更多条目。

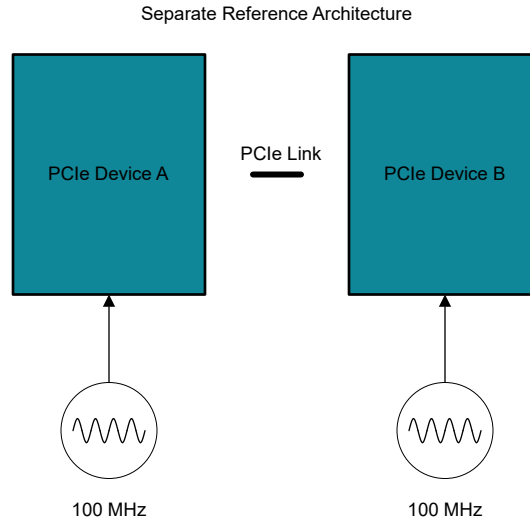


图 3-2. 独立参考架构

3.3 扩频时钟

通用时钟和独立参考架构均支持展频时钟。使用 SSC 时，时钟频率被调制，从而将辐射发射分布在多个频率上，而不是单个峰值频率上。这种频率调制会增加抖动。通用时钟 PCIe 系统指定 30kHz 至 33kHz 之间的调制频率，扩展范围在 0% 和 -0.5% 之间，称为向下展频 SSC。对于独立参考架构，扩展范围为 0% 至 -0.3%。图 3-3 展示了不带 SSC 时的峰值能量与带 -0.5% 向下展频 SSC 时的峰值能量之间的差异。-5dB 处的单个 100MHz 峰值适用于不带 SSC 的情况。启用 -0.5% 向下展频 SSC 后，能量峰值为 -14dB。

如果 100MHz REFCLK 具有 -0.5% 向下展频 SSC，PCIe 器件必须能够承受 100MHz 的较大 ppm 变化：在典型频率稳定性预算中为 100ppm，在时钟频率扩展中为 2500ppm。此规格通常表示为 -100ppm 至 +2600ppm。在 SRIS 中，允许的最大向下展频 SSC 为 -0.3%。这种情况下的总频率稳定性为 -100ppm 至 +1600ppm。

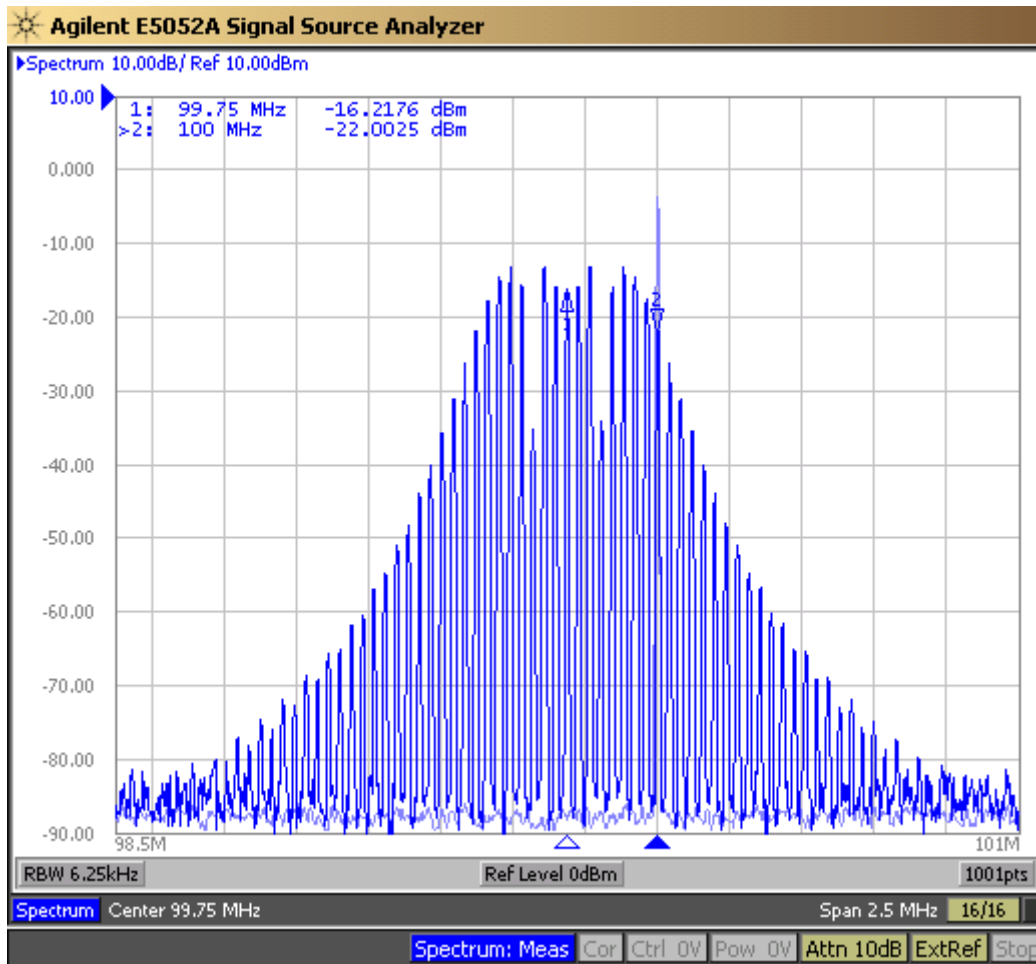


图 3-3. 不带 SSC 和 -0.5% 向下展频 SSC 时为 100MHz REFCLK

对于通用时钟架构，两个时钟的抖动相同。因此，对于独立参考架构的 SSC，时钟可以是独立基准无展频 (SRNS) 或独立基准独立展频 (SRIS)。使用 SRIS 时，发送器和接收器在任何给定时间的时钟频率都不同。在这种情况下，两个 PCIe 器件都会通过实现缓冲器来解决时钟频率差异问题。

3.4 PCIe REFCLK 拓扑

图 3-4 展示了典型的通用时钟架构设置及数据传输路径。发送器由 TX PLL 和 TX Latch 组成，接收器由 RX PLL、RX 时钟数据恢复 (CDR) 和 RX 锁存器组成。将 REFCLK 提供给发送器和接收器，但接收器处的抖动受到两个 PCIe 器件的 PLL、接收器的 CDR，以及 REFCLK 通过两条路径传输到 RX 锁存器之间的延迟的影响。

方程式 5 展示了 REFCLK 在 RX 锁存器处的影响的总体传递函数。阻尼因子 ζ 和频率 f 的值由 PCIe 标准根据版本设置。TX 和 RX 的 PLL 用作二阶低通滤波器。在 PCIe 第 4 代之前，CDR 充当一阶高通滤波器。对于 PCIe 第 5 代和 PCIe 第 6 代，CDR 充当二阶高通滤波器。

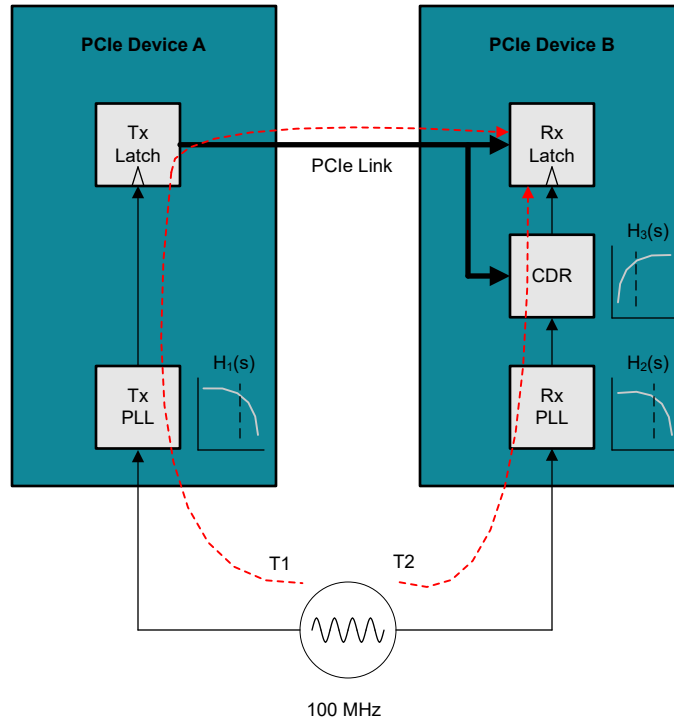


图 3-4. REFCLK 通用时钟分配

$$\text{TX PLL : } H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + \zeta_1\omega_{n1} + \omega_{n1}^2} : \text{Where } \omega_{n1} = 2\pi f_{n1} \quad (1)$$

$$\text{RX PLL : } H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + s\zeta_2\omega_{n2} + \omega_{n2}^2} \quad (2)$$

$$\text{CDR : 高电平}_3(s) = \frac{s}{s + \omega_{n3}^2} \quad (3)$$

$$\text{Delta Between REFCLK Paths : } |T1 - T2| \quad (4)$$

$$\text{Overall Transfer Function : } H(s) = (H_1(s)e^{-st} - H_2(s))H_3(s) \text{ or } H(s) = (H_2(s)e^{-st} - H_1(s))H_3(s), \text{ Whichever is larger} \quad (5)$$

对于 PCIe 第 5 代和 PCIe 第 6 代，CDR 的定义不同。对于这些版本，CDR 由二阶高通滤波器表示。方程式 6 是该滤波器的公式。

$$\text{PCIe Gen 5.0/6.0 CDR : 高电平}_3(s) = \frac{s^2}{(s + \omega_0) \times (s + \omega_1)} \times \frac{s^2 + 2s\zeta_2\omega_{n0} + \omega_0^2}{s^2 + s\zeta_1\omega_{n0} + \omega_0^2} \times \frac{s}{s + \omega_{LF}}, \text{ Where } \zeta_1 = \frac{1}{\sqrt{2}} \ \& \ \zeta_2 = 1 \quad (6)$$

对于 PCIe 第 5 代， $\omega_0 = 20 \times 10^6 \times 2\pi$ ， $\omega_1 = 1.1 \times 10^6 \times 2\pi$ ， $\omega_{LF} = 160 \times 10^3 \times 2\pi$

对于 PCIe 第 6 代， $\omega_0 = 10 \times 10^6 \times 2\pi$ ， $\omega_1 = 3.88 \times 10^6 \times 2\pi$ ， $\omega_{LF} = 87 \times 10^3 \times 2\pi$

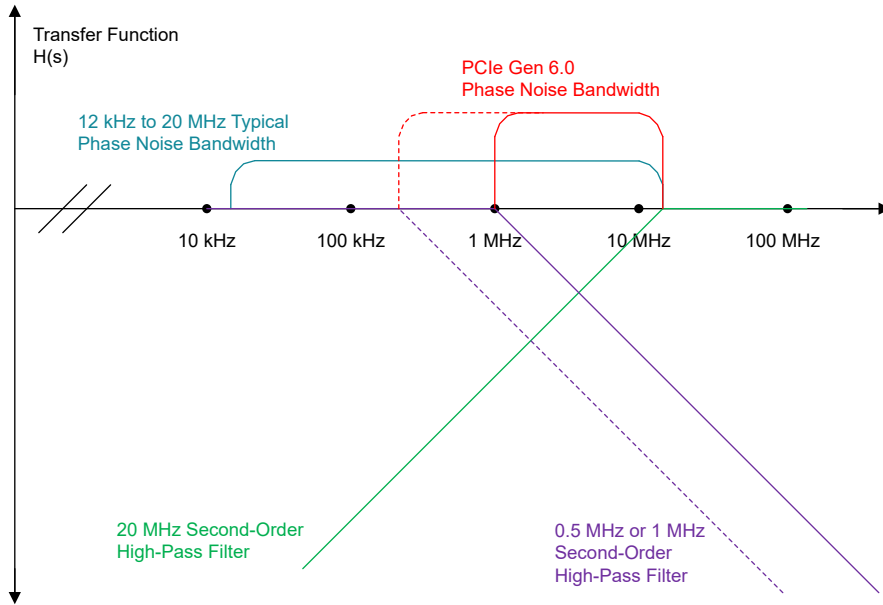


图 3-5. PCIe 带宽可视化

图 3-5 是 PCIe 第 6 代系统带宽的可视化表示。表 3-2 提供了第 6 代 PCIe 抖动滤波器特性。有 16 种可能的抖动滤波器组合。PCIe 标准列出了每一版本的完整抖动滤波器特性。各个版本的 ω 和 ζ 的值不同。

表 3-2. PCIe 第 6 代抖动滤波器特性

PLL1 特性	PLL 2 特性	CDR 特性
$\omega_{n1} = 0.112\text{Mrad/s}$ $\zeta_1 = 14$	$\omega_{n1} = 0.112\text{Mrad/s}$ $\zeta_1 = 14$	$BW_{\text{CDR}} = 10\text{MHz}$, 二阶
$\omega_{n1} = 0.224\text{Mrad/s}$ $\zeta_1 = 14$	$\omega_{n1} = 0.224\text{Mrad/s}$ $\zeta_1 = 14$	$BW_{\text{CDR}} = 10\text{MHz}$, 二阶
$\omega_{n1} = 1.50\text{Mrad/s}$ $\zeta_1 = 0.73$	$\omega_{n1} = 1.50\text{Mrad/s}$ $\zeta_1 = 0.73$	$BW_{\text{CDR}} = 10\text{MHz}$, 二阶
$\omega_{n1} = 3.00\text{Mrad/s}$ $\zeta_1 = 0.73$	$\omega_{n1} = 3.00\text{Mrad/s}$ $\zeta_1 = 0.73$	$BW_{\text{CDR}} = 10\text{MHz}$, 二阶

3.5 噪声折叠

PCIe 标准允许在实施噪声折叠时使用相位噪声分析仪进行相位抖动测量。噪声折叠是信号在本底噪声处的平坦延伸。每个噪声折叠都是信号的 50MHz 扩展。噪声折叠必须在距离载波高达 200MHz 的范围内实现，或执行三个噪声折叠。然后用噪声折叠信号计算接收器处的相位噪声。

4 PCIe 时钟规格

4.1 REFCLK 输出格式

在 PCIe 系统中，REFCLK 是一种差分高速电流转向逻辑 (HCSL) 时钟。HCSL 驱动器将电流拉入外部 $50\ \Omega$ 负载。低功耗 HCSL (LP-HCSL) 可降低驱动器的功耗，并将终端电阻集成到驱动器中，从而无需外部元件。与 HCSL 相比，LP-HCSL 驱动器更加能够驱动长布线，并且能够进行交流耦合，而无需改变端接或摆幅。图 4-1 和图 4-2 分别展示了 HCSL 和 LP-HCSL 的驱动程序。

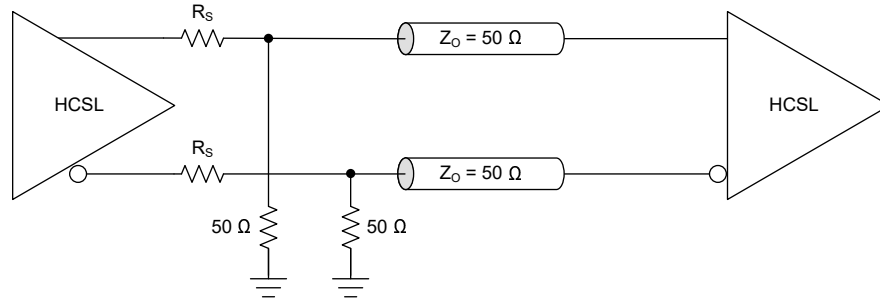


图 4-1. HCSL 输出端接

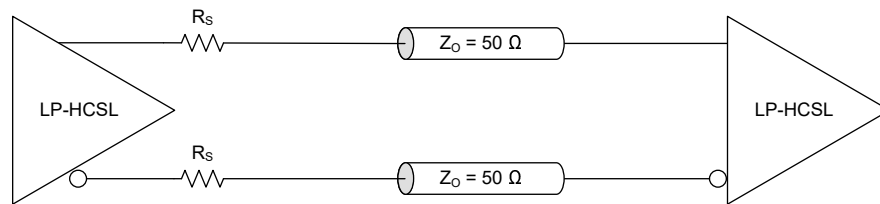


图 4-2. LP-HCSL 输出端接

4.2 PCIe 抖动要求

对于通用时钟架构，PCIe 标准设置了通过滤波器允许的 RMS 抖动的上限，方程式 5 对此滤波器进行了定义。此限制适用于给定版本中的每个滤波器组合。如果一组滤波器后的抖动超过限制，则 REFCLK 不满足该 PCIe 版本的要求。表 4-1 展示了应用滤波后通用时钟架构的抖动限制。请注意，这些限制适用于 CC 和 CCS。对于独立参考架构，PCIe 标准没有设置相位抖动限制；相反，这些限制由设计系统的工程师决定。

表 4-1. PCIe 各版本 REFCLK 相位抖动限制

PCIe 版本	REFCLK 相位抖动限制 (ps RMS)
PCIe 1.1	86
PCIe 2.1	3.1
PCIe 3.1	1.0
PCIe 4.0	0.5
PCIe 5.0	0.15
PCIe 6.0	0.1

4.3 PCIe 时域要求

除了 REFCLK 的抖动要求外，对各种时域参数也有限制。表 4-2 对这些限制进行了总结。这些限制不依赖于 PCIe 版本或时钟架构。

表 4-2. PCIe 时域参数

参数	PCIe 限制
V_{Cross}	250mV 至 550mV
V_{High}	最低 +150mV
V_{Low}	最高 -150mV
$ V_{Ringback}^{(1)} $	最低 100mV
周期	9.847ns 到 10.203ns
占空比	40%至 60%
$V_{Overshoot}$	+300mV
$V_{Undershoot}$	-300mV
上升沿速率	0.6V/ns 至 4V/ns
下降沿速率	0.6V/ns 至 4V/ns

- (1) PCIe $V_{Ringback}$ 和 Intel® $V_{Ringback}$ 的测量方法不同。Intel® 将其定义为在电压稳定在 V_{Low} 或 V_{High} 电平之前，发生下冲或过冲 ($\pm 200mV$) 后允许达到的单端电压电平，但测量时使用的是 V_{Low} 和 V_{High} ，而不是 GND

除非另有说明，否则使用差分波形测量表 4-2 中的参数，差分波形通常是高带宽示波器的数学通道，配置用于在两个单端波形之间进行减法。PCIe REFCLK 分析工具（如德州仪器 (TI) PCIe 参考时钟分析工具）使用单个波形并执行此计算。表 4-3 介绍了表 4-2 中的参数。

表 4-3. PCIe 参数说明

参数	说明
V_{Cross}	当 +REFCLK 和 -REFCLK 输出相对于系统 GND 相等时的单端电压，在 + 输出的上升沿测量，如在交流负载中测量
V_{High}	高电平电压，在交流负载中测量
V_{Low}	低电平电压，在交流负载中测量
$V_{Ringback}$	在交流负载中测量时，发生下冲或过冲后，电压稳定在 V_{Low} 或 V_{High} 电平之前，从 GND 测量允许达到的电压电平
周期	完整时钟周期的时间，在时钟上升沿之间测量，包括抖动和 SSC
占空比	时钟保持高电平的时间相对于整个时钟周期的百分比
$V_{Overshoot}$	在交流负载中测量的时钟上升沿电压过冲
$V_{Undershoot}$	在交流负载中测量的时钟下降沿电压下冲
上升沿速率	在交流负载中测量的时钟上升沿从 -150mV 过渡到 +150mV 的速率
下降沿速率	在交流负载中测量的时钟上升沿从 +150mV 过渡到 -150mV 的速率

当输出端接不当，导致反射时， $V_{Overshoot}$ 、 $V_{Undershoot}$ 和 $V_{Ringback}$ 可能会违反 PCIe 规范匹配 REFCLK 源和接收器指定的阻抗对于更大限度地减少反射至关重要。有关正确端接 REFCLK 的指导，请参阅[差分 and 单端信号的端接指南](#)。

5 REFCLK 测量技术

为了测量 REFCLK 的性能，可以使用相位噪声分析仪 (PNA) 来测量抖动的频域，即相位噪声。可以将输出布线输出到文本文件，然后通过 PCIe 处理工具进行后处理。较新的 PNA (例如本文中使用的 R&S® FWSP) 能够支持 SSC 和非 SSC 相位噪声数据收集，从而允许对展频时钟进行后处理。图 5-1 展示了 PNA 测量的测试设置。表 5-1 列出了 REFCLK 测量中使用的设备和器件。

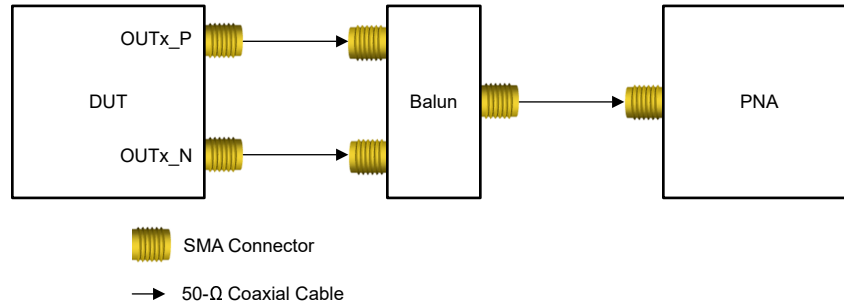


图 5-1. PNA 测量的测试设置

表 5-1. REFCLK 测量中使用的设备

低噪声源	受测器件 (DUT)	平衡-非平衡变压器	测量设备
R&S® SMA100B Agilent E5052B	LMK3H0102 LMKDB1120 ⁽¹⁾	Mini-Circuits® ADTL2-18	R&S® FSWP ⁽²⁾ Agilent DSO80804B ⁽³⁾

- (1) LMKDB1120 器件使用 R&S® SMA100B 作为 PCIe 测量的低噪声时钟源。使用低噪声源对于准确测量抖动至关重要。
- (2) R&S® FSWP 用于频域测量。
- (3) Agilent DSO80804B 用于时域测量。

5.1 时钟发生器测量结果

5.1.1 不带 SSC 的 PNA 测量结果

图 5-2 是由 PNA 测量的 LMK3H0102 输出时钟的相位噪声图。12kHz 至 20MHz 相位抖动测量为 179fs。PNA 测量结果导出为文本文件，我们可以将其导入 TICS Pro 中的德州仪器 (TI) PCIe 参考时钟分析工具。由于 PCIe 第 6 代需要 10kHz 至 50MHz 的数据，因此该工具可估计本底噪声，并将数据扩展到 50MHz 的完整奈奎斯特频带。

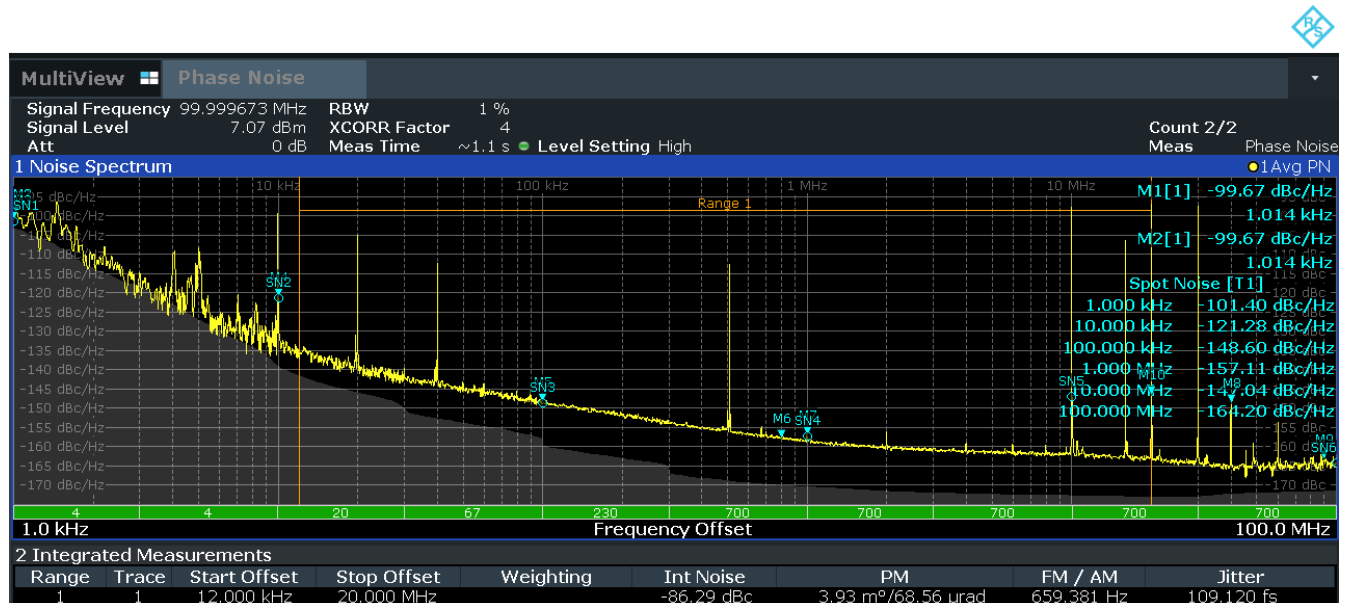


图 5-2. LMK3H102 不带 SSC 的相位噪声

5.1.2 不带 SSC 的 PCIe 滤波的 PNA 结果

表 5-2 展示了使用 PCIe 第 6 代滤波器进行后处理后的 PNA 捕获结果。PLL 和 CDR 参数的每种可能的组合都经过测试，总共产生 16 个滤波器组合，所有这些组合都通过了 PCIe 第 6 代 100fs RMS 抖动限制。在这种情况下，使用最大噪声折叠，将本底噪声扩展到距载波 200MHz 的偏移。

表 5-2. LMK3H0102 非 SSC PCIe 第 6 代详细测量结果

PCIe 版本	时钟架构	噪声折叠	滤波器组合	PLL1 f_1	PLL1 ζ_1	PLL2 f_2	PLL2 ζ_2	CDR f_3	抖动 (fs)	限制 (fs)	状态
6	CC	3	1	5.000e+5	14.0	5.000e+5	14.0	1.000e+7	4.864	100.0	通过
6	CC	3	2	5.000e+5	14.0	5.000e+5	0.73	1.000e+7	4.209	100.0	通过
6	CC	3	3	5.000e+5	14.0	1.000e+6	14.0	1.000e+7	8.117	100.0	通过
6	CC	3	4	5.000e+5	14.0	1.000e+6	0.73	1.000e+7	5.873	100.0	通过
6	CC	3	5	5.000e+5	0.73	5.000e+5	14.0	1.000e+7	4.209	100.0	通过
6	CC	3	6	5.000e+5	0.73	5.000e+5	0.73	1.000e+7	3.281	100.0	通过
6	CC	3	7	5.000e+5	0.73	1.000e+6	14.0	1.000e+7	8.180	100.0	通过
6	CC	3	8	5.000e+5	0.73	1.000e+6	0.73	1.000e+7	5.654	100.0	通过
6	CC	3	9	1.000e+6	14.0	5.000e+5	14.0	1.000e+7	8.117	100.0	通过
6	CC	3	10	1.000e+6	14.0	5.000e+5	0.73	1.000e+7	8.180	100.0	通过
6	CC	3	11	1.000e+6	14.0	1.000e+6	14.0	1.000e+7	9.352	100.0	通过
6	CC	3	12	1.000e+6	14.0	1.000e+6	0.73	1.000e+7	8.525	100.0	通过
6	CC	3	13	1.000e+6	0.73	5.000e+5	14.0	1.000e+7	5.873	100.0	通过
6	CC	3	14	1.000e+6	0.73	5.000e+5	0.73	1.000e+7	5.654	100.0	通过
6	CC	3	15	1.000e+6	0.73	1.000e+6	14.0	1.000e+7	8.525	100.0	通过
6	CC	3	16	1.000e+6	0.73	1.000e+6	0.73	1.000e+7	6.563	100.0	通过

5.1.3 带 SSC 的 PNA 测量结果

图 5-3 是当启用 SSC 时由 PNA 测量的 LMK3H0102 输出时钟的相位噪声图。SSC 配置为 -0.5% 向下展频调制。由于 SSC 会增加抖动，12kHz 至 20MHz 相位抖动更高，但在应用 PCIe 滤波器时，大部分抖动被滤除。对于 CCS 和 SRIS，最多只能消除 2MHz 的基频和谐波杂散。这样做是为了尽量减少去除与 SSC 无关的杂散。

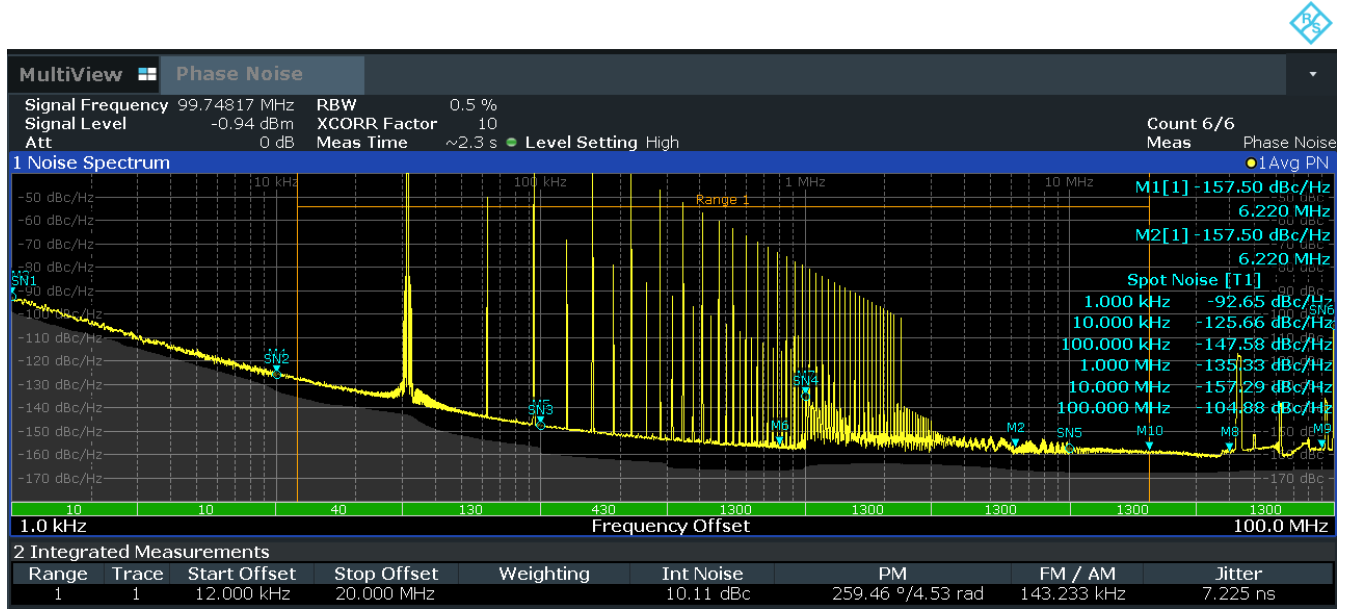


图 5-3. LMK3H0102 带 SSC 的相位噪声

5.1.4 带 SSC 的 PCIe 滤波的 PNA 结果

表 5-3 展示了使用 PCIe 第 6 代滤波器进行后处理后 SSC PNA 捕获的结果。添加 SSC 后，每个滤波器组合都继续通过 PCIe 第 6 代 100fs RMS 抖动的限制。

表 5-3. 带 SSC 的 LMK3H0102 PCIe 第 6 代详测量结果

PCIe 版本	时钟架构	噪声折叠	滤波器组合	PLL1 f_1	PLL1 ζ_1	PLL2 f_2	PLL2 ζ_2	CDR f_3	抖动 (fs)	限制 (fs)	状态
6	CCS	3	1	5.000e+5	14.0	5.000e+5	14.0	1.000e+7	10.825	100.0	通过
6	CCS	3	2	5.000e+5	14.0	5.000e+5	0.73	1.000e+7	12.809	100.0	通过
6	CCS	3	3	5.000e+5	14.0	1.000e+6	14.0	1.000e+7	19.740	100.0	通过
6	CCS	3	4	5.000e+5	14.0	1.000e+6	0.73	1.000e+7	17.380	100.0	通过
6	CCS	3	5	5.000e+5	0.73	5.000e+5	14.0	1.000e+7	12.809	100.0	通过
6	CCS	3	6	5.000e+5	0.73	5.000e+5	0.73	1.000e+7	7.595	100.0	通过
6	CCS	3	7	5.000e+5	0.73	1.000e+6	14.0	1.000e+7	22.194	100.0	通过
6	CCS	3	8	5.000e+5	0.73	1.000e+6	0.73	1.000e+7	18.944	100.0	通过
6	CCS	3	9	1.000e+6	14.0	5.000e+5	14.0	1.000e+7	19.740	100.0	通过
6	CCS	3	10	1.000e+6	14.0	5.000e+5	0.73	1.000e+7	22.194	100.0	通过
6	CCS	3	11	1.000e+6	14.0	1.000e+6	14.0	1.000e+7	21.601	100.0	通过
6	CCS	3	12	1.000e+6	14.0	1.000e+6	0.73	1.000e+7	20.718	100.0	通过
6	CCS	3	13	1.000e+6	0.73	5.000e+5	14.0	1.000e+7	17.380	100.0	通过
6	CCS	3	14	1.000e+6	0.73	5.000e+5	0.73	1.000e+7	18.944	100.0	通过
6	CCS	3	15	1.000e+6	0.73	1.000e+6	14.0	1.000e+7	20.718	100.0	通过
6	CCS	3	16	1.000e+6	0.73	1.000e+6	0.73	1.000e+7	15.170	100.0	通过

5.1.5 时域 PCIe 测量结果

图 5-4 是示波器在不带 SSC 的情况下测量的 LMK3H0102 的 OUT0_P 和 OUT0_N 输出的时域捕获。这些结果导出为文本文件，可由德州仪器 (TI) PCIe 参考时钟分析工具读取并分析其合规性。

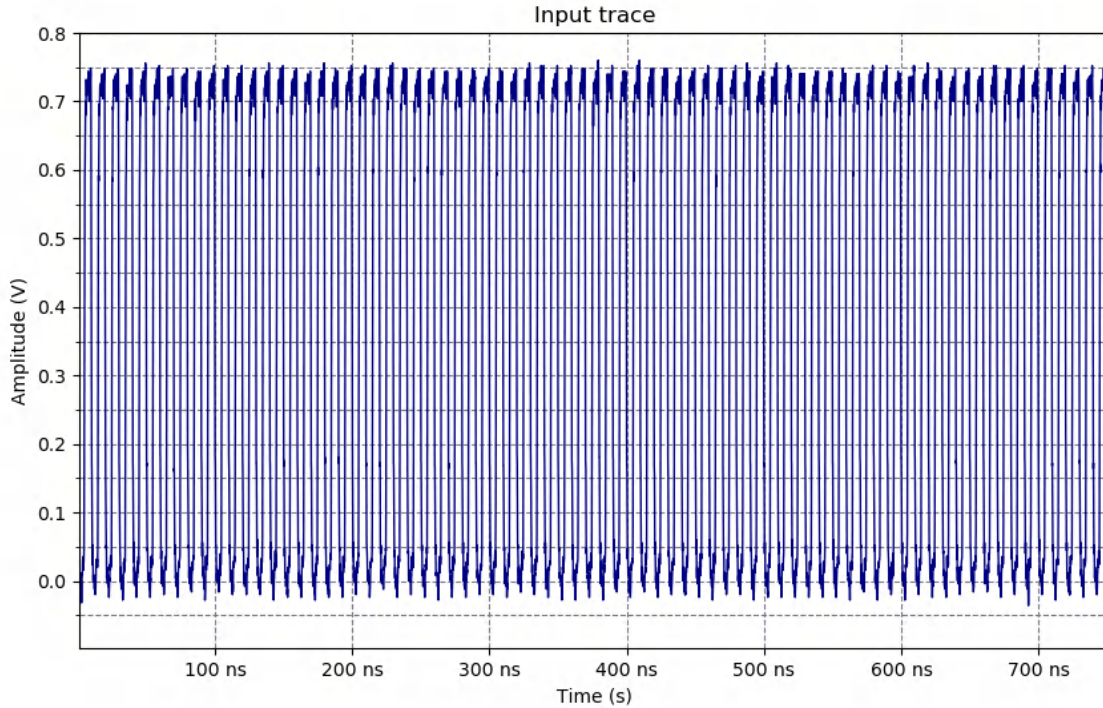


图 5-4. LMK3H0102 PCIe 时域捕捉

表 5-4 展示了分析后的示波器测量结果。对于 LMK3H0102，所有参数都符合表 4-2 中规定的限值。

表 5-4. LMK3H0102 PCIe 时域结果

参数	单位	最小值	平均值	最大值	限制	状态
V_{Cross}	mV	396.62	407.61	416.73	250mV 至 550mV	通过
V_{High}	mV	720.0	720.0		150mV	通过
V_{Low}	mV		-12.0	-12.0	-150mV	通过
$V_{Ringback}$	mV	621.9476	645.43		100mV	通过
周期	ns	9.9	9.996	10.1	9.847ns 到 10.203ns	通过
占空比	%	50.02	50.58	51.021	40%至 60%	通过
$V_{Overshoot}$	mV		28.26	40.0	300mV	通过
$V_{Undershoot}$	mV		-32.28	-48.0	-300mV	通过
上升沿速率	V/ns	2.24	2.584	2.92	0.6V/ns 至 4.0V/ns	通过
下降沿速率	V/ns	2.12	2.612	3.08	0.6V/ns 至 4.0V/ns	通过

5.2 时钟缓冲器测量结果

5.2.1 PNA 测量结果

图 5-2 是由 PNA 测量的 LMKDB1120 输出时钟的相位噪声图。12kHz 至 20MHz 相位抖动测量为 57.2fs。PNA 测量结果导出为文本文件，我们可以将其导入 TICS Pro 中的德州仪器 (TI) PCIe 参考时钟分析工具。由于 PCIe 第 6 代需要 10kHz 至 50MHz 的数据，因此该工具可估计本底噪声，并将数据扩展到 50MHz 的完整奈奎斯特频带。

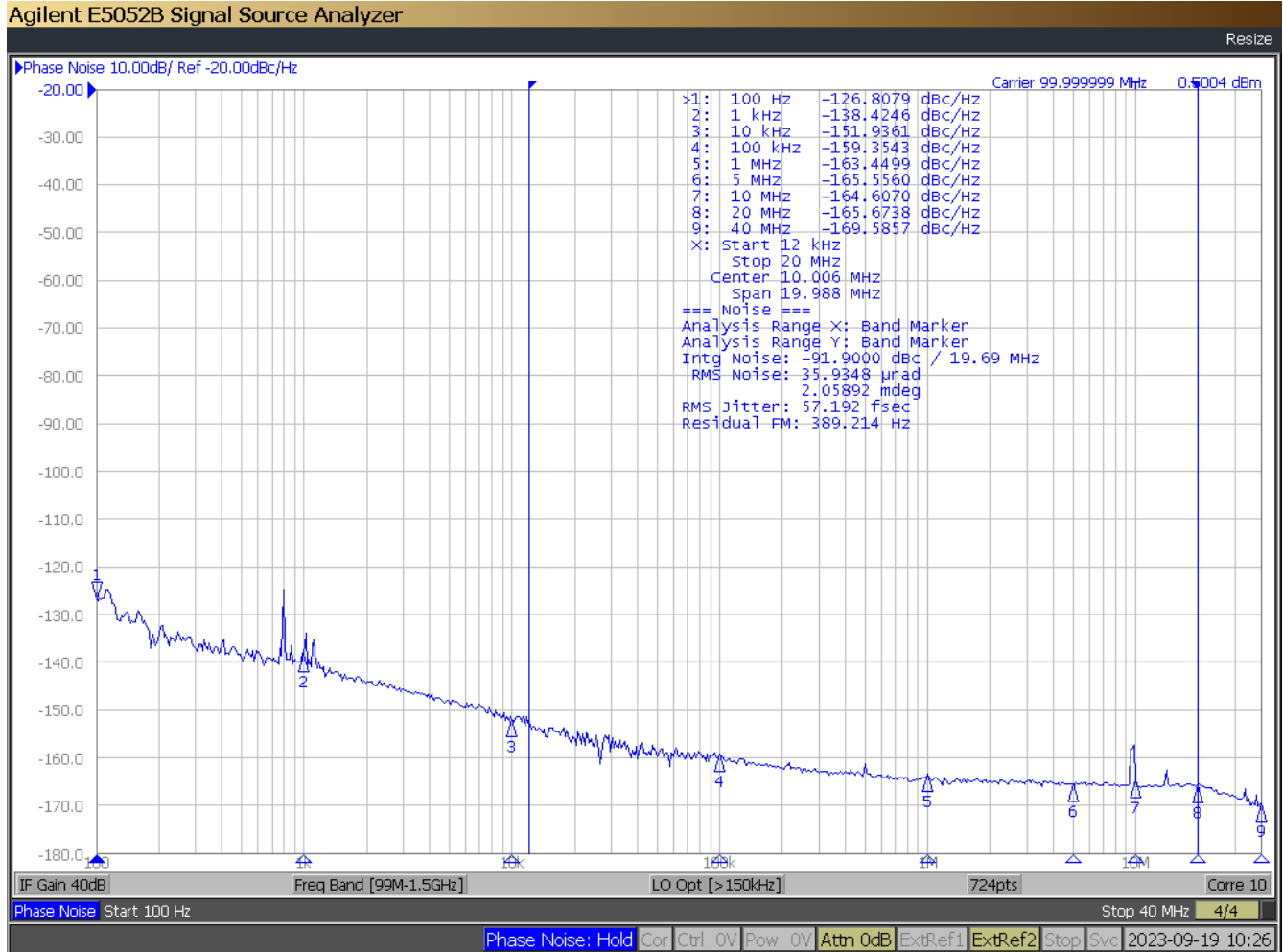


图 5-5. LMKDB1120 相位噪声

5.2.2 PCIe 滤波的 PNA 结果

表 5-5 展示了使用 PCIe 第 6 代滤波器进行后处理后的 PNA 捕获结果。PLL 和 CDR 参数的每种可能的组合都经过测试，总共产生 16 个滤波器组合，所有这些组合都通过了 PCIe 第 6 代 100fs RMS 抖动限制。在这种情况下，使用最大噪声折叠，将本底噪声扩展到距载波 200MHz 的偏移。

表 5-5. LMKDB1120 PCIe 第 6 代详细测量结果

PCIe 版本	时钟架构	噪声折叠	滤波器组合	PLL1 f_1	PLL1 ζ_1	PLL2 f_2	PLL2 ζ_2	CDR f_3	抖动 (fs)	限制 (fs)	状态
6	CC	3	1	5.000e+5	14	5.000e+5	14	1.000e+7	2.639059	100.0	通过
6	CC	3	2	5.000e+5	14	5.000e+5	0.73	1.000e+7	2.384618	100.0	通过
6	CC	3	3	5.000e+5	14	1.000e+6	14	1.000e+7	4.637093	100.0	通过
6	CC	3	4	5.000e+5	14	1.000e+6	0.73	1.000e+7	3.323399	100.0	通过
6	CC	3	5	5.000e+5	0.73	5.000e+5	14	1.000e+7	2.384618	100.0	通过
6	CC	3	6	5.000e+5	0.73	5.000e+5	0.73	1.000e+7	1.848678	100.0	通过
6	CC	3	7	5.000e+5	0.73	1.000e+6	14	1.000e+7	4.710578	100.0	通过
6	CC	3	8	5.000e+5	0.73	1.000e+6	0.73	1.000e+7	3.227408	100.0	通过
6	CC	3	9	1.000e+6	14	5.000e+5	14	1.000e+7	4.637093	100.0	通过
6	CC	3	10	1.000e+6	14	5.000e+5	0.73	1.000e+7	4.710578	100.0	通过
6	CC	3	11	1.000e+6	14	1.000e+6	14	1.000e+7	5.268353	100.0	通过
6	CC	3	12	1.000e+6	14	1.000e+6	0.73	1.000e+7	4.836191	100.0	通过
6	CC	3	13	1.000e+6	0.73	5.000e+5	14	1.000e+7	3.323399	100.0	通过
6	CC	3	14	1.000e+6	0.73	5.000e+5	0.73	1.000e+7	3.227408	100.0	通过
6	CC	3	15	1.000e+6	0.73	1.000e+6	14	1.000e+7	4.836191	100.0	通过
6	CC	3	16	1.000e+6	0.73	1.000e+6	0.73	1.000e+7	3.697889	100.0	通过

5.2.3 时域 PCIe 测量结果

图 5-6 是示波器测量的 LMKDB1120 的 OUT0_P 和 OUT0_N 输出的时域捕获。这些结果导出为文本文件，可由德州仪器 (TI) PCIe 参考时钟分析工具读取并分析其合规性。

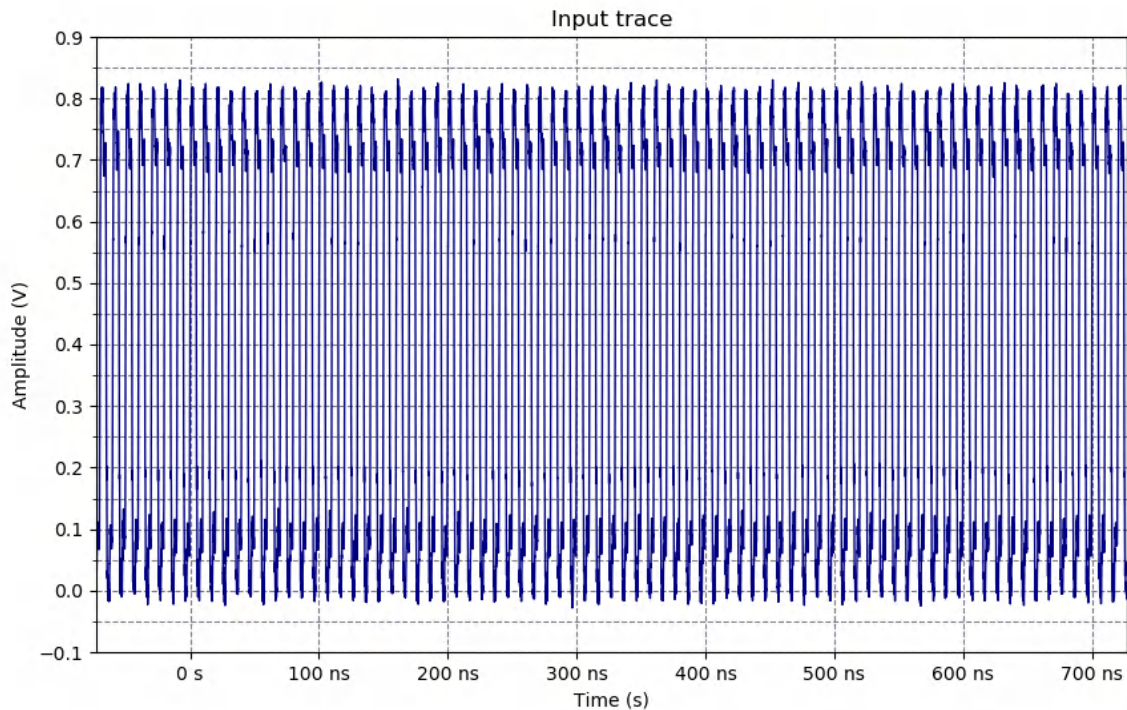


图 5-6. LMKDB1102 PCIe 时域捕捉

表 5-6 展示了分析后的示波器测量结果。对于 LMKDB1120，所有参数都符合表 4-2 中规定的限值。

表 5-6. LMKDB1120 PCIe 时域结果

参数	单位	最小值	平均值	最大值	限制	状态
V_{Cross}	mV	334.15	346.91	361.14	250mV 至 550mV	通过
V_{High}	mV	746.784	746.784		150mV	通过
V_{Low}	mV		-54.042	-54.042	-150mV	通过
$V_{Ringback}$	mV	557.354	586.954		100mV	通过
周期	ns	9.981	9.996	10.022	9.847ns 到 10.203ns	通过
占空比	%	49.343	49.493	49.663	40%至 60%	通过
$V_{Overshoot}$	mV		69.48	84.82	300mV	通过
$V_{Undershoot}$	mV		-67.09	-82.29	-300mV	通过
上升沿速率	V/ns	2.067	2.336	2.615	0.6V/ns 至 4.0V/ns	通过
下降沿速率	V/ns	1.974	2.2	2.629	0.6V/ns 至 4.0V/ns	通过

6 符合 PCIe 标准的德州仪器 (TI) 产品

德州仪器 (TI) 提供各种符合 PCIe 标准的时钟发生器和时钟缓冲器产品。表 6-1 列出了已通过 PCIe 合规性评估的产品。由于标准的严格性随着 PCIe 版本的增加而提高，每种产品都在列出的版本之前通过了几个版本的评估。可在 LMK3H0102 和 LMKDB11xx 器件系列的产品页面上查看 PCIe 报告。

表 6-1. PCIe 兼容的德州仪器 (TI) 器件

器件型号	产品系列	差分输出	产品系列链接	PCIe 版本合规性
LMK3H0102	基于 BAW 的无基准时钟发生器	2	LMK3H0102 产品页面	第 6.0 代
LMKDB1120 LMKDB1108 LMKDB1104 LMKDB1204 LMKDB1202	LP-HCSL 时钟缓冲器和多路复用器	20 8 4 4 2	LMKDB11xx 产品页面	第 6.0 代
LMK6H LMK6C ⁽¹⁾	基于 BAW 的低抖动高性能振荡器	1 LVCMOS	LMK6H 产品页面	6.0
CDCE6214 CDCE6214-Q1 CDCE6214Q1TM	超低功耗时钟发生器	4 4 4	CDCE6214 产品页面	第 5.0 代
LMK00338 LMK00334 LMK00334-Q1	LP-HCSL 时钟缓冲器和电平转换器	8 4 4	LMK00338 产品页面	第 5.0 代
LMK03328 LMK03318	具有八路输出的超低抖动时钟发生器	8 8	LMK03328 产品页面	第 4.0 代
LMK00301 LMK00308 LMK00306 LMK00304	超低附加抖动差分时钟缓冲器和电平转换器	10 8 6 4	LMK00301 产品页面	第 3.0 代

(1) LMK6C 可用作缓冲器器件的时钟源，以提供 LP-HCSL 输出，并具有 TI 的 BAW 技术带来的可靠性优势。

7 总结

使用 PCIe 的系统必须注意适当地规划架构。每种不同的架构都有权衡取舍，系统设计人员必须确定哪种架构能够满足其系统要求。添加展频时钟是降低 EMI 的理想选择，但代价是增加了 REFCLK 设计的复杂性。

必须满足频域和时域规范才能符合 PCIe 要求。选择较低 RMS 抖动时钟源至关重要。测量 PCIe 抖动需要了解 PCIe 滤波。使用较新的 PNA 可以轻松收集非 SSC 和 SSC 相位噪声数据以进行频域分析。[德州仪器 \(TI\) PCIe 参考时钟分析工具](#) 允许快速分析 PNA 和示波器数据以确定 PCIe 合规性。

PCIe 的广泛使用以及对增加数据吞吐量的需求需要时钟产品。德州仪器 (TI) 提供了广泛的时钟发生器和时钟缓冲器产品组合，可满足严格的 PCIe 第 6 代合规性要求。[德州仪器 \(TI\) 时钟和时序概述](#) 提供了有关可用 PCIe 兼容产品的更多信息。

8 参考资料

- 德州仪器 (TI), [德州仪器 \(TI\) 时钟和时序概述](#)。
- 德州仪器 (TI), [德州仪器 \(TI\) 时钟和合成器 \(TICS\) 专业软件](#)。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司