

C2000 Type-4 ADC 模块误差校准方案

Shaoxing Ke, Wei Gao

摘要

C2000 是实时控制领域 MCU，高实时性意味着低延迟。信号延迟指从模数转换器 (ADC) 测量信号，到 CPU 处理信息，以及增强型脉宽调制器 (EPWM) 控制功率的时间。整个信号链中 ADC 采样精度至关重要，它决定了最终控制输出的稳态精度。其中，MCU 片内 ADC 的失调和增益误差是广大用户在使用过程中需要关注的静态参数，尤其是在高精度控制场合往往对这类指标有更严格的要求，但由于 ADC 实际传输特性的限制，增益误差的存在是不可避免并且无法被完全消除的。因此，本文提出一种基于 12 位 ADC 动态补偿增益误差的有效方法，并在 **C2000** MCU 新一代 Type-4 ADC 模块上验证，最终来提升 ADC 精度。

目录

1	引言	2
2	ADC 模块误差校正方案	Error! Bookmark not defined.
2.1	传统单点法校准失调和增益误差的方案	4
2.2	使用两点法校准失调和增益误差的方案	4
2.2	用新一代 C2000 F28P65x 系列 ADC 校准方案 (软件+硬件)	8
3	常见问题	10
4	结论	11
5	参考文献	11

图

Figure 1.	ADC 静态失调图	2
Figure 2.	ADC 增益误差图	2
Figure 3.	ADC 模块 Offset error 和 Gain error	3
Figure 4.	ADC 误差电气参数(摘自 F2800137 数据手册)	3
Figure 5.	单点 ADC 误差校准	4
Figure 6.	双点 ADC 误差校准	4
Figure 7.	两点校准实施实例	5
Figure 8.	ADC 外部连接图	6
Figure 9.	ADC Calibration experiment data	7
Figure 10.	ADC error 校准前后对比(基于 LAUNCHXL-F2800137 开发板)	7
Figure 11.	校准后的 ADC 静态误差特性	Error! Bookmark not defined.
Figure 12.	Type-4 ADC TMS320F28P650DK 模块框图	8
Figure 13.	Type-4 ADC TMS320F28P650DK 新增特性	9
Figure 14.	两个软件版本 CPU 占用率对比	9
Figure 15.	不同 C2000 产品系列 ADC 误差特性(左图-校准前；右图-校准后)	11

1 引言

MCU 片内 ADC 模块的误差总包括了 5 个静态参数 (静态失调, 增益误差, 微分非线性误差 (DNL), 积分非线性误差 (INL), 绝对精度误差) 和 5 个动态参数 (信噪比, 信噪失真比, 无杂散动态范围, 有效位, 总谐波失真)。此外, 详细参数参阅相对应 C2000 MCU 的数据手册 ADC 章节, 如下图 3 所示。其中, **静态失调**和**增益误差**是可以利用微控制器 MCU 进行修正, 可以通过软件算法, 也可以通过硬件固化的方式进行补偿。本文提供一种两点法 ADC 模块误差校正并结合 Type-4 硬件计算的方式来完成 ADC 的误差补偿。

ADC 静态失调被定义为第一次理想编码跳变与第一次实际编码跳变之间的偏差。第一次理想编码跳变发生在 0.5 LSB 处。如果输入电压小于 0.5 LSB 时输出代码大于零, 则 ADC 产生正失调误差。如果输入电压大于 0.5 LSB 时发生第一次输出编码跳变, 则 ADC 产生负失调误差, 参考如下图 1 所示。

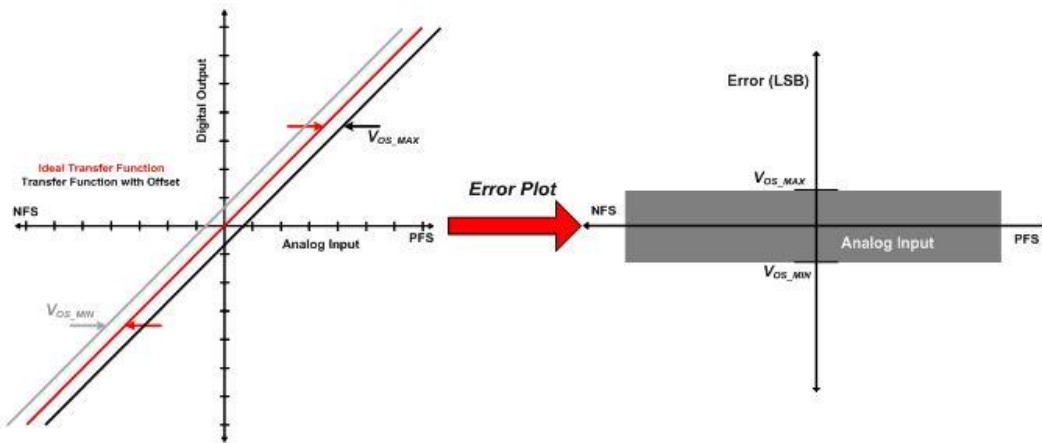


Figure 1. ADC 静态失调图

ADC 增益误差被定义为补偿失调误差后理想 ADC 传输的最后一步中点与实际 ADC 的最后一步中点的偏差, 参考如下图 2 所示。

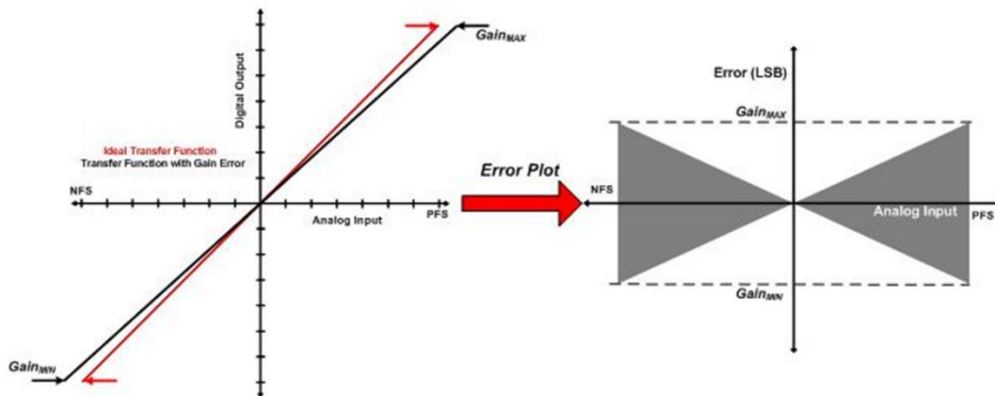


Figure 2. ADC 增益误差图

为理解 ADC 静态失调和 ADC 增益误差（文中将以 Offset error 和 Gain error 指代），通过下图 3 来进行说明。

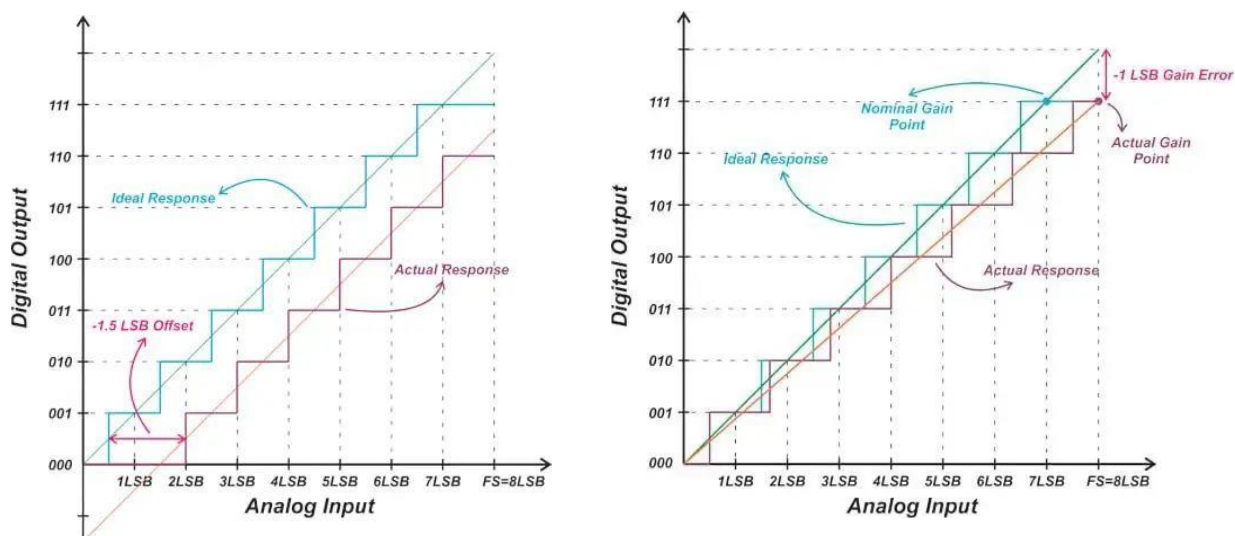


Figure 3. ADC 模块 Offset error(左图)和 Gain error(右图)

如图 3(左)所示，在理想的 ADC 转换中，数字输出为 000 时理想的模拟电压输入范围应为 0~0.5LSB，而实际模拟输入在 0~2LSB 时数字输出均为 000，那么此时的 Offset error 即为 1.5LSB；同理，再如图 3(右)可知，当输入模拟信号为 8LSB 时实际数字输出比理想输出小 1LSB，即 Gain error 为 1LSB 并且是负向 error。在 C2000 F280013x 系列 Datasheet 中可以查找到如下图 4 ADC 误差电气参数特性，可以看到在使用内部电压参考时 Gain error 为 ± 45 LSB，这在精密应用场景可能会带来不小的影响。同时除了被重点关注的 Gain error 和 offset error，ADC 可能还会存在 INL error(积分非线性误差)、DNL error(微分非线性误差)共同决定了实际采样转换的非线性度。

DC Characteristics				
Gain Error	Internal reference	-45	45	LSB
	External reference	-5	± 3 5	
Offset Error		-5	± 2 5	LSB
Channel-to-Channel Gain Error ⁽⁴⁾			2	LSB
Channel-to-Channel Offset Error ⁽⁴⁾			2	LSB
ADC-to-ADC Gain Error ⁽⁵⁾	Identical VREFHI and VREFLO for all ADCs		4	LSB
ADC-to-ADC Offset Error ⁽⁵⁾	Identical VREFHI and VREFLO for all ADCs		2	LSB
DNL Error		> -1	± 0.5 1	LSB
INL Error		-2	± 1.0 2	LSB
ADC-to-ADC Isolation	VREFHI = 2.5 V, synchronous ADCs	-1	1	LSBs

Figure 4. ADC 误差电气参数(摘自 F2800137 数据手册)

2 ADC 模块误差校正方案

2.1 传统单点法校准失调和增益误差的方案

单点 ADC 校准方案通常是外部提供一个固定的电压参考点(在全域输入电压范围内选取), 使用一个采样通道定时对该参考点进行采样, 计算出该点误差后直接同步校准到整个电压输入域。

该方案的劣势在于单点的误差无法完全反应全域的误差, 单纯使用单点的误差状态推广到全域进行校准, 会存在无法达到预期校准精度的可能, 如下图 5 所示。

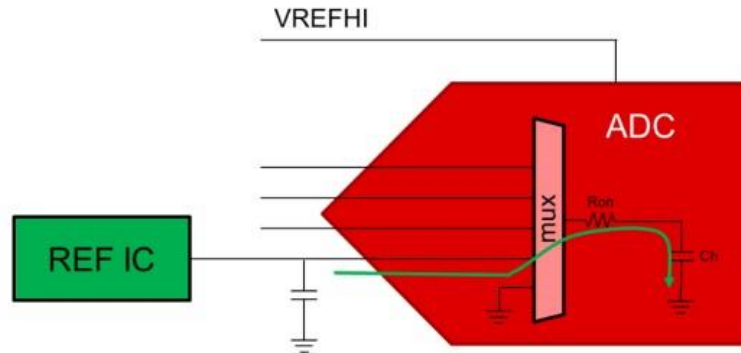


Figure 5. 单点 ADC 误差校准

2.2 使用两点法校准失调和增益误差的方案

实际上 ADC 在全域输入模拟电压范围内每一个点的 Offset error 和 Gain error 或许是不尽相同的、非线性的, 但出于性价比考虑本文提出一种实现成本最优的 ADC 两点动态校准法, 如下图 6 所示:

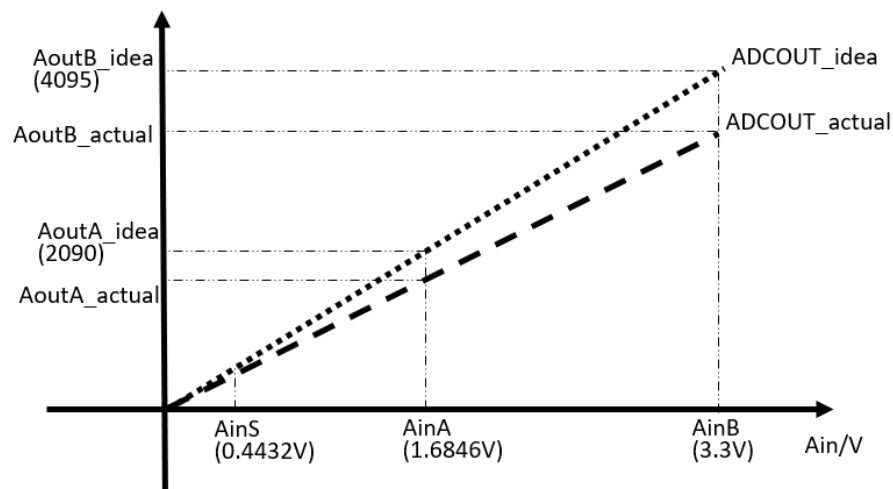


Figure 6. 双点 ADC 误差校准

如上图 7 所示, 两点校准法需要在全域模拟输入内选取两个点 $A_{inA}(V_{ref1})$ 和 $A_{inB}(V_{ref2})$ 进行曲线拟合、校准。

具体实施过程:

1. 本案例在当 ADC 输入模拟电压大于 0.4432V 左右时执行误差校准程序(Note: 在低电压 0~0.4432V 范围 ADC 转换误差较小);
2. 计算 Gain error 比: $CalGain = \frac{AoutB_actual - AoutA_actual}{AoutB_idea - AoutA_idea}$, 实质就是斜率之比
3. 计算各点的 Offset error:
 - a) 计算 A 点的 Offset error: $CalOffsetA = AoutA_idea - (AoutA_actual * CalGain)$
 - b) 计算 B 点的 Offset error: $CalOffsetB = AoutB_idea - (AoutB_actual * CalGain)$
 - c) 计算两点的平均 Offset error: $CalOffsetAve = \frac{CalOffsetL + CalOffsetH}{2}$
4. 设定一个非线性的误差补偿比:
 - a) 计算当前点之于非线性起始点的偏移量: $CalNonP = \frac{ADCOUT_actual}{AoutA_idea}$ (其中 ADCOUT_actual 为当前采样输出的 AD 值, AoutA_idea 为非线性补偿段的起始点, 此处以 A 点代指, 但实际例程实验时以 3000 为起始点, 此值不固定、应以实际调试为准);
 - b) 计算补偿值: $CalOffsetNonL = (CalNonP * CalOffsetAve) / x$ (其中 x 为常量, 手动调节的补偿放大比例, 本例设为 2)。

由于 ADC 误差实际表现的非线性, 为得到更为精确的补偿, 本案例将校准分为两段式补偿: 低区误差补偿(AinS ~ AinA 段, 如上图 6 所示)、高区误差补偿(AinA ~ AinB 段)。

将计算所得参数带入输出误差校准公式:

低区误差补偿公式: $CaliAout = ADCOUT_actual * CalGain + CaiOffsetA$

高区误差补偿公式: $CaliAout = ADCOUT_actual * CalGain + CaiOffsetAve + CalOffsetNonL$

注: 实际应用中为提高动态特性, 需在特定时间内调用一次误差补偿程序以实时更新补偿量。

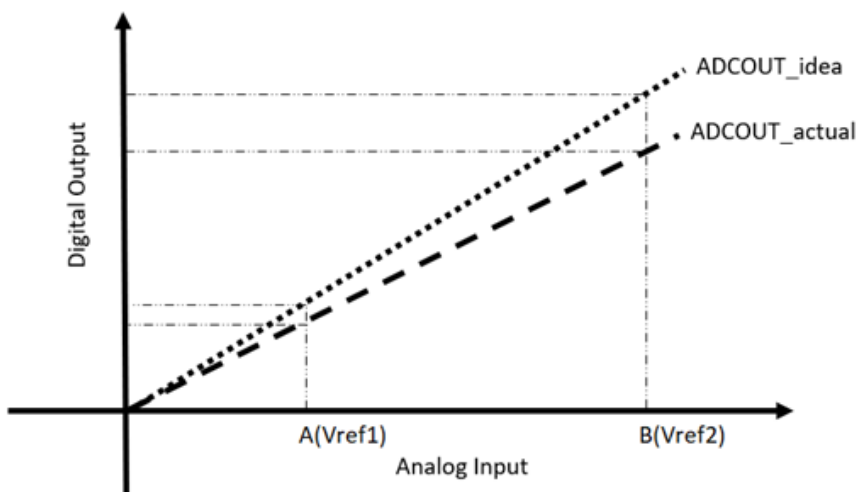


Figure 7. 两点校准实施实例

F280013x LaunchPad 开发板实验结果:

当本文使用 F280013x LaunchPad 来进行本方案的模拟验证，选取两个 ADCIN 通道分别对两个模拟参考输入点（A、B）进行采样，本文选取 A 点为使用片内 DAC 提供 $V_{ref1} \approx 1.6846V$ 、B 点为 $V_{ref2} = V_{ss}3.3V$ 。

注：本案例使用板上资源提供参考点，但用户应根据实际情况选取参考输入，可使用外部高精参考电压或其他自定义设计以确保参考点的准确、稳定。

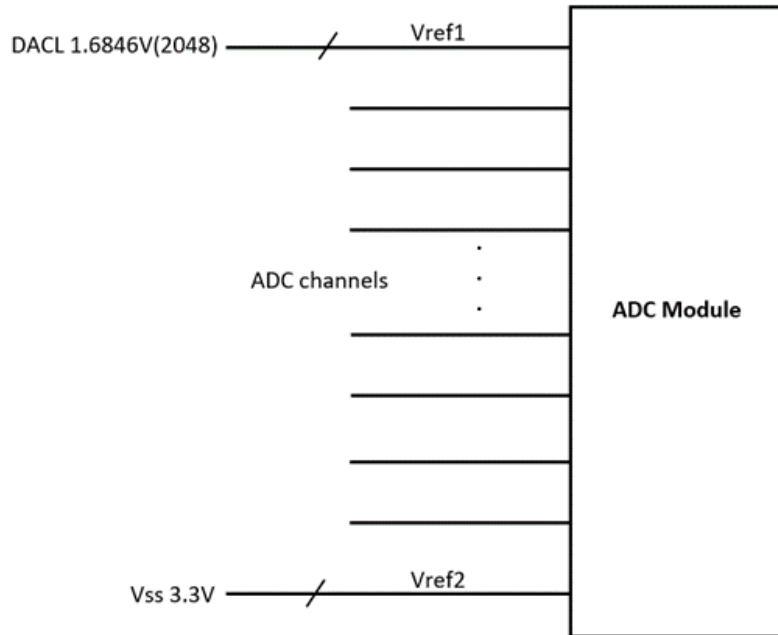


Figure 8. ADC 外部连接图

利用上述方案，使用 F280013x LaunchPad 对 ADC 模块的其中一个通道进行校准并记录数据：

Analog input/V	Actual result	Ideal result	Actual error	Calibration result	Calibration error
0.3459	429	429.23	0.23	429	0.23
0.5361	664	665.25	1.25	666	-0.75
0.6148	761	762.91	1.91	763	-0.09
0.7607	941	943.96	2.96	942	1.96
0.9216	1140	1143.62	3.62	1140	3.62
0.9702	1199	1203.93	4.93	1199	4.93
1.0897	1347	1352.22	5.22	1354	-1.78
1.2798	1584	1588.12	4.12	1589	-0.88
1.3451	1662	1669.15	7.15	1668	1.15
1.5003	1858	1861.74	3.74	1862	-0.26
1.7321	2146	2149.38	3.38	2151	-1.62
2.0228	2505	2510.11	5.11	2508	2.11
2.3065	2856	2862.16	6.16	2858	4.16
2.5716	3181	3191.12	10.12	3191	0.12
2.8428	3516	3527.66	11.66	3524	3.66
2.952	3660	3663.16	3.16	3667	-3.84
3.16	3911	3921.27	10.27	3917	4.27
3.1953	3953	3965.08	12.08	3959	6.08
3.2703	4045	4058.15	13.15	4051	7.15

Sum |ae| = 110.2

Sum |ce| = 48.65

Figure 9. ADC Calibration experiment data

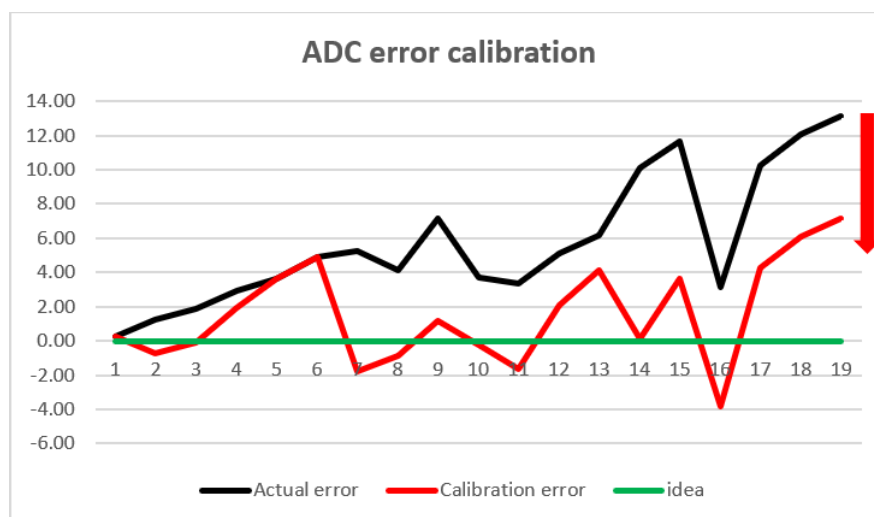


Figure 10. ADC error 校准前后对比(基于 LAUNCHXL-F2800137 开发板)

综上所述实验数据可得校准比： $1 - (|ce| / |ae|) * 100\% = 1 - 48.65 / 110.2 * 100\% = 55.853\%$ ，即经过校准后 **ADC 整体精度提高了 55%左右**。

理论而言当使用内部 VDD 为 ADC 基准参考源时，校准后的 ADC 静态误差特性可以提升为如下所示参数：

DC Characteristics			
Gain Error	-20	+ 20	LSB
Offset Error	-2	+ 2	LSB

Figure 11. 校准后的 ADC 静态误差特性

2.3 使用新一代 C2000 F28P65x 系列 ADC 校准方案（软件+硬件）

为了保证参考点采样的准确，ADC 两点校准法自然也需要做软件上的采样平均等滤波，这就会带来一些额外的软件开销，这在某些情况下可能是不太友好的。但随着 C2000 新一代产品 F28P65 的诞生，ADC 模块-PPB 后处理子模块的升级也会为此带来极大便利。

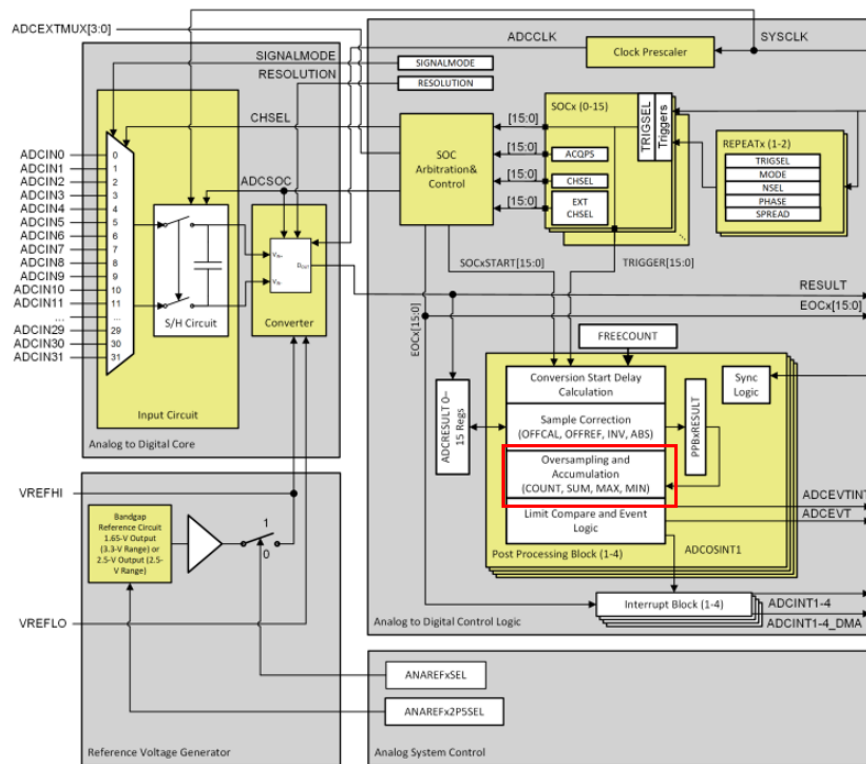


Figure 7-38. ADC Module Block Diagram

Figure 12. Type-4 ADC TMS320F28P650DK 模块框图

18.8.5.1 Accumulation, Average, Minimum, and Maximum Functions

At the end of each ADC sample conversion, the PPB updates the partial result registers ADCPPBxPSUM, ADCPPBxPMIN, and ADCPPBxPMAX with the newly processed conversion result from the ADCPPBxRESULT register, and the partial conversion count register (ADCPPBxPCOUNT) increments by 1. When the partial conversion count equals the limit defined in ADCPPBxLIMIT, or the PPB receives a hardware or software sync signal, the PPB takes the following actions:

1. The PPB loads the values of the respective partial result registers into the final result registers ADCPPBxSUM, ADCPPBxMIN, and ADCPPBxMAX.
2. The PPB loads the partial count in ADCPPBxPCOUNT into the final conversion count register ADCPPBxCOUNT.
3. The partial count register and partial result registers reset to zero.
4. The ADC generates an oversampling interrupt (OSINTx) event pulse, which triggers a CPU interrupt if so configured in the ADCINTSEL1N2 or ADCINTSEL3N4 registers.

The PPB can also be configured to generate an oversampling interrupt when there is a hardware or software sync event. To trigger an OSINTx pulse when a sync event occurs, write 1 to the OSINTSEL bit in the ADCPPBxCONFIG2 register.

The PPB can automatically compute the average of the accumulated samples if ADCPPBxLIMIT is set to a power of 2 (up to a maximum of 1024 samples). To perform automatic averaging over 2^n samples, set the SHIFT field in the ADCPPBxCONFIG2 register to n. When this field is set, the PPB divides the value of ADCPPBxPSUM by 2^n before loading into ADCPPBxSUM.

To compute an average from the accumulated sum when the number of samples is not a power of 2, divide the value of ADCPPBxSUM by the value of ADCPPBxCOUNT using the CPU.

Figure 13. Type-4 ADC TMS320F28P650DK 新增特性

新一代 F28P65 采用的 Type4 ADC 新 IP 同样具有硬件过采样的特性，无需占用软件开销或增加 IO 资源就能实现过采样，内部框图如下所示。

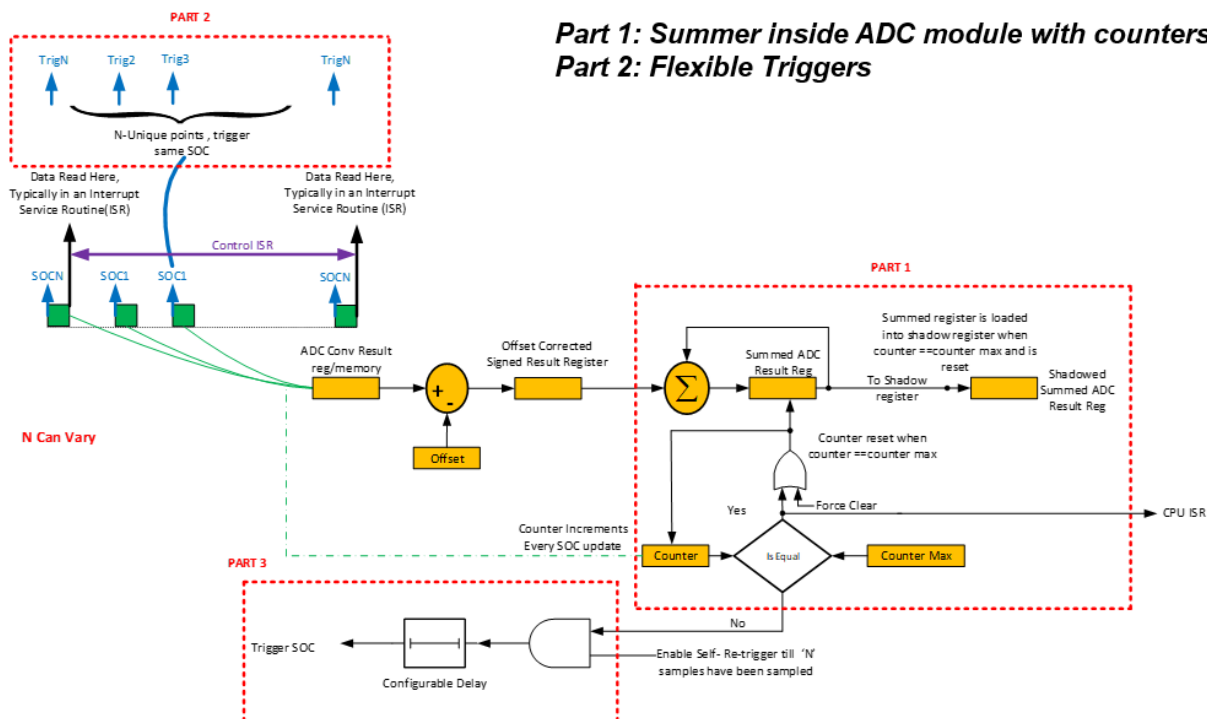


Figure 14. Type-4 ADC TMS320F28P650DK 新增特性

用户可以灵活配置硬件过采样的过采次数、事件触发机制等采样策略，以提高系统采样稳定性。

另外由于 F28P65x 的 Type-4 ADC 模块 PPB 子模块新增了采样计数、求平均、求和、记录最大最小值等结果输出功能，在应用 ADC 两点法校准方案时，借助硬件过采样+PPB 的功能组合，用户可以便捷完成外部输入参考点的平均滤波采样、大大节省软件开销。

基于上述两点校准方法校准失调和增益误差,为检验 F28P65 新特性对 ADC 校准的有效性,通过对比引入新特性前后两个软件版本的 CPU 占用资源情况来进一步说明。

首先，进行两个软件版本校准结果的简要对比：

传统 Type-3 and Type-2 ADC 模块校准版本：

Anolog input/V	Actual result	Ideal result	Actual error	Calibration result	Calibration error
2.7	3980	3949.71	30.29	3945	4.71
2.5	3687	3657.14	29.86	3655	2.14
2.3	3394	3364.57	29.43	3364	0.57
2.1	3102	3072.00	30.00	3074	-2.00
1.7	2514	2486.86	27.14	2489	-2.14
1.3	1925	1901.71	23.29	1904	-2.29
0.9	1334	1316.57	17.43	1318	-1.43
			Sum ae = 187.44	Sum ce = 15.28	

F28P65x 产品新系列 Type-4 ADC 模块 ADC 硬件采样求和、平均后校准版本：

Anolog input/V	Actual result	Ideal result	Actual error	Calibration result	Calibration error
2.7	3976	3949.71	26.29	3944	5.71
2.5	3684	3657.14	26.86	3655	2.14
2.3	3392	3364.57	27.43	3362	2.57
2.1	3100	3072.00	28.00	3071	1.00
1.7	2512	2486.86	25.14	2487	-0.14
1.3	1924	1901.71	22.29	1902	-0.29
0.9	1334	1316.57	17.43	1317	-0.43
			Sum ae = 173.44	Sum ce = 12.28	

从结果来看，两个版本软件都可以将 ADC 全域 error 校准在 ±10LSB 内，对校准结果无影响。

其次，进行两个软件版本 CPU 占用率对比：

```

for(j=1;j<12;j++)
{
    Table_Soc_Sum[j] += ADC_readResult1(ADCARERESULT_BASE, j);
    if(Table_Soc_min[j] >= ADC_readResult1(ADCARERESULT_BASE, j))
    {
        Table_Soc_min[j] = ADC_readResult1(ADCARERESULT_BASE, j);
    }
    if(Table_Soc_max[j] <= ADC_readResult1(ADCARERESULT_BASE, j))
    {
        Table_Soc_max[j] = ADC_readResult1(ADCARERESULT_BASE, j);
    }
}
//g_sum_soc0 += ADC_readResult(ADCARERESULT_BASE,ADC_SOC_NUMBER0);
g_cnt_10ms++;
}
else{
for(j=1;j<12;j++)
{
    Table_Soc_ave[j] = (Table_Soc_Sum[j] - Table_Soc_min[j] - Table_Soc_max[j]) / 98;
    Table_Soc_Sum[j] = 0;
    Table_Soc_max[j] = 0;
    Table_Soc_min[j] = 4095;
}
}
//}
Table_Soc_ave[1] = ADC_readPPBSum(myADC0_RESULT_BASE, ADC_PPB_NUMBER1);
Table_Soc_ave[10] = ADC_readPPBSum(myADC0_RESULT_BASE, ADC_PPB_NUMBER2);
Table_Soc_ave[5] = ADC_readPPBSum(myADC0_RESULT_BASE, ADC_PPB_NUMBER3);
    
```

Figure 15. 图左-ADC 旧特性占用约 1233Cycles；图右- ADC 硬件新特性 占用约 519Cycles.

由图 15 可知从 CPU 占用率对比结果来看,若使用 F28P65 PPB 硬特性升级后的软件版本做 ADC 校准,可以大幅度降低软件开销,提升约 58%的 CPU 中断 Cycles。

总体而言,新一代 C2000 F28P65 在实际导入 ADC 校准方案时有着天然的优势,同样的方案 F28P65 可以大大节省软件开销。

3 常见问题

- 如图 16 所示, C2000 产品 ADC 模块有不同静态误差特性,利用上述误差补偿的算法来实现 ADC 误差校准。针对单点方案,无论是参考电压源或高精度电阻,对参考器件特性要求很高。针对两点方案,ADC 校准效果取决于参考点选择,以及校准算法,要求实时性。然而, F28P65x 新一代 Type-4 ADC 模块硬件计算模块可以保证校准实时性,同时减小 CPU 的带宽。

$$TUE \approx \sqrt{ADC\ GE^2 + ADC\ OE^2 + ADC\ INL^2 + ADC\ DNL^2 + Reference\ Error^2}$$

	F2803x		F2807x		F28004x	
	Min/Max	Min/Max	Typical	Min/Max	Typical	
ADC GE (Gain Error)	±40 LSBs	±5 LSBs	±3 LSBs	±7 LSBs	±3 LSBs	
ADC OE (Offset Error)	±20 LSBs ⁽¹⁾	±4LSBs	±2 LSBs	±5 LSBs	±2 LSBs	
ADC INL (Integral Non-Linearity)	±4 LSBs	±2 LSBs	±1 LSBs	±2 LSBs	±1 LSBs	
ADC DNL (Differential Non-Linearity)	±1 LSBs	±1 LSBs	±0.5 LSBs	±1 LSBs	±0.5 LSBs	
Reference GE (Gain Error)	±2.1 LSBs	±2.1 LSBs	±1 LSBs	±2.1 LSBs	±1 LSBs	
Estimated TUE	±45.0 LSBs	±7.1 LSBs	±3.9 LSBs	±9.1 LSBs	±3.9 LSBs	

$$TUE \approx \sqrt{ADC\ GE^2 + ADC\ OE^2 + ADC\ INL^2 + ADC\ DNL^2 + Reference\ Error^2}$$

	F2803x		F2807x		F28004x	
	Min/Max	Min/Max	Typical	Min/Max	Typical	
ADC GE (Gain Error)	±7.2 LSBs ⁽¹⁾	±5 LSBs	±3 LSBs	±7 LSBs	±3 LSBs	
ADC OE (Offset Error)	±4 LSBs ⁽¹⁾	±4LSBs	±2 LSBs	±5 LSBs	±2 LSBs	
ADC INL (Integral Non-Linearity)	±4 LSBs	±2 LSBs	±1 LSBs	±2 LSBs	±1 LSBs	
ADC DNL (Differential Non-Linearity)	±1 LSBs	±1 LSBs	±0.5 LSBs	±1 LSBs	±0.5 LSBs	
Reference GE (Gain Error)	±0 LSBs ⁽²⁾	±2.1 LSBs	±1 LSBs	±2.1 LSBs	±1 LSBs	
Estimated TUE	±9.2 LSBs	±7.1 LSBs	±3.9 LSBs	±9.1 LSBs	±3.9 LSBs	

Figure 16. 不同 C2000 产品系列 ADC 误差特性(左图-校准前; 右图-校准后)

4 结论

本案例通过实验验证 ADC 两点校准的有效性,同时在 C2000 系列芯片中导入应用(包括但不限于 F280013x/F28002x/F28003x/F28004x/F28P6x/F28P5x)。若进一步优化算法,ADC 高精度可进一步提升,实际应用中可根据使用场景进行适配。但需注意的是确保两个输入参考点的稳定、准确。此外,最新一代 C2000 F28P65 ADC 模块的全新特性(求和、平均、求最大/小值)在 ADC 误差校准过程中可以提供更高效的处理过程,使得 ADC 动态校准具备了实际可行的可能性。同时在其余场景的 ADC 采样过程中, F28P65 的新特性也必定会带来更多的便利。

5 参考文献

1. [F2810, F2811, and F2812 ADC Calibration](#)
2. [TMS320280x and TMS3202801x ADC Calibration](#)
3. [TMS320F280013x Real-Time Microcontrollers datasheet \(Rev. A\)](#)
4. [TMS320F2806x Real-Time Microcontrollers datasheet \(Rev. J\)](#)
5. [TMS320F28P65x Real-Time Microcontrollers datasheet \(Rev. A\).](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司