

Application Note

使用 TLV320ADC5140/6140 和 PCM5140-Q1/PCM6140-Q1 中的动态范围增强器



Diljith Thodi

摘要

TLV320ADC5140 和 TLV320ADC6140 器件是四通道、高性能、音频模数转换器，具有广泛的特性，其中包括：

- 可编程增益放大器 (PGA)
- 数字音量控制
- 可编程麦克风偏置电压
- 锁相环 (PLL)
- 可编程高通滤波器 (HPF)
- 自动增益控制 (DRE)
- 动态范围增强器 (DRE)
- 支持高达 768kHz 采样速率的线性相位或低延迟滤波器模式

本应用手册介绍了如何在 TLV320ADC5140、TLV320ADC6140、PCM5140-Q1 和 PCM6140-Q1 器件中配置动态范围增强器 (DRE) 功能。

内容

1 简介.....	2
2 动态范围增强器.....	3
2.1 高通滤波器.....	3
2.2 DRE 参数.....	4
2.3 采样速率支持.....	8
3 示例.....	9
4 参考文献.....	10
5 修订历史记录.....	10

插图清单

图 1-1. DRE 性能.....	2
图 2-1. 信号处理方框图.....	3

表格清单

表 2-1. 使用 DSP_CFG1 寄存器选择 DRE.....	3
表 2-2. 用于高通滤波器系数的可编程寄存器.....	4
表 2-3. DRE 参数列表.....	4
表 2-4. DRE 触发阈值电平可编程设置.....	5
表 2-5. DRE 最大增益可编程设置.....	5
表 2-6. 用于释放时间常数参数的可编程寄存器.....	5
表 2-7. 用于起音时间常数参数的可编程寄存器.....	6
表 2-8. 用于释放迟滞参数的可编程寄存器.....	7
表 2-9. 用于起音迟滞参数的可编程寄存器.....	7
表 2-10. 用于起音去抖参数的可编程寄存器.....	7
表 2-11. 用于释放去抖参数的可编程寄存器.....	8
表 2-12. DRE 算法支持的采样速率.....	8

商标

所有商标均为其各自所有者的财产。

1 简介

TI 音频 ADC 产品系列中的 TLV320ADC5140、TLV320ADC6140、PCM5140-Q1 和 PCM6140-Q1 器件采用称为动态范围增强器 (DRE) 的算法，该算法可通过提高低信号电平下 ADC 通道的动态范围来提高远场录音性能。

DRE 是一种数字辅助算法，可动态调整前端可编程增益放大器 (PGA)，以提高低电平信号的信噪比，同时防止高电平信号使 PGA 和 ADC 饱和。远场录音性能也可以通过使用高 PGA 增益得到提高，但可能会降低近场录音性能，因为高输入电平的动态变化与高固定增益 PGA 相结合会使 PGA 和 ADC 饱和。DRE 提供了在不降低近场录音性能的情况下提高远场录音性能的功能。图 1-1 显示了 DRE 对通道性能的改进。在使用 DRE 的情况下，ADC 通道性能不受 ADC 本底噪声的限制，即使对于低于 ADC 本底噪声的信号也能提高录音性能。动态范围每提高 6dB，远场录音距离就会增加两倍。

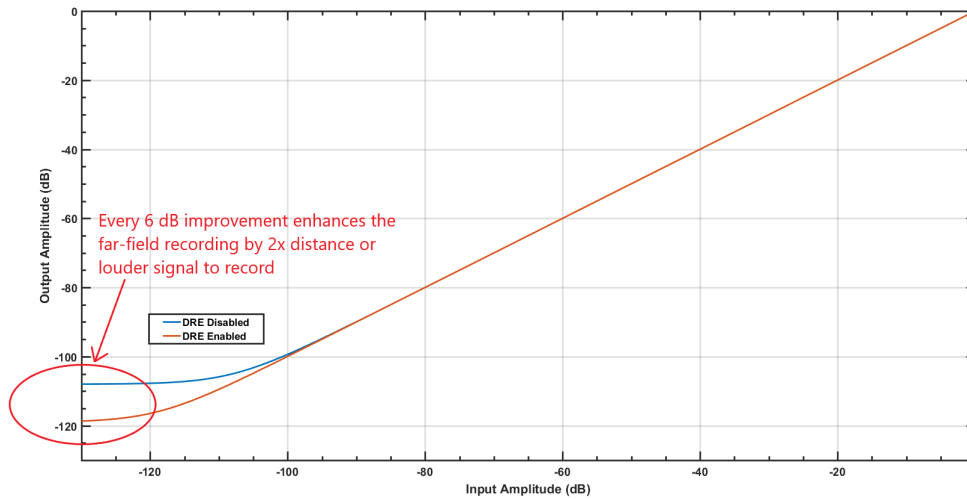


图 1-1. DRE 性能

TLV320ADC5140、TLV320ADC6140、PCM5140-Q1 和 PCM6140-Q1 器件的所有 ADC 通道均支持 DRE。本应用手册介绍了 DRE 的运行情况、可调参数以及使用 DRE 所需的器件配置。

2 动态范围增强器

图 2-1 展示了 TLV320ADC5140、TLV320ADC6140、PCM5140-Q1 和 PCM6140-Q1 器件的信号处理链。TLV320ADC5140/PCM5140-Q1 和 TLV320ADC6140/PCM6140-Q1 器件中前端 PGA 的动态范围性能分别为 120dB 和 122dB。随后的 $\Delta-\Sigma$ ADC 对于 TLV320ADC5140/PCM5140-Q1 具有 108dB 动态范围，对于 TLV320ADC6140/PCM6140-Q1 具有 113dB 动态范围。在不使用 DRE 的情况下，PGA 的超低噪声性能受到 ADC 性能的限制，整体通道动态范围由 ADC 的动态范围决定。在没有 DRE 的情况下，可以提高整体通道的动态范围超过 ADC 的动态范围，会更多地受到 PGA 动态范围的限制。

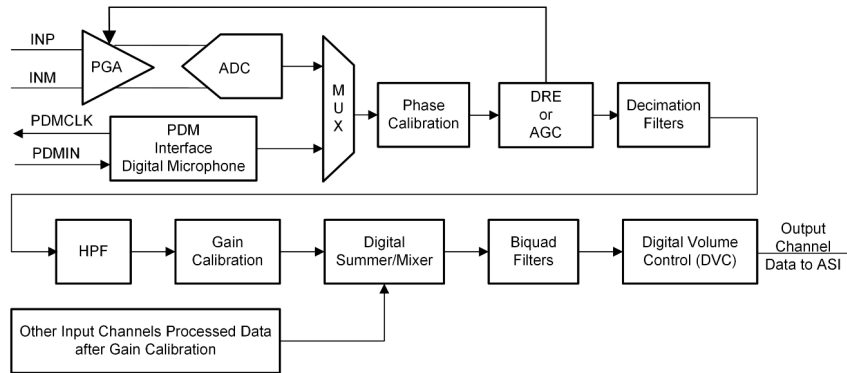


图 2-1. 信号处理方框图

DRE 算法监测输入信号，对低于阈值的信号电平增加模拟 PGA 的增益。同时，DRE 算法在数字电路中产生相应的倒数衰减，因此模拟 PGA 增益和数字衰减的净效应相互抵消。因此，DRE 可以在不增加整体通道增益的情况下扩大动态范围。DRE 不会获得超过阈值的信号。提升模拟低电平信号可使 ADC 的输入显著高于其本底噪声，从而防止 ADC 性能成为限制因素。后续处理使用了高性能 32 位数字信号处理器，具有非常低的量化噪声，因此 PGA 性能成为整体通道性能的限制因素。

TLV320ADC5140、TLV320ADC6140、PCM5140-Q1 和 PCM6140-Q1 器件支持多达四个模拟输入通道。所有模拟输入通道都支持 DRE。这些器件支持来自模拟麦克风源或辅助线路输入的差分或单端信号。模拟麦克风输入支持驻极体电容器和机电 (MEMS) 麦克风。尽管这些器件还支持数字脉冲密度调制 (PDM) 数字麦克风，但 DRE 不支持数字通道，因为无法控制数字麦克风的模拟增益。

TLV320ADCx140/PCMx140-Q1 系列器件还支持模拟通道上的自动增益控制 (AGC) 算法，以保持恒定的标称输出电平。无法同时使用 AGC 和 DRE 算法，因为这两种算法都控制 PGA。可以使用 DSP_CFG1 寄存器 (页面 = 0x00, 地址 = 0x6C) 的 AGC_DRE_SEL 位来选择 DRE 或 AGC, 如表 2-1 所示。

表 2-1. 使用 DSP_CFG1 寄存器选择 DRE

位	字段	类型	复位	说明
3	AGC_DRE_SEL	R/W	0h	当启用了任何通道时，选择 DRE 或 AGC。 0d = 选择 DRE。 1d = 选择 AGC。

可以使用以下寄存器位为每个通道独立启用或禁用 DRE：

- CH1_DREEN (P0_R60_D0)
- CH2_DREEN (P0_R65_D0)
- CH3_DREEN (P0_R70_D0)
- CH4_DREEN (P0_R75_D0)

2.1 高通滤波器

为了消除任何导致错误输入电平估算的直流失调电压，DRE 算法通过高通滤波器 (HPF) 处理输入信号。该 HPF 是 DRE 特有的，与抽取滤波器使用的二阶 HPF 滤波器不同。

方程式 1 给出了 HPF 实现的传递函数。

$$H(z) = \frac{N0 + N1 \times z^{-1}}{1 + D1 \times z^{-1}} \quad (1)$$

HPF 是使用三个系数实现的一阶滤波器：DRE_HPFB0、DRE_HPFB1 和 DRE_HPFA1。可以使用 [方程式 2](#)、[方程式 3](#) 和 [方程式 4](#) 将传递函数参数 (N0、N1 和 D1) 转换为系数。

$$DRE_HPFB0 = \text{round}(2^8 \times N0) \quad (2)$$

$$DRE_HPFB1 = \text{round}(2^8 \times N1) \quad (3)$$

$$DRE_HPFA1 = \text{round}(2^8 \times D1) \quad (4)$$

这些系数是用户可编程的，以设置与 48kHz 操作的默认截止 (3dB 点) 频率 10Hz 不同的截止频率。增加截止频率可以加快信号电平估算的稳定。降低截止频率可以提高信号电平估算的精度。默认滤波器系数在速度和精度之间提供了良好的平衡，适用于大多数应用。[表 2-2](#) 显示了 HPF 的系数寄存器。系数以 32 位二进制补码格式表示。

表 2-2. 用于高通滤波器系数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_HPFB0	0x06	0x6C	0x7F	DRE_HPFB0 字节 [31:24]
	0x06	0x6D	0xFF	DRE_HPFB0 字节 [23:16]
	0x06	0x6E	0xFF	DRE_HPFB0 字节 [15:8]
	0x06	0x6F	0xFF	DRE_HPFB0 字节 [7:0]
DRE_HPFB1	0x06	0x70	0x80	DRE_HPFB1 字节 [31:24]
	0x06	0x71	0x00	DRE_HPFB1 字节 [23:16]
	0x06	0x72	0x00	DRE_HPFB1 字节 [15:8]
	0x06	0x73	0x01	DRE_HPFB1 字节 [7:0]
DRE_HPFA1	0x06	0x74	0x7E	DRE_HPFA1 字节 [31:24]
	0x06	0x75	0xEE	DRE_HPFA1 字节 [23:16]
	0x06	0x76	0xD8	DRE_HPFA1 字节 [15:8]
	0x06	0x77	0xE2	DRE_HPFA1 字节 [7:0]

2.2 DRE 参数

[表 2-3](#) 显示了 DRE 算法的参数。其中两个参数是写入器件寄存器来控制的。其他参数驻留在器件的 32 位宽系数存储器 (Book 0、Page 5、Page 6 和 Page 7) 中。

表 2-3. DRE 参数列表

DRE 参数	功能/说明
DRE 阈值 (dB)	一个信号电平，当高于该电平时 DRE 处于非活动状态。
最大增益 (dB)	DRE 应用的增益上限。
释放时间常数 (秒)	当输入信号降至低于 DRE 阈值时 DRE 电路通过增大 PGA 增益进行响应的速度。
起音时间常数 (秒)	当输入信号升至高于 DRE 阈值时 DRE 电路通过减小 PGA 增益进行响应的速度。
释放迟滞 (dB)	超过 DRE 阈值、强制 DRE 增加增益并开始释放的信号电平降低量 (以 dB 为单位)。
起音迟滞 (dB)	超过 DRE 阈值、强制 DRE 减小增益并开始起音的信号电平增加量 (以 dB 为单位)。
释放去抖 (样本)	在 DRE 开始释放和增加 PGA 增益之前，在起音事件之后下降到 DRE 阈值以下的连续输入样本数。
起音去抖 (样本)	在 DRE 开始起音和减小 PGA 增益之前，在释放事件之后上升到 DRE 阈值以上的连续输入样本数。

DRE 阈值：一个信号电平，当高于该电平时 DRE 停止修改 PGA 并将其设置为单位增益。阈值电平是相对于 ADC 输出的满量程 (dBFS) 表示的。[表 2-4](#) 列出了 DRE 阈值配置设置。默认值为 -54dB。设置高阈值电平会减少

DRE 在信号电平突然增加时做出反应的余量，并可能导致数字削波和 PGA 饱和。因此，必须将 DRE 阈值设置为具有足够的裕度，以防止在输入电平发生较大动态变化时出现削波。

表 2-4. DRE 触发阈值电平可编程设置

P0_R109_D[7:4] : DRE_LVL[3:0]	DRE 触发阈值电平
0000	DRE 目标阈值是 -12dB 输出信号电平。
0001	DRE 目标阈值是 -18dB 输出信号电平。
0010	DRE 目标阈值是 -24dB 输出信号电平。
...	...
0111 (默认值)	DRE 目标阈值是 -54dB 输出信号电平。
...	...
1001	DRE 目标阈值是 -66dB 输出信号电平。
1010 至 1111	保留 (不使用这些设置)

最大增益：最大增益表示 DRE 对低于 DRE 阈值的信号应用的增益上限。表 2-5 列出了最大增益配置设置。默认值是 24dB。其可编程范围为 2dB 至 30dB，步长为 2dB。

表 2-5. DRE 最大增益可编程设置

P0_R109_D[3:0] : DRE_MAXGAIN[3:0]	允许的 DRE 最大增益
0000	允许的 DRE 最大增益为 2dB。
0001	允许的 DRE 最大增益为 4dB。
0010	允许的 DRE 最大增益为 6dB。
...	...
1011 (默认值)	允许的 DRE 最大增益为 24dB。
...	...
1110	允许的 DRE 最大增益为 30dB。
1111	保留 (不使用该设置)

释放时间常数：当输入信号降至低于 DRE 阈值时 DRE 电路增大 PGA 增益的速度。释放时间常数由两个系数控制：DRE_REL_ALPHA 和 DRE_REL_BETA。方程式 5 和方程式 6 显示了如何从下述时间常数中计算 DRE_REL_ALPHA 和 DRE_REL_BETA 参数。

$$DRE_REL_ALPHA = \text{round}(2^{31} * e^{-\ln(9)/48000 * RT}) \quad (5)$$

$$DRE_REL_BETA = 2^{31} - \text{round}(2^{31} * e^{-\ln(9)/48000 * RT}) \quad (6)$$

其中

- RT 是以秒为单位的释放时间常数
- FSYNC 是 ADC 的采样速率 (以 Hz 为单位)

表 2-6 显示了控制 DRE_REL_ALPHA 和 DRE_REL_BETA 参数的寄存器。这些参数均具有 32 位的宽度，必须以二进制补码表示形式写入。DRE_REL_ALPHA 和 DRE_REL_BETA 的默认值对应的时间常数为 20 毫秒。

表 2-6. 用于释放时间常数参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_ALPHA	0x05	0x7C	0x7F	DRE_REL_ALPHA 字节 [31:24]
	0x05	0x7D	0xB5	DRE_REL_ALPHA 字节 [23:16]
	0x05	0x7E	0x16	DRE_REL_ALPHA 字节 [15:8]
	0x05	0x7F	0x50	DRE_REL_ALPHA 字节 [7:0]

表 2-6. 用于释放时间常数参数的可编程寄存器 (续)

系数	PAGE	寄存器	复位值	说明
DRE_REL_BETA	0x06	0x08	0x00	DRE_REL_BETA 字节 [31:24]
	0x06	0x09	0x4A	DRE_REL_BETA 字节 [23:16]
	0x06	0x0A	0xE9	DRE_REL_BETA 字节 [15:8]
	0x06	0x0B	0xB0	DRE_REL_BETA 字节 [7:0]

起音时间常数：当输入信号升高于 DRE 阈值时 DRE 电路减小 PGA 增益的速度。起音时间常数由两个系数控制：DRE_ATT_ALPHA 和 DRE_ATT_BETA。方程式 7 和方程式 8 显示了如何从下述时间常数中计算 DRE_ATT_ALPHA 和 DRE_ATT_BETA 参数。

$$DRE_ATT_ALPHA = \text{round}(2^{31} * e^{-\ln(9)/48000 * AT}) \quad (7)$$

$$DRE_ATT_BETA = 2^{31} - \text{round}(2^{31} * e^{-\ln(9)/48000 * AT}) \quad (8)$$

其中

- AT 是以秒为单位的起音时间常数
- FSYNC 是 ADC 的采样速率 (以 Hz 为单位)

DRE_ATT_ALPHA 和 DRE_ATT_BETA 系数均以宽度为 32 位的二进制补码形式表示。表 2-7 显示了控制 DRE_ATT_ALPHA 和 DRE_ATT_BETA 参数的寄存器。DRE_ATT_ALPHA 和 DRE_ATT_BETA 的默认值对应的时间常数为 0.1 毫秒。

表 2-7. 用于起音时间常数参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_ALPHA	0x06	0x0C	0x50	DRE_ATT_ALPHA 字节 [31:24]
	0x06	0x0D	0xFC	DRE_ATT_ALPHA 字节 [23:16]
	0x06	0x0E	0x64	DRE_ATT_ALPHA 字节 [15:8]
	0x06	0x0F	0x5C	DRE_ATT_ALPHA 字节 [7:0]
DRE_ATT_BETA	0x06	0x10	0x2F	DRE_ATT_BETA 字节 [31:24]
	0x06	0x11	0x03	DRE_ATT_BETA 字节 [23:16]
	0x06	0x12	0x9B	DRE_ATT_BETA 字节 [15:8]
	0x06	0x13	0xA4	DRE_ATT_BETA 字节 [7:0]

释放迟滞：超过 DRE 阈值、强制 DRE 增加增益并开始释放的信号电平降低量。释放迟滞以 dB 为单位。方程式 9 显示了如何计算 DRE_REL_HYST 参数。

$$DRE_REL_HYST = \text{round}(2^8 * RH) \quad (9)$$

其中

- RH (>= 0) 是以 dB 为单位的释放迟滞

DRE_REL_HYST 的默认值为 0x00000300，对应的迟滞为 3dB。表 2-8 显示了控制 DRE_REL_HYST 参数的寄存器。

表 2-8. 用于释放迟滞参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_HYST	0x06	0x34	0x00	DRE_REL_HYST 字节 [31:24]
	0x06	0x35	0x00	DRE_REL_HYST 字节 [23:16]
	0x06	0x36	0x03	DRE_REL_HYST 字节 [15:8]
	0x06	0x37	0x00	DRE_REL_HYST 字节 [7:0]

起音迟滞：超过 DRE 阈值、强制 DRE 减小增益并开始起音的信号电平增加量。方程式 10 显示了如何计算 DRE_ATT_HYST 参数。

$$DRE_ATT_HYST = \text{round}(2^8 * AH) \quad (10)$$

其中

- AH (>= 0) 是以 dB 为单位的起音迟滞

起音迟滞的默认值为 1dB。可以通过对表 2-9 中列出的寄存器进行写入来更改默认值。

表 2-9. 用于起音迟滞参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_HYST	0x06	0x3C	0x00	DRE_ATT_HYST 字节 [31:24]
	0x06	0x3D	0x00	DRE_ATT_HYST 字节 [23:16]
	0x06	0x3E	0x01	DRE_ATT_HYST 字节 [15:8]
	0x06	0x3F	0x00	DRE_ATT_HYST 字节 [7:0]

起音去抖：在 DRE 开始起音和减小 PGA 之前，在释放事件之后上升到 DRE 阈值以上的连续输入样本数。在频率为 48kHz 时该参数的默认值为 2 个样本 (0.01 毫秒)。方程式 11 显示了如何计算 DRE_ATT_CNT 参数。

$$DRE_ATT_CNT = \text{round}(2^8 * FSYNC * AD) \quad (11)$$

其中

- AD (>= 0) 以秒为单位
- FSYNC 是 ADC 的采样速率 (以 Hz 为单位)

表 2-10 显示了控制 DRE_ATT_CNT 参数的寄存器。

表 2-10. 用于起音去抖参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_CNT	0x06	0x18	0x00	DRE_ATT_CNT 字节 [31:24]
	0x06	0x19	0x00	DRE_ATT_CNT 字节 [23:16]
	0x06	0x1A	0x02	DRE_ATT_CNT 字节 [15:8]
	0x06	0x1B	0x00	DRE_ATT_CNT 字节 [7:0]

释放去抖：在 DRE 开始释放和增加 PGA 增益之前，在起音事件之后下降到 DRE 阈值以下的连续输入样本数。在频率为 48kHz 时释放去抖的默认值为 25 毫秒。方程式 12 显示了如何计算 DRE_REL_CNT 参数。

$$DRE_REL_CNT = \text{round}(2^8 * FSYNC * RD) \quad (12)$$

其中

- RD (>= 0) 是以秒为单位指定的释放去抖
- FSYNC 是 ADC 的采样速率 (以 Hz 为单位)

表 2-11 列出了控制 DRE_REL_CNT 参数的寄存器。

表 2-11. 用于释放去抖参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_CNT	0x06	0x1C	0x00	DRE_REL_CNT 字节 [31:24]
	0x06	0x1D	0x04	DRE_REL_CNT 字节 [23:16]
	0x06	0x1E	0xB0	DRE_REL_CNT 字节 [15:8]
	0x06	0x1F	0x00	DRE_REL_CNT 字节 [7:0]

2.3 采样速率支持

DRE 算法仅支持部分采样速率和部分通道组合。表 2-12 显示了 DRE 算法支持的采样速率以及这些采样速率下的相应通道数。对于 16kHz 或 14.7kHz 至 48kHz 或 44.1kHz 的采样速率，DRE 算法支持全部四个模拟通道。在 96kHz 或 88.2kHz 采样速率下，DRE 算法最多仅支持两个通道。在 192kHz 或 176.4kHz 采样速率下，DRE 仅限于一个通道。

表 2-12. DRE 算法支持的采样速率

采样速率 (kHz)	通道数量
16/14.7	4
24/22.05	4
32/29.4	4
48/44.1	4
96/88.2	2
192/176.4	1

3 示例

DRE 默认参数对大多数应用都很有效。默认的 DRE 触发阈值为 **-54dB**。这为 DRE 提供了足够的余量以便对突然出现的强烈信号及时做出反应。增大 DRE 触发阈值可提高小信号性能，但会减小切换到起音周期之前的可用余量。可以通过减小起音时间来缓解该问题。本节展示了一个示例，其中设置了更高的 DRE 触发阈值并调整了时间常数以使 DRE 响应更快。

- 目标电平 = -54dB
- 最大增益 = 24dB
- 起音时间 = 0.01ms
- 释放时间 = 20ms
- 起音保持 = 0.0417ms
- 释放保持 = 20ms
- 起音迟滞 = 1dB
- 释放迟滞 = 3dB

```

# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xXX, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Differential 4-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2, INP3/INM3 - Ch3 and INP4/INM4 - Ch4
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#
w 98 00 00 # Goto Page 0
w 98 02 81 # Exit Sleep mode
d 10      # wait for 16 ms
w 98 6C 40 # Enable DRE in DSP_CFG1
w 98 3C 01 # Select DRE on Ch. 1 using CH1_CFG0
w 98 41 01 # Select DRE on Ch. 2 using CH2_CFG0
w 98 74 01 # Select DRE on Ch. 3 using CH3_CFG0
w 98 75 01 # Select DRE on Ch. 4 using CH4_CFG0
w 98 6D 4B # DRE LVL = -36 dB, DRE GAIN = 24 dB
w 98 00 05      # Goto Page 5
w 98 7C 7F B5 16 50 # DRE Release Time Alpha
w 98 00 05      # Goto Page 6
w 98 08 00 4A E9 B0 # DRE Release Time Beta
w 98 0C 01 50 DB 39 # DRE Attack Time Alpha
w 98 10 7E B5 16 50 # DRE Attack Time Beta
w 98 18 00 00 02 00 # DRE Attack Debounce
w 98 1C 00 04 B0 00 # DRE Release Debounce
w 98 3C 00 00 01 00 # DRE Attack Hysteresis
w 98 34 00 00 03 00 # DRE Release Hysteresis

w 98 00 00 # Goto Page 0
w 98 07 30 # TDM Mode with 32 Bits/Channel
w 98 73 f0 # Enable Ch.1 - Ch.4
w 98 74 f0 # Enable ASI Output channels
w 98 75 e0 # Power up ADC
  
```

4 参考文献

- 德州仪器 (TI) , [TLV320ADC5140 四通道、768kHz、Burr-Brown 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [TLV320ADC3140 四通道、768kHz、Burr-Brown 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [PCM5140-Q1 四通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [PCM3140-Q1 四通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。

5 修订历史记录

Changes from Revision * (September 2019) to Revision A (December 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 通篇添加了 PCM5140-Q1 和 PCM3140-Q1.....	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司