

Application Note

利用 **CLB** 实现基于硬件的同步整流控制

Aki Li, Peter Luong

摘要

本应用手册提供了有关利用实时 C2000™ MCU 的可配置逻辑块 (CLB) 模块的详细指导。利用此 CLB 模块可创建稳健且简单的同步整流 (SR) 脉宽调制 (PWM) 信号，以便实现 LLC 谐振转换器的所需 SR 控制。所提议的方法在运行时无需任何软件操作即可实现 SR 控制。

本应用手册通过真实的示例展示了如何与 CLB 和 EPWM 模块进行交互。

内容

1 简介.....	2
2 CLB 基本实现方案.....	3
3 导通延迟配置.....	5
4 关断延迟配置.....	6
5 用于开启或关闭 SR 的不同选项.....	7
5.1 软件控制方式.....	7
5.2 基于硬件的方案.....	7
6 如何调整 SR PWM 钳位时间.....	8
7 总结.....	9
8 参考资料.....	9

商标

C2000™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 简介

LLC 谐振转换器在工业供电应用中变得越来越流行。为了实现更高的效率，MOSFET 取代了整流二极管以减少导通损耗。一种常见的做法是对 LLC 转换器使用数字控制，以提高灵活性和可扩展性，尤其是在高功率应用中。应用用户当前必须实时比较开关频率和谐振频率，如 [使用 C2000™ 和 UCD7138 的智能 LLC SR 控制](#) 中所述。例如，如果当前开关频率低于谐振频率，则需要钳位 SR PWM 导通时间。否则，需要在初级侧 PWM 后关闭 SR PWM。由于 SR 控制需要快速响应以考虑可靠性，因此软件比较可以置于占用部分 CPU 带宽的高频 ISR 中。

电流模式 LLC 在使用传统电压模式控制解决负载瞬态挑战方面越来越受欢迎。但是，使用正常 EPWM 配置将 SR PWM 的导通时间定义为比较器事件之前的时间无法实现，因为比较器使用数字控制为电流模式 LLC 设置初级侧 PWM 的关断时序。本文档介绍了一种利用最新一代 C2000™ 微控制器中的 CLB 模块实现 SR 控制的新方法。本文档还提供了在实际应用中实现 CLB 的示例。这些详细配置和示例代码基于 F28003x 系列，适用于任何具有 CLB 模块的 C2000™ 器件。

不同开关频率 (f_s) 下所需的 SR 驱动信号如图 1-1 所示。为了实现充分的 SR 控制，以下控制目标通常可以实现正确的 SR 控制：

- 基于硬件的 SR 控制，无需在 SR 钳位模式 ($f_s < f_o$) 与谐振模式 ($f_s > f_o$) 之间进行软件切换
- 可调节 SR PWM 导通延迟
- 可调节 SR PWM 钳位时间
- 在谐振模式期间添加 SR PWM 的关断延迟 (可选)

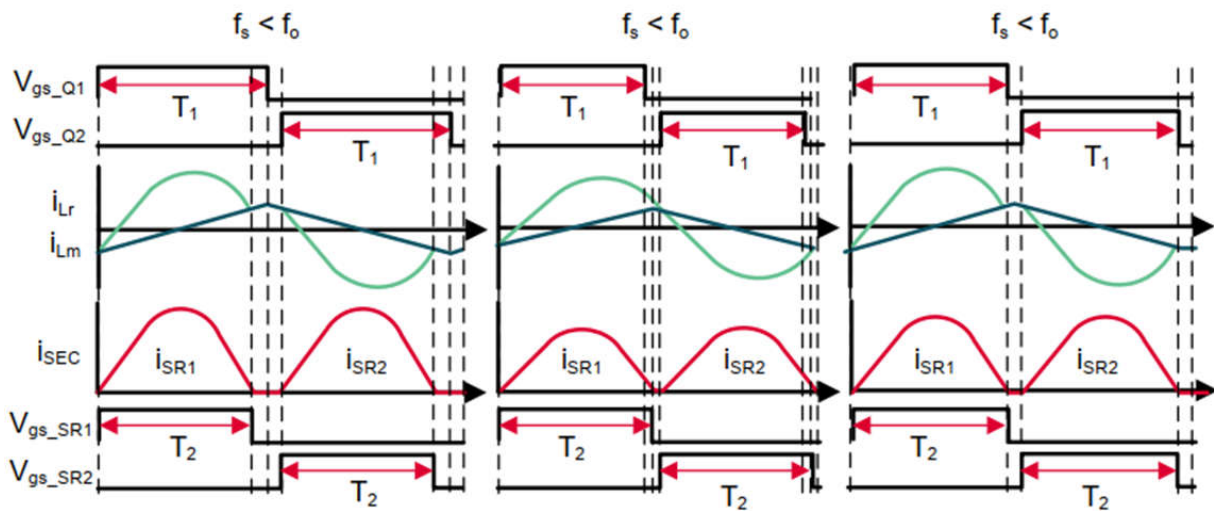


图 1-1. 在不同 f_s 下的预期 SR 驱动信号

2 CLB 基本实现方案

在 [C2000™ 4 类 PWM 上实现三相交错型 LLC](#) 文档展示了如何使用 CLB 进行 SR 控制。本应用手册讨论了如何使 CLB 逻辑对实际应用更可行。

图 2-1 显示选择 EPWM1 作为初级侧 PWM，以 EPWM2 作为 SR PWM 示例，并包含谐振和 SR 钳位模式的预期 SR PWM 配置。

为了实现 SR PWM 的可调节导通延迟，CLB 模块不用于创建最终的 SR PWM 信号，而是使用覆盖动作限定器 (AQ) 子模块输出的中间信号，意味着可以通过 EPWM 模块的死区 (DB) 子模块添加导通延迟。

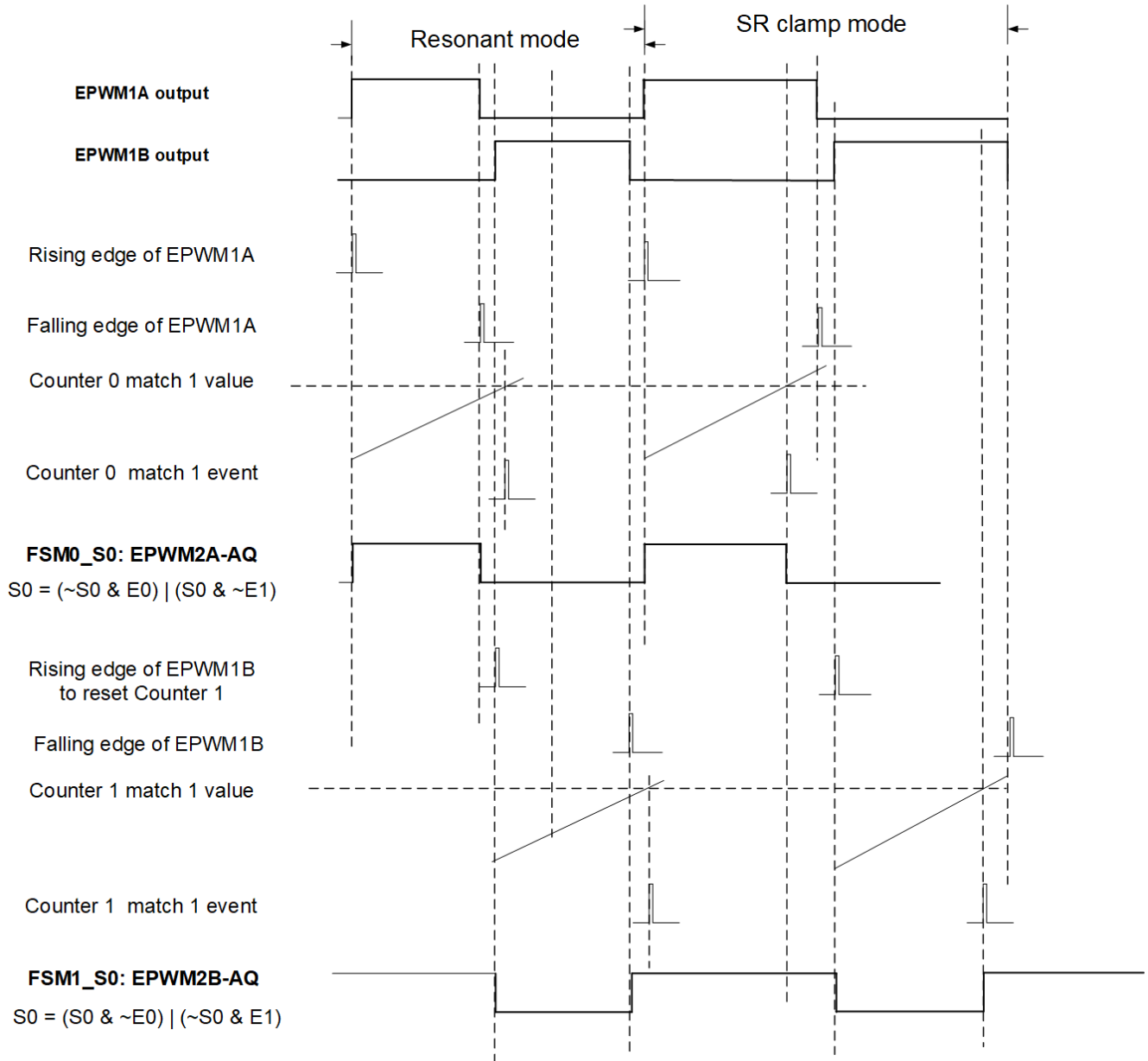


图 2-1. CLB 配置和 SR 控制逻辑

导通事件与 EPWM1A 的上升沿对齐，例如 SR EPWM2A。在谐振模式下，关断事件在 EPWM1A 的下降沿之后发生，或在 SR 钳位模式下受最大导通时间的限制。计数器 0 定义为在 CLB 的上升沿开始计数，并在计数器值达到预定义值（预定义周期对应于谐振周期的一半）时提供匹配 1 事件。用户可以利用查询表 (LUT) 来对计数器 0 的下降沿和匹配 1 事件进行 OR 运算。

为 EPWM2A 创建预期逻辑需要使用有限状态机 (FSM)。在图 2-2 中，S0 设置为在 E0 时变为高电平，在 E1 时为低电平，EPWM1A 的上升沿作为 E0 事件，LUT 输出作为 E1 事件。在表 2-1 中，卡诺图是为 S0 状态创建的。

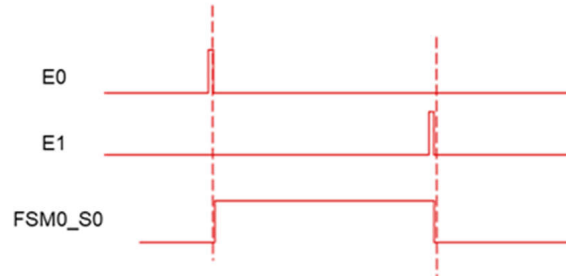


图 2-2. FSM 块中的状态机

表 2-1. FSM0 S0 卡诺图

FSM0 S0				
S0 E0E1	00	01	11	10
0	0	0	1	1
1	1	0	0	1

根据卡诺图，FSM0_S0 的方程式 1 可推导为：

$$S0 = (\sim S0 \& E0) | (S0 \text{ 且 } \sim E1) \quad (1)$$

在表 2-2 中，通过使用 CLB 多路复用器输出使能寄存器 CLB_OUT_EN 将 FSM0_S0 直接分配到 CLB2 模块的输出 4，可以使用 FSM0_S0 覆盖 EPWM2A 的模块输出。出于本节所述原因，在表 2-2 示例中为 EPWM2 选择了 CLB2 模块。

表 2-2. CLB2 的外设信号多路复用器表

CLB2			
CLB2	CLB2_OUT0_0	PWMA	EPWM2
CLB2	CLB2_OUT1_0	PWMA_OE	EPWM2
CLB2	CLB2_OUT2_0	PWMB	EPWM2
CLB2	CLB2_OUT3_0	PWMB_OE	EPWM2
CLB2	CLB2_OUT4_0	AQ_PWMA	EPWM2
CLB2	CLB2_OUT5_0	AQ_PWMB	EPWM2
CLB2	CLB2_OUT6_0	AQ_PWMA	EPWM2
CLB2	CLB2_OUT7_0	AQ_PWMB	EPWM2

EPWM2B 在 FSM 配置方面有所不同，因为 EPWM2B 创建的 AQ 模块输出具有 EPWM1B 的反极性（详见节 3）。同样，会激活 CLB2_OUT5 以选择 FSM1_S0 作为 EPWM2B 的 AQ 模块输出。

使用相同的方法，FSM1_S0 的方程式 2 为：

$$S0 = (S0 \text{ 且 } \sim E0) | (\sim S0 \& E1) \quad (2)$$

或者，图 2-3 中的 CLB 配置图可配置，其中 $IN0\sim IN4$ 是指 EPWM1A 和 EPWM1B 的下降沿以及 EPWM1B 和 EPWM1A 的上升沿。此外，IN5 还会打开和关闭 SR (节 5 中进行了详细说明)。

CLB Tile Configuration

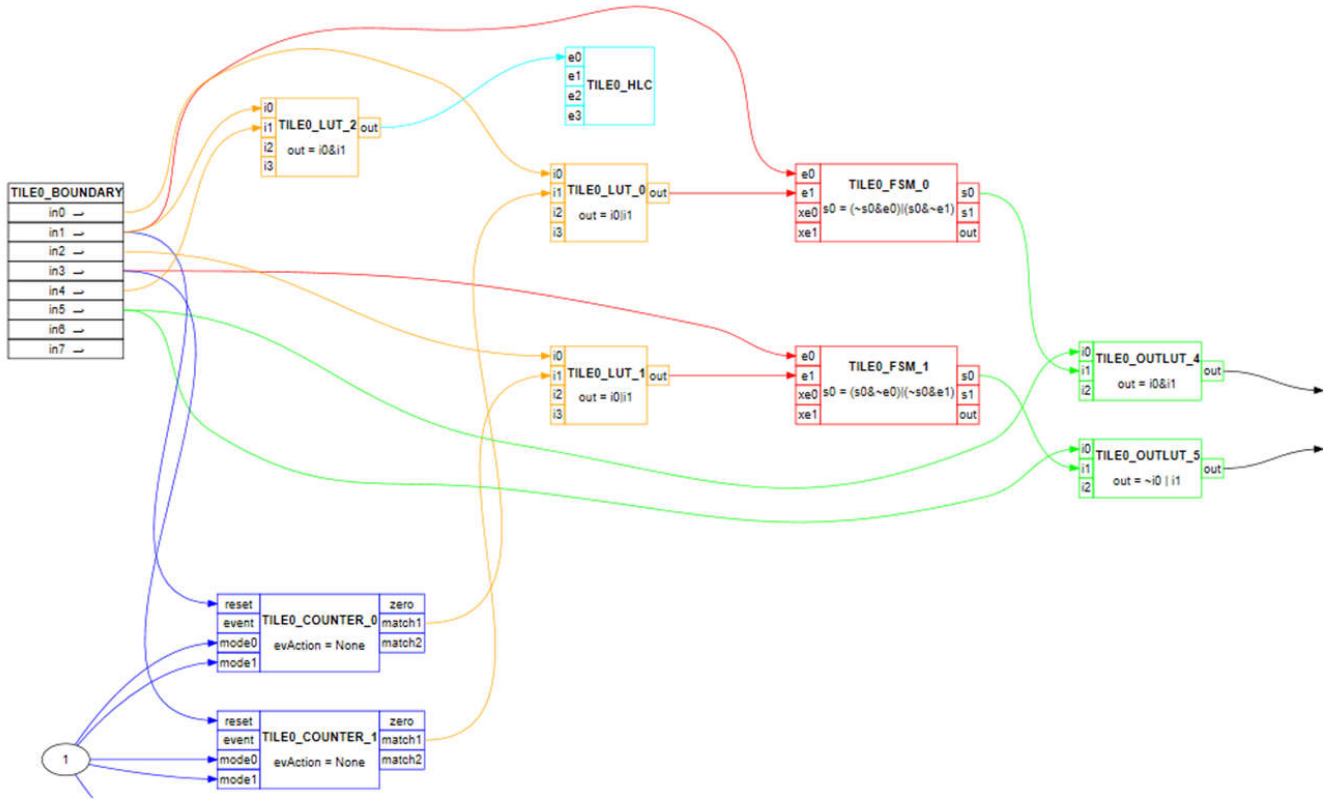


图 2-3. CLB 配置图

3 导通延迟配置

对于大多数应用，用户相对于初级侧 PWM 添加 SR PWM 的导通延迟，并且可以使用 DB 子模块。但是，只有上升沿延迟可以通过 DB 子模块直接针对 AQ 信号 (EPWM2A) 启用。因此，为了进一步利用 EPWM2B AQ 信号的下降沿延迟块，应为原始 AQ 输出创建反极性信号，并在为 DB 子模块添加下降沿延迟后使信号反转。图 3-1 中显示了详细配置，并添加了红色箭头。这些配置允许用户分别根据 SR PWM、EPWM2A 和 EPWM2B 的 DB 子模块的现有上升沿和下降沿延迟添加导通延迟。

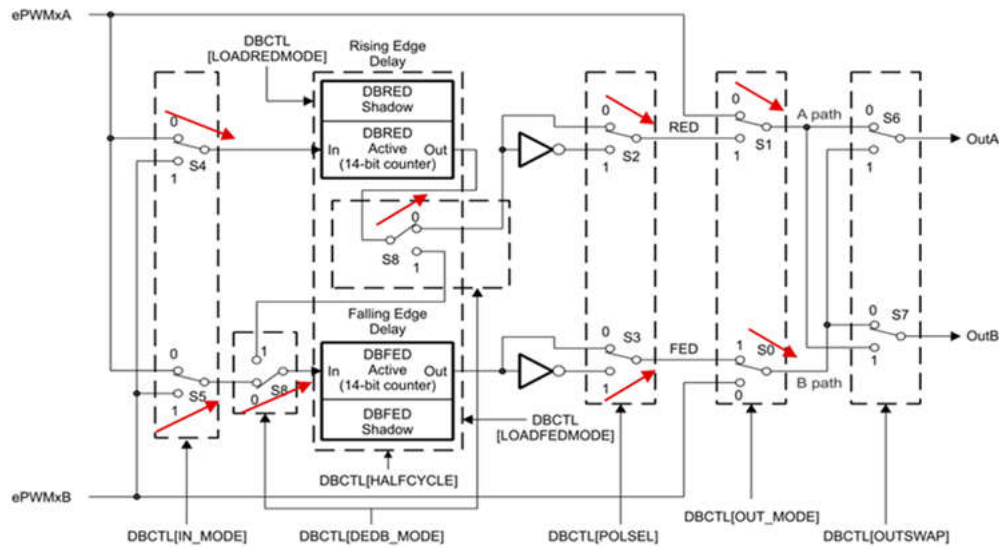


图 3-1. 死区子模块配置

4 关断延迟配置

在谐振模式下，开关频率大于谐振频率，在初级侧 PWM 关闭后，SR MOSFET 上的电流仍然存在，如图 1-1 所示。通过增加关断延迟（通常在 200ns 以内）来延长 SR PWM 的导通时间有助于提高系统效率。为了添加关断延迟，此报告提供了两种配置。

第一个配置选项是利用来自另一个 CLB 逻辑块（如 CLB3）的额外计数器 2。

此配置的第一步是设置 CLB 输入 IN0 和 IN1，以使用 EPWM1A 和 EPWM1B 的下降沿将相关计数器复位为 0（图 4-1），并设置匹配 1 值以表示 SR PWM 所需的关断延迟。下一步是选择计数器 2 的匹配 1 事件作为输出，分别替换原来的 CLB2 IN0（EPWM1A 的下降沿）和 IN2（EPWM1B 的下降沿）。

备注

尽管每个 CLB 逻辑块中只提供 8 个输出信号，但逻辑块可复制，从而产生多达 32 个输出信号，信号 OUT16~OUT31 与信号 OUT0~OUT15 相同。因此，CLB3 使用图 4-1 中的 OUT0 和 OUT1，而 CLB2 则使用 IN0 来选择 CLB3_OUT16，并使用 IN2 来选择 CLB3_OUT17。

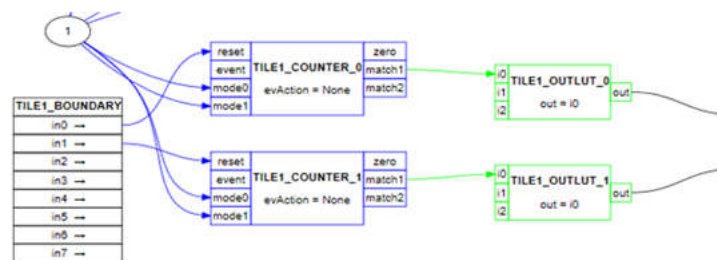


图 4-1. 带 2 个额外计数器的第一个 CLB 配置选项

对于三相交错 LLC，没有足够的 CLB 逻辑块为关断延迟设计提供额外的计数器（图 4-1）；然而，可以使用第二个选项，该选项在同一 CLB 逻辑块内为特定的 SR PWM 使用单个计数器。在第二个选项（图 4-2）中，选择 EPWM1A 和 EPWM1B 的下降沿（与 LUT 的或逻辑），以在使用预期的延迟时间设置匹配 1 值时复位计数器 2。CLB 方框图的重要变化是将 LUT0 和 LUT1 的 IN0 输入替换为计数器 2 的匹配 1 事件。通过该选项，剩余的 FSM 2 将用作 LUT 功能，因为所有三个 LUT 功能均已占用。

备注

如果所需的关断延迟小于初级侧 PWM 的死区时间，则第二个选项效果良好。

CLB Tile Configuration

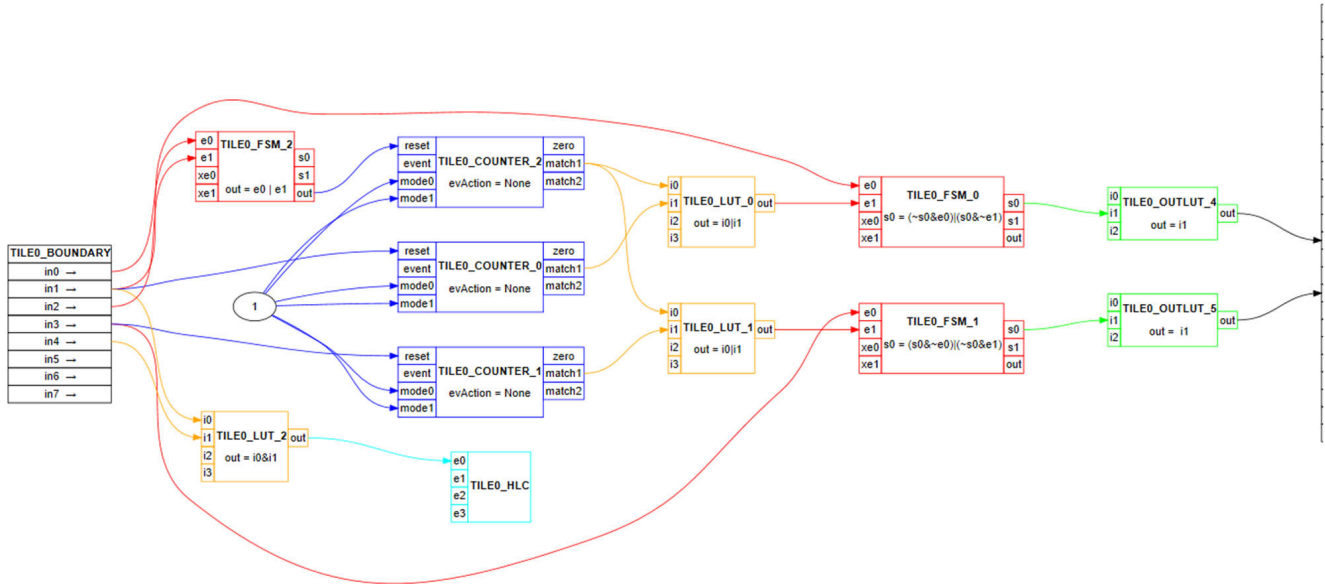


图 4-2. 具有单个计数器的第二个 CLB 配置选项

5 用于开启或关闭 SR 的不同选项

通过上述 CLB 配置，无需额外软件即可生成 SR PWM。然而，在实际应用中，有时需要关闭 SR PWM 才能满足系统要求。例如，在轻负载条件下关闭 SR PWM 是减少开关损耗的一种常见做法，某些应用仅在 SR 完成软启动过程后才会开启 LLC PWM。本节讨论了两种关闭 SR PWM 的方法：软件控制和一种采用 CLB 的完全基于硬件的方案。

5.1 软件控制方式

使用 DB 或跳闸区 (TZ) 子模块关闭 SR PWM 很容易，因为最终的 SR PWM 是通过 EPWM 的 CLB 和 DB 子模块创建的。例如，以下代码利用大死区时间关闭 PWM 输出，其中 PERIOD_MAX 表示所有条件下初级侧 PWM 的最大周期。这种软件控制方法的好处是 DB 边沿延迟值提供了影子模式，因此与结合使用软件强制跳闸事件和 TZ 子模块的方法相比，SR PWM 输出完全激活或停用而没有任何干扰。此方法可与软件中的负载条件判断一起使用。

```
EPWM_setRisingEdgeDelayCount(EPWM2_BASE, PERIOD_MAX);
EPWM_setFallingEdgeDelayCount(EPWM2_BASE, PERIOD_MAX);
```

5.2 基于硬件的方案

以下建议的基于硬件的方案实现了针对 SR PWM 的更快控制响应。包含由 EPWM 的 DC 子模块创建的数字比较器 (DC) 事件，有助于在 CLB 的多个输入信号之间创建 CMPSS 和 CLB 模块之间的链路。图 4-2 显示了输出电流信号被馈入 CMPSS 中， V_{light_load} 是指用于打开或关闭 SR PWM 的负载电流阈值。图 2-3 显示了选择作为 CLB2 的输入信号 IN5 的 DCAH 事件。使用来自 CMPSS 输出的高电平有效逻辑，当负载增加大于 V_{light_load} 设置的负载阈值时，DCAH 事件变为逻辑 1。只要负载从轻负载变为重负载，SR PWM 就会导通。图 4-2 显示了用于 SR 开/关控制的 CMPSS 示例代码。

备注

激活数字滤波器，以便清除阈值负载条件附近的瞬态并具有足够的迟滞。

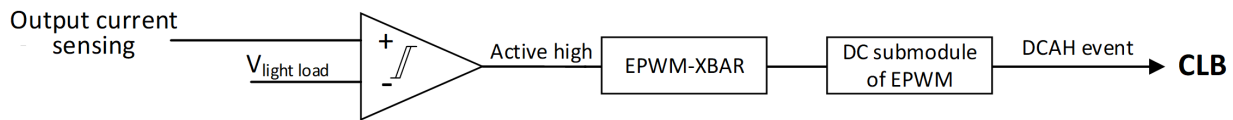


图 5-1. 具有负载电流检测功能的基于硬件的 SR 控制

```

XBAR_setEPWMMuxConfig(XBAR_TRIP10, XBAR_EPWM_MUX02_CMPSS2_CTRIPH);
XBAR_enableEPWMMux(XBAR_TRIP10, XBAR_MUX02);
// Enable CMPSS2 and configure the negative input signal to come from the DAC
//
CMPSS_enableModule(CMPSS2_BASE);
CMPSS_configHighComparator(CMPSS2_BASE, CMPSS_INSRC_DAC);
// Set DAC reference level, refers to 6A
//
CMPSS_setDACValueHigh(CMPSS2_BASE, 112);
CMPSS_configDAC(CMPSS2_BASE, CMPSS_DACREF_VDDA);
// Enable the digital filter
CMPSS_configFilterHigh(CMPSS2_BASE, 1, 150, 149);
CMPSS_initFilterHigh(CMPSS2_BASE);
CMPSS_configOutputsHigh(CMPSS2_BASE, CMPSS_TRIP_FILTER);
CMPSS_setHysteresis(CMPSS2_BASE, 4);
EPWM_selectDigitalCompareTripInput(EPWM2_BASE,
EPWM_DC_TRIP_TRIPIN10,
EPWM_DC_TYPE_DCAH);
    
```

6 如何调整 SR PWM 钳位时间

一些应用会在谐振模式期间调整 SR PWM 的最长导通时间，以提高效率或补偿谐振回路的元件变化，如在 [C2000™ 4 类 PWM 上实现三相交错型 LLC](#) 中所述。指示计数器 0 和计数器 1 的匹配 1 REF 值需要在运行时进行调整。该调整是通过高级控制器 (HLC) 完成的。HLC 提供 CPU 和 CLB 之间的通信和数据交换。CPU 可以写入通用 HLC 寄存器 R0，以进一步将 R0 值移动到计数器的匹配 1 REF 值。

与大多数 EPWM 寄存器不同，匹配 1 REF 值本身不提供影子加载模式选项。但是，可以使用 HLC 实现类似的影子模式。图 2-3 将计数器 0 的零事件展示为 HLC 的事件 0，因为 HLC 是与 EPWM1A 上升沿对齐的基于事件的系统。计数器和 EPWM1 模块的匹配 1 REF 值的更新同时生效。

备注

为了避免在写入 R0 时将 R0 内容复制到另一个 CLB 寄存器而发生不可预测的行为，请添加具有 GPREG 位的另一个 CLB 输入 (图 2-3 中的 IN4)，并使用查询表将 GPREG 位的 AND 逻辑和计数器 0 的零事件作为 HLC 触发事件。

以下示例代码可用于更新和调整 SR PWM 钳位时间。

```

//before update R0 register, set in4=0
CLB_setGPREG(CLB_SR_BASE, 0x00);
//update the clamp duty cycle for EPWM2A and EPWM2B
CLB_writeInterface(CLB_SR_BASE, CLB_ADDR_HLC_R0, clamp_duty);
//set input4 to 1 allow copy of R0 to counter match1 register
CLB_setGPREG(CLB_SR_BASE, 0x10);
    
```


7 总结

本应用手册详细介绍了如何使用 CLB 为 LLC 谐振转换器实现稳健且简单的 SR 控制。本文档讨论了导通和关断延迟配置特性以及可应用于可行和实际应用的灵活激活和停用选项。

8 参考资料

- IEEE Transactions on Power Electronics , [Digital Implementation of Adaptive Synchronous Rectifier \(SR\) Driving Scheme for High-frequency LLC Converters with Microcontroller](#)
- 德州仪器 (TI) , [使用 C2000™ 和 UCD7138 的智能 LLC SR 控制](#) 应用手册
- 德州仪器 (TI) , [在 C2000™ 4 类 PWM 上实现三相交错型 LLC](#) 应用手册

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司