

User's Guide

使用 AM62P/AM62P-Q1 系列处理器的定制电路板硬件设计注意事项



摘要

本“定制电路板硬件设计注意事项”文档概述了电路板设计人员在使用 AM62P/AM62P-Q1 系列任何处理器设计定制电路板时应遵循的设计注意事项。本文档旨在用作电路板设计人员在定制电路板设计不同阶段的指南。

此外，本文还提供了处理器产品页面、相关配套资料、E2E 常见问题解答和其他常见参考文档的链接，可帮助电路板设计人员优化定制电路板设计工作和进度。

内容

1 引言	3
1.1 开始定制电路板设计之前的准备工作.....	3
1.2 处理器选择.....	3
1.3 技术文档.....	3
1.4 设计文档.....	4
2 方框图	4
2.1 创建方框图.....	4
2.2 配置引导模式.....	4
2.3 确认 PinMux (PinMux 配置)	5
3 电源	5
3.1 电源架构.....	5
3.2 电源轨.....	6
3.3 确定电路板电源要求.....	8
3.4 电源滤波器.....	8
3.5 电源去耦和大容量电容.....	8
3.6 电源时序.....	8
3.7 电源诊断.....	8
3.8 电源监控.....	8
4 时钟	9
4.1 处理器外部时钟源.....	9
4.2 处理器时钟输出.....	9
5 JTAG (联合测试行动组)	9
5.1 JTAG/仿真.....	9
6 配置 (处理器) 和初始化 (处理器和器件)	10
6.1 处理器复位.....	10
6.2 引导模式配置的锁存.....	11
6.3 复位附加器件.....	11
6.4 看门狗计时器.....	11
7 处理器外设	11
7.1 跨域选择外设.....	11
7.2 存储器 (DDRSS).....	11
7.3 媒体和数据存储接口.....	12
7.4 通用平台以太网交换机 3 端口千兆位 (CPSW3G - 用于以太网接口)	12
7.5 可编程实时单元子系统 (PRUSS).....	13
7.6 通用串行总线 (USB) 子系统.....	13
7.7 通用连接外设.....	13
7.8 显示子系统 (DSS).....	14

7.9 摄像头子系统 (CSI).....	14
7.10 处理器电源引脚、未使用外设和 IO 的连接.....	14
8 处理器 IO (LVC MOS 或开漏或失效防护型 IO 缓冲器) 的接口和仿真.....	15
9 功耗和散热分析.....	15
9.1 功耗估算.....	15
9.2 不同电源轨的最大电流.....	15
9.3 电源模式.....	15
9.4 热设计指南.....	15
10 原理图设计、捕获、录入和审阅.....	15
10.1 选择元件和值.....	15
10.2 原理图设计和捕获.....	15
10.3 原理图审阅.....	16
11 布局规划、布局、布线指南、电路板层和仿真.....	16
11.1 PCB 设计迂回布线.....	16
11.2 LPDDR4 设计和布局布线指南.....	16
11.3 高速差分信号布线指南.....	17
11.4 电路板层数和堆叠.....	17
11.5 运行仿真时应遵循的步骤参考.....	17
12 电路板组装和启动.....	18
13 器件处理和组装.....	18
13.1 焊接建议.....	18
14 参考资料.....	18
14.1 处理器特定.....	18
14.2 通用.....	18
15 术语.....	19
16 修订历史记录.....	20

商标

Sitara™ is a trademark of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 引言

“使用 AM62P/AM62P-Q1 系列处理器的定制电路板硬件设计注意事项”用户指南（文档）为电路板设计人员使用其中任何一种处理器进行设计提供了一个起点。本文档概述了在不同电路板设计阶段推荐的设计流程，并重点介绍了必须满足的重要设计要求。请注意，本文档不包含完成定制电路板设计所需的全部信息。许多情况下，本文档参考了器件特定配套资料和其他各文档作为特定信息来源。

本文档条理有序，先介绍了在定制电路板设计初始规划阶段必须做出的决策，然后介绍了处理器和连接的关键器件的选型及电气和散热要求。为确保电路板设计成功，应在每一部分讨论的建议得到解决后再进行下一部分。

备注

本文档可能并未涵盖定制电路板设计的所有方面。

备注

这些处理器能够满足安全要求。

本文档的重点是非安全应用。

1.1 开始定制电路板设计之前的准备工作

该处理器系列包含多种外设和处理功能，但并非所有这些外设和功能都用于每个设计中。因此，使用同一处理器的不同设计的要求可能存在很大差异，具体取决于目标应用。电路板设计人员在选择处理器和确定板级实现细节之前必须了解相关要求。此外，定制电路板设计可能需要额外的电路才能在目标环境中正常运行。请参阅 TI.com 上的最新配套资料，包括器件特定数据表、器件勘误表、TRM 和 SK 用户指南，了解如何选择处理器并确定以下内容：

- 处理器运行的预期环境条件、目标引导模式、存储类型和使用的接口
- 所选处理器中每个内核的处理（性能）要求
- 用于所连接器件的处理器外设

1.2 处理器选择

处理器选型是定制电路板设计过程中最重要的一步。有关处理器架构以及选择处理器型号、特性和速度等级的快速概览，请参阅器件特定数据表的 *功能方框图* 和 *器件比较* 部分。

1.3 技术文档

TI.com 上的处理器产品页面提供了许多与所选处理器相关的文档。强烈建议在开始定制电路板设计之前通读这些文档。

以下链接中汇总了在开始进行定制电路板设计时可以参考的配套资料。

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 快速入门配套资料](#)

1.3.1 更新的原理图 (添加了设计、审核和 CAD 注解)

在定制电路板设计过程中，客户倾向于重复使用 SK 设计文件，并在此基础上进行设计调整。此外，客户也会重复使用一些常见实现方式，包括处理器、存储器以及通信接口等。鉴于 SK 被寄予实现更多附加功能的厚望，客户会对 SK 实现进行优化调整，以满足自身电路板设计的要求。在对 SK 原理图进行优化时，会在定制设计中引入误差，这类误差可能导致功能、性能或可靠性方面的问题。优化过程中，如客户对 SK 实施存在疑惑，可能会导致设计错误。许多这类优化和设计错误在各种设计中很常见。根据以往的经验教训和数据表中的引脚连接建议，我们在 SK 原理图的各部分附近添加了全面的设计要点 (D-Note:)、审核提示 (R-Note:) 和 CAD 注解 (Cad Note:)，客户可以查看并遵循这些说明，以便更大限度减少设计中的错误。此外，设计文件下载包中还包含了一系列附加文件，以便更好地辅助客户的评估工作 (<https://www.ti.com/lit/zip/spr487>)。

下面的产品概述文档中列出了单个大 zip 文件中的可用文档列表。

[SK-AM62P-LP 设计包文件夹和文件列表 \(修订版 A \)](#)

请参阅以下常见问题解答，其中包含 PDF 原理图以及与入门套件 SK-AM62P-LP 相关的其他信息：

[\[常见问题解答\] AM62P/AM62P-Q1 - 定制电路板硬件设计 - 用于重复使用 SK-AM62P-LP 原理图的设计和审查说明。](#)

1.3.2 支持定制电路板设计的常见问题解答

根据客户互动，我们添加了一些常见问题解答以供客户使用。

常见问题解答包括通用指南、基于客户交互的学习以及一些与处理器外设相关的常见问题。

我们提供了一个主列表，其中提供了 Sitara 处理器系列所有可用常见问题解答的列表。

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM64x、AM243x、AM335x \) 系列的主要 \(完整 \) 常见问题解答列表](#)

为方便客户使用，我们还列出了常见问题解答处理器系列。

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

注意：常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息，

1.4 设计文档

建议定期更新设计文档，以获取定制电路板设计不同阶段的所有要求、设计更新和观察结果。这些更新的信息为文档包奠定基础，在申请外部评审支持时，设计文件是必需的。

2 方框图

详细的方框图涵盖了所有功能块和所需的接口，是设计成功定制电路板的关键。

2.1 创建方框图

准备详细的方框图是定制电路板设计期间的一个重要阶段。该方框图应包括所有主要功能块、处理器运行的相关器件（例如：PMIC）和附加器件。该方框图应展示用于实现处理器和附加器件互连的接口和 IO。

在准备详细方框图时，以下资源可用作支持文档：

- SK-AM62P-LP（适用于低功耗 Sitara™ 处理器的 AM62P/AM62P-Q1 入门套件）和任何其他可用的 SK 均可作为开始定制电路板设计提供良好的信息来源。
- 下面提到的 TI.com 处理器产品文件夹链接提供器件特定功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、设计注意事项以及适用于不同应用的其他相关信息。设计和开发部分包括 SK 信息、设计工具、仿真模型和软件信息。支持和培训相关信息中提供指向普遍适用的 [E2E](#) 主题和 [常见问题解答](#) 的链接。
 - [AM62P 产品文件夹](#)
 - [AM62P-Q1 产品文件夹](#)

2.2 配置引导模式

建议在方框图中指示配置引导模式。这包括主引导和备用引导。

处理器系列包含多个支持引导模式的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。处理器系列支持主引导模式选项和可选备份引导模式选项。如果主引导源无法引导，ROM 将进入备份模式。

连接到处理器引导模式输入引脚的引导模式电阻器配置提供了有关引导期间 ROM 代码将使用的引导模式的信息。上电复位 (PORz_OUT) 时会对引导模式引脚进行采样，并且输入必须保持稳定，然后才能释放（置为无效）冷复位 (MCU_PORz)。

引导模式配置提供以下信息：

PLL 配置：BOOTMODE [02:00] - 向 PLL 配置的 ROM 代码指示系统时钟（PLL 参考时钟选择）频率 (MCU_OSC0_XI/XO)

主引导模式：BOOTMODE [06:03] - 配置所需的主引导模式，即要从中引导的外设/存储器

主引导模式配置：BOOTMODE [09:07] - 这些引脚为主引导提供可选配置，并与所选的引导模式配合使用

备用引导模式：BOOTMODE [12:10] – 配置所需的备用引导模式，即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置：BOOTMODE [13] – 此引脚为备用引导器件提供额外的配置选项（可选 - 取决于所选的备用引导模式）

保留：BOOTMODE [14] – 保留的引脚

POST：BOOTMODE [15] – 处理器上电期间执行的硬件上电自检

引导模式配置的主要注意事项：

- 建议始终包括用于配置开发期间所用引导模式的设置，例如用于 JTAG 调试的 USB 引导、UART 引导或无引导/器件引导模式
- 引导模式引脚在锁存引导模式配置后可提供备选功能。确保在电路板设计过程中，为引导模式引脚选择上拉或下拉电阻器时考虑到这一点。如果这些引脚由另一器件驱动，则只要该处理器复位（由 PORz_OUT 引脚指示），上述引脚就必须恢复正确的引导配置电平，使该处理器能够正确引导。
- 某些引导模式引脚功能被保留。所有标记为“保留”或未使用的引导模式引脚都不得悬空。建议使用一个电阻器将输入拉高或拉低。有关连接被保留的引导模式引脚的详细信息，请参阅器件特定 TRM *初始化* 一章中的 *引导模式引脚映射* 部分。

有关支持的引导模式的详细信息，请参阅器件特定 TRM 的 *初始化* 一章。

备注

电路板设计人员负责根据所需的启动配置提供设置所需引导模式配置（使用上拉或下拉，以及可选的跳线/开关和外部 ESD）的配置。建议为所有具有配置功能的引导模式引脚提供上拉和下拉电阻配置。

将引导模式引脚短接在一起，使所有引导模式引脚处于未连接状态，或者不允许或不建议将引导模式输入直接短接至电源或接地。

备注

有关支持的引导模式和可用引导模式功能的更新，请参阅器件特定勘误表。

2.3 确认 PinMux (PinMux 配置)

该处理器支持多个外设接口。为了优化尺寸、引脚数和封装，同时保持尽可能多的功能，许多处理器焊盘（引脚）提供最多可复用八个信号功能的配置。因此，并非所有外设接口实例都可用或可以同时使用。

TI 提供 [SysConfig-PinMux 工具](#)，支持电路板设计人员使用 PinMux 工具为 AM62P/AM62P-Q1 系列处理器配置所需的功能。

备注

建议保存使用 SysConfig-PinMux 工具生成的 PinMux 配置以及其他设计文档。

3 电源

完成处理器选型和方框图更新后，定制电路板设计的下一个阶段是确定所选处理器的电源架构。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成电源

电源架构可以基于 [TPS65224-Q1](#) 等多通道 IC (PMIC)。

有关更多信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

对于汽车功能安全用例，请将处理器的 MCU_I2C0 连接到 PMIC (TPS65224/2) I2C1。

3.1.2 分立式电源

电源架构可以基于[直流/直流转换器](#)和[LDO](#)。

目前，TI 没有推荐分立式电源架构实施，但将来可能会提供。

要了解可用的解决方案，请参阅处理器 ([AM62P/AM62P-Q1](#)) 产品页面。

3.2 电源轨

有关处理器电源轨和允许的电源电压范围的完整列表，请参阅器件特定数据表中[规格](#)一章的[建议运行条件](#)部分。以下部分提供了某些特定电源轨的更多详细信息。

备注

确保连接到处理器电源轨的电源处于器件特定数据表的[建议运行条件](#)范围内。

3.2.1 内核电源

建议使用同一电源为内核电源 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 供电，这些电源可在 0.75V 或 0.85V 电压下工作（[建议运行条件](#) (ROC) 表中定义的指定工作范围）。当这些电源在 0.75V 电压下工作时，建议在所有 0.85V 电源之前斜升 0.75V。

VDDR_CORE 只能在 0.85V 电压下工作。当 VDD_CORE 配置为在 0.85V 下工作时，建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电（一起斜升）。

当使用部分 IO（低功耗）模式时，建议将 VDD_CANUART 连接至常开型电源。不使用部分 IO 模式时，建议将 VDD_CANUART 与 VDD_CORE 连接到同一电源。

使用 MMC0 时，外设内核电源 VDD_MMC0 和 VDDA_0P85_DLL_MMC0 只能在 0.85V 下工作。不使用 MMC0 时，建议将 VDD_MMC0 和 VDD_0P85_DLL_MMC0 连接到与 VDD_CORE 相同的电源。

更多信息，请参阅器件特定数据表中[规格](#)一章的[建议运行条件](#)部分。

备注

有关内核电压选型，请参阅器件特定数据表的[工作性能点](#)部分。

3.2.2 外设电源

该处理器支持 USB 专用外设电源（USB0 和 USB1 通用）、MMC0、PLL 和 CSI_DSI（CSIRX0 和 DSITX0）。建议工作电压为 1.8V。USB 需要额外的 3.3V 模拟电源。

对于 LPDDR4，建议 DDR PHY IO (VDDS_DDR) 和 DDR 时钟 IO (VDDS_DDR_C) 电源为 1.1V。

更多信息，请参阅器件特定数据表中[规格](#)一章的[建议运行条件](#)部分。

3.2.3 动态切换双电压 IO 电源

建议使用能够生成动态电压的外部 LDO。

MMC1..2 的 VDDSHV5 和 VDDSHV6 IO 电源轨旨在支持上电、下电或不依赖于其他电源的动态电源电压变化。这是支持 UHS-I 速度所必需的功能。

3.2.4 IO 组 (处理器) 的内部 LDO

处理器支持八个内部 LDO (CAP_VDDsx [x = 0..3, 5..6]、CAP_VDDS_CANUART 和 CAP_VDDS_MCU)，每个 LDO 输出连接到一个单独的焊球（引脚），用于连接外部电容器。有关建议的电容和连接的指导，请参阅器件特定数据表中[信号说明](#)一节的[电源](#)小节。

3.2.5 双电压 IO (用于处理器 IO 组)

该处理器支持八个双电压 IO 域 (VDDSHVx [x = 0..3, 5..6]、VDDSHV_MCU 和 VDDSHV_CANUART)，其中每个域为一组预定义的 IO 供电。每个 IO 域可分别配置为 3.3V 或 1.8V 电压。该电源为 IO 电源组中所有预先确定的 IO 供电。连接到这些 IO 域的所有 IO (附加器件) 与相应处理器双电压 IO 域 (VDDSHVx 电源轨) 必须使用相同的电源。

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息，请参阅器件特定数据表。建议使用与相应处理器相同的电源 - 双电压 IO 域 (VDDSHVx 电源轨) - 为所连接器件的 IO 供电，以确保系统/电路板不会向未供电的 IO 施加电位。这是保护处理器和所连接器件的 IO 所必需的。

有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - SOC \(处理器 \) 和所连接器件 \(失效防护 \) 之间的电源时序](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

可用的 IO 组信息汇总如下：

- VDDSHV0 - 通用 IO 组的双电压 IO 电源
- VDDSHV1 - 闪存 IO 组的双电压 IO 电源
- VDDSHV2 - GEMAC IO 组的双电压 IO 电源
- VDDSHV3 - GPMC IO 组的双电压 IO 电源
- VDDSHV5 - MMC1 IO 组的双电压 IO 电源
- VDDSHV6 - MMC2 IO 组的双电压 IO 电源
- VDDSHV_MCU - WKUP_MCU IO 组的双电压 IO 电源
- VDDSHV_CANUART - CANUART IO 组的双电压 IO 电源

备注

VDDSHV4 IO 电源轨不可用。

备注

当使用部分 IO (低功耗) 模式时，建议将 VDDSHV_CANUART 连接至常开型电源。

3.2.6 VPP (电子保险丝 ROM 编程) 电源

VPP 电源可以来自电路板或外部。

在处理器上电和断电序列期间以及处理器正常运行期间，VPP 引脚可以保持悬空 (HiZ) 或通过电阻下拉至地。

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- VPP 电源电压只能在处理器上电序列完成后应用。
- 建议使用具有更高输入电源 (2.5V 或 3.3V) 和使能输入的固定 LDO。需要由处理器 GPIO 控制使能输入以进行计时。
- VPP 电源应该会具有高负载电流瞬态，可能需要在 VPP 引脚附近使用局部大容量电容器来支持 LDO 瞬态响应。
- 选择具有快速放电功能的电源或使用放电电阻器。
- 编程期间指定的最大电流为 400mA。
- 如果使用外部电源，则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时，建议在处理器 VPP 电源引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源，并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在不对 OTP 电子保险丝进行编程时禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。

更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的的问题](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *一次性可编程 (OTP) 电子保险丝的 VPP 规格* 部分。

3.3 确定电路板电源要求

器件特定数据表中未提供每个电源轨的 (最大和最小) 电流要求。这些要求在很大程度上取决于应用，必须使用 TI 提供的工具针对特定用例进行评估。

3.4 电源滤波器

该处理器支持多个模拟电源引脚，这些引脚可为 VDDA_1P8_OLDI0、VDDA_1P8_CSI_DSI、VDDS_MMC0、VDDS_OSC0、VDDA_MCU 和 VDDA_PLLx [x = 0..4] 等敏感模拟电路供电。有关电源滤波的实现，请参阅 [入门套件 SK-AM62P-LP](#)。

有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623 定制板硬件设计 - 针对 SoC 电源轨的铁氧体 \(电源滤波器\) 建议](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

3.5 电源去耦和大容量电容

为了将处理器和附加器件与电路板噪声去耦，建议使用去耦电容器和大容量电容器。有关实现去耦电容器和大容量电容器的信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

有关优化和放置去耦电容器和大容量电容器的指导，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

3.5.1 PDN 目标阻抗说明

为特定电源提供了 PDN 目标阻抗值。不提供所有电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和值的更新，请参阅 [\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 入门配套资料](#)。查找 PDN 目标阻抗值 (VDD_CORE 和 VDDS_DDR)。

3.6 电源时序

器件特定数据表中提供了所需的 *电源时序* (上电和下电) 的详细图表。当使用分立式电源解决方案时，与处理器相关的所有电源应支持使用基于 PMIC 的电源或使用板载逻辑来实现受控电源斜坡 (请参阅电源压摆率) 和电源时序。

如需了解更多信息，请参阅器件特定数据表的 *电源要求*、*电源压摆率要求*、*电源时序* 部分。

有关详细信息，请参阅 [\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 上电和下电的处理器电源时序要求](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

3.7 电源诊断

该处理器支持以下电压监视器：

- VMON_VSYS (无论软件实现如何，建议配置外部电阻分压器以用于早期电源故障指示)：如需通过外部电阻分压器连接系统电压 (主电源电压，如 5V 或其他电压等级)，请参阅器件特定数据表的 *系统电源监测设计指南* 部分。建议在电阻器分压器输出端实现噪声滤波器 (电容器)，因为 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应。建议始终提供电阻分压器配置以便尽早检测。
- VMON_1P8_SOC 和 VMON_3P3_SOC (监控)：建议将这些引脚直接连接到各自的 1.8V 和 3.3V 电源。有关允许的电源电压范围，请参阅器件特定数据表的 *建议运行条件* 部分。

有关不使用时连接电压监测引脚的信息，请参阅器件特定数据表的 *引脚连接要求* 部分。

3.8 电源监控

为了优化定制电路板性能，请为电源轨和负载电流配置外部监控。

有关实施的更多信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

现在，电源架构和用于生成电源轨的电源器件已经完成，接下来是更新方框图以包含电源轨和互连。还建议创建电源序列 (上电和断电) 图并使用器件特定数据表验证该序列。

4 时钟

定制电路板设计的下一个阶段是为处理器和附加器件提供正确的时钟。处理器时钟可使用外部晶体在内部生成，也可以使用 LVCMOS 兼容时钟输入。使用外部时钟时，请遵循器件特定数据表中的连接建议。本节介绍可用的处理器时钟源和要求。

4.1 处理器外部时钟源

器件特定数据表中 *规格* 一章的 *时钟规格* 部分汇总了建议的处理器时钟源和建议的连接。

连接到内部高频振荡器 (MCU_HFOSC0) 或 MCU_OSC0 LVCMOS 数字时钟的 25MHz 外部晶体接口引脚是内部参考时钟 HFOSC0_CLKOUT 的默认时钟源。

低频振荡器 (LFOSC0) 的用例有限且是可选的。根据用例，选择 32.768kHz 晶体作为时钟源。有关更多信息，请参阅 [\[常见问题解答\] AM625 : LFOSC 在器件中的使用](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

4.1.1 未使用的 WKUP_LFOSC0

有关未使用时钟的建议连接的指导，请参阅器件特定数据表 *规格* 一章的 *未使用 WKUP_LFOSC0* 部分。

4.1.2 LVCMOS 数字时钟源

MCU_OSC0_XI 和 WKUP_LFOSC0_XI 时钟输入可源自 1.8V LVCMOS 方波数字时钟源。有关更多详细信息，请参阅器件特定数据表的 *规格* 一章中的 *时序和开关特性*、*时钟规格*、*输入时钟/振荡器* 部分。

备注

请务必按照器件特定数据表的建议连接 MCU_OSC0_XO 和 WKUP_LFOSC0_XO 引脚。

4.1.3 晶体选型

选择晶体时，电路板设计人员必须根据最坏工作环境和电路板的预期寿命来考虑温度和老化特性。验证所用的晶体负载和晶体负载电容值是否与数据表建议值相匹配。

有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 晶体选型相关问题](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

有关更多信息，请参阅器件特定数据表的 *MCU_OSC0 晶体电路要求* 和 *WKUP_LFOSC0 晶体电气特性表*。

建议根据需要与晶体制造商验证晶体选型。

4.2 处理器时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作连接的器件 (外部外设) 的时钟源。

有关更多详细信息，请参阅器件特定数据表和 TRM。

5 JTAG (联合测试行动组)

TI 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。尽管运行不需要 JTAG，但建议在定制电路板设计中包含 JTAG 连接。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何，均可使用边界扫描。

可下载用于边界扫描测试的 BSDL 模型。

- [AM62Px Sitara™ BSDL 模型](#)

JTAG 端口作为一个仿真接口，可在不同模式下使用：

- 标准仿真：只需五个标准 JTAG 信号。
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMU 引脚输出跟踪数据。

无论处理器配置如何，均可使用仿真。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

5.1.2 JTAG/仿真的实现

JTAG 和仿真信号位于相同的电源域中。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号由 VDDSHV_MCU (双电压 IO) 电源轨 (IO 组 MCU 的 IO 电源) 供电。VDDSHV_MCU 可以配置为 1.8V 或 3.3V。

要确保 JTAG 接口的正确实施，请参阅 [仿真和跟踪接头技术参考手册](#) 和 [XDS 目标连接指南](#)。

5.1.3 JTAG 接口信号的连接

有关连接 JTAG 接口信号的信息，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

如果未使用 JTAG 接口，建议根据器件特定数据表的 [引脚连接要求](#) 部分，使用用于开发测试的测试点和所需的上拉/下拉电阻提供 JTAG 接口连接配置。

6 配置 (处理器) 和初始化 (处理器和器件)

建议仅在提供所有处理器电源斜坡和建议的保持时间延迟 (以毫秒为单位) 以便晶体/振荡器启动和稳定 (请参阅器件特定数据表) 之后，才使处理器冷复位输入 (MCU_PORz) 失效 (释放)，从而开始处理器启动过程。

6.1 处理器复位

处理器支持三个外部复位输入引脚 (MCU 和主域冷复位请求输入 (MCU_PORz)、MCU 和主域热复位请求输入 (MCU_RESETz) 和主域热复位请求输入 (RESET_REQz))。请注意与 MCU_RESETz 和 MCU_RESETSTATz 相关的勘误表。

请务必按照器件特定数据表的 [引脚连接要求](#) 部分中的建议连接。

器件特定数据表和 TRM 中详细介绍了支持的复位配置。

处理器提供三个复位状态输出引脚，包括主域 POR (冷复位) 状态 (PORz_OUT) 输出、MCU 域热复位状态 (MCU_RESETSTATz) 输出和主域热复位状态 (RESETSTATz) 输出。请注意与 MCU_RESETz 和 MCU_RESETSTATz 相关的勘误表。

复位状态输出的使用取决于应用。不使用时的复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

对于 MCU_PORz (3.3V 容差，失效防护输入)，可施加 3.3V 输入。输入阈值是 1.8V IO 电源电压 (VDDS_OSC0) 的函数。

建议在电源斜升和晶体/振荡器启动期间将 MCU_PORz 保持在低电平。请遵循器件特定数据表的 [上电时序](#) 图中建议的 MCU_PORz 时序要求。

通过处理器内部寄存器和仿真可实现其他复位模式。

备注

MCU_RESEZt 和 MCU_RESEZSTATz 有特定的用例建议。请参阅器件特定勘误表中的公告 i2407。

6.2 引导模式配置的锁存

有关处理器引导模式选项的更多详细信息，请参阅上文的 [节 2.2](#)。

处理器的引导模式配置在 PORz_OUT 的上升沿被锁存。器件配置和引导模式输入引脚具有交替多路复用功能。在将这些引脚的状态 (电平) 锁存到配置寄存器后，这些引脚可用于发挥本身的交替功能。PORz_OUT 复位状态输出指示引导模式配置的锁存。PORz_OUT 可选择性用于锁存所连接器件的引脚配置 (strap)。

6.3 复位附加器件

建议使用“与运算”逻辑在适用的情况下重置连接的器件 (板载媒体和数据存储设备以及其他外设)。处理器通用输入/输出 (GPIO) 引脚连接到其中一个与门输入，并提供 0Ω 来隔离 GPIO 输入以进行测试或调试。复位期间处理器 IO 缓冲器关闭。建议在与门输入附近放置一个上拉电阻，以防止与门输入悬空并启用上电期间由处理器 IO 控制的复位逻辑。主域 POR (冷复位) 状态输出 (PORz_OUT) 或主域热复位状态输出 (RESEZSTATz) 信号可以作为另一个输入连接到与门。确保与逻辑输入附近使用的处理器 IO 电源和上拉电源均来自同一电源。

复位状态输出的选择取决于应用。确保按照器件建议拉动附加器件复位输入。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESEZSTATz) 来复位连接的器件，请确保 RESEZSTATz 的 IO 电压电平与连接的器件的 IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

建议配置由软件启用 (控制) 的电源开关 (负载开关) 为 SD 卡电源 (VDD) 供电。一个固定的 3.3V 电源 (连接到处理器的 IO 电源) 连接作为电源开关的输入。

使用电源开关可以对 SD 卡进行下电上电 (因为这是复位 SD 卡的唯一方法)，并将 SD 卡恢复到默认状态。

有关实现所连接器件复位逻辑和 SD 卡电源开关使能逻辑的更多信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

6.4 看门狗计时器

是否使用看门狗计时器根据应用要求而定。请考虑使用内部或外部看门狗计时器。

7 处理器外设

该部分介绍了处理器外设和模块，旨在对器件特定数据表、TRM 和相关应用手册中提供的内容加以补充。可以使用的三种类型的文档是：

- 数据表：引脚说明、器件运行模式、交流时序、引脚功能指南、引脚映射
- TRM：功能说明、编程指南、有关寄存器和配置的信息
- 应用手册：电路板级理解并解决常见的问题

7.1 跨域选择外设

处理器架构包括多个域，每个域包括特定的处理内核和外设：

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例，任一内核均可以使用任何域中的外设。无论来自哪个域，所有外设均映射到存储器，且 Arm® Cortex®-A53 内核可查看并访问 MCU 域中的大多数外设。类似地，MCU 可以访问主域中的大多数外设。

7.2 存储器 (DDRSS)

DDR 子系统目前支持 LPDDR4 存储器接口。有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择的信息，请参阅器件特定数据表 [特性](#) 一章的 [存储器子系统](#)、[DDR 子系统 \(DDRSS\)](#) 部分。

允许的存储器配置为 1 x 32 位或 1 x 16 位。

1 x 8 位存储器配置不是有效配置。

根据应用要求，由于提供了 1 x 16 位配置，同一存储器 (LPDDR4) 器件可与 AM625/AM623/AM625-Q1/AM620-Q1、AM62A7/AM62A3 和 AM62P/AM62P-Q1 处理器搭配使用。

当 AM62P/AM62P-Q1 处理器配置为 16 位配置时，请遵循 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#) 的 16 位单列 LPDDR4 实现示例中显示的 DQS2..3 和其他未使用信号连接建议。

请参阅器件特定数据表的 [引脚连接要求](#) 部分，了解如何连接 DDRSS 信号 (在不使用 DDRSS 时) 以及信号的 DDR 设计指南 (在使用 LPDDR4 时)。

有关更多详细信息，请参阅器件特定 TRM 中 [存储器控制器](#) 一章的 [DDR 子系统 \(DDRSS\)](#) 部分。

有关 DDR4/LPDDR4 存储器接口的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - DDR4/LPDDR4 存储器接口](#)。

7.2.1 处理器 DDR 子系统和器件寄存器配置

DDR 控制器和 DDR PHY 有大量参数需要配置。为了方便配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从“Software Product”下拉菜单中选择“DDR Subsystem Register Configuration”，并选择所需的处理器。此工具将电路板信息、DDR 器件数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 PHY 进行编程的头文件。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 SK 上安装的存储器 (LPDDR4) 器件的集成配置文件。如果您需要不同存储器 (LPDDR4) 器件的配置文件，则必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

7.2.2 校准电阻器连接

遵循器件特定数据表中的 DDR0_CAL0 (IO 焊盘校准电阻) 连接建议。按照器件特定的 SK 原理图将推荐的电阻 (ZQ 和复位) 连接到存储器器件和值。

7.3 媒体和数据存储接口

媒体和数据存储接口支持 3 个多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b+4b+4b)。

MMC0 支持 8 位 eMMC 接口 (有关速度，请参阅器件特定数据表的 [MMC0 - eMMC 接口](#) 部分)。EMMC PHY 是专用的硬 PHY 实现。eMMC 接口所需的拉取在硬 PHY 内部实现，符合 JEDEC 标准。有关未使用 MMC0 接口时的 MMC0 接口信号连接建议，请参阅器件特定数据表的 [引脚连接要求](#) 部分。

MMC1/MMC2 支持 4 位 SD/SDIO 接口 (有关速度，请参阅器件特定数据表的 [MMC1/MMC2 - SD/SDIO 接口](#) 部分)。

此外，还支持 1 个通用存储器控制器 (GPMC) 和 1 个 OSPI/QSPI 接口。

有关 eMMC 存储器接口的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口](#)。

有关 OSPI/QSPI 存储器接口的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)。

有关与 OSPI/QSPI 相关的信息，请参阅 [\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)。

有关更多详细信息，请参阅器件特定 TRM 中 [外设](#) 一章的 [存储器接口](#) 部分。

7.4 通用平台以太网交换机 3 端口千兆位 (CPSW3G - 用于以太网接口)

CPSW3G 接口可以配置为 3 端口交换机 (连接到两个外部以太网端口 (端口 1 和 2)) 或具有自己 MAC 地址的双独立 MAC 接口。

CPSW3G 支持每个外部以太网接口端口的 RMII (10/100) 或 RGMII (10/100/1000) 接口。

对于 RMII 接口实现, 请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 部分。

CPSW3G RMII 接口支持连接到配置为控制器 (主) 或器件 (从) 的以太网 PHY。

CPSW3G 与 RMII EPHY 连接, 配置为 EPHY 时钟输入 (其中一个缓冲时钟输出连接到处理器 MAC) 的外部 50MHz (缓冲外部振荡器或处理器时钟输出) 或具有连接至处理器的 EPHY 50MHz 时钟输出的 25MHz EPHY 时钟输入。

CPSW3G 端口之一是内部 CPPI (通信端口编程接口) 主机端口。它是一个流接口, 用于从 DMA 向 CPSW3G 提供数据, 反之亦然。

CPSW3G 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。

RGMII_ID (内部延迟) 未经计时、测试或表征。RGMII_ID 默认启用, 寄存器位保留。

有关 CPSW3G 以太网接口的更多详细信息, 请参阅器件特定 TRM 中 *外设一章的高速串行接口* 部分。

7.5 可编程实时单元子系统 (PRUSS)

该处理器系列不支持 PRUSS。

7.6 通用串行总线 (USB) 子系统

该处理器支持最多两个 USB 2.0 端口。这些端口可以配置为主机、设备或双角色设备 (DRD)。使用任何处理器 GPIO 都支持 USBn_ID (识别) 功能。

在连接到 USBn_VBUS [n = 0..1] 引脚之前, 请按照器件特定数据表的 *USB VBUS 设计指南* 一节根据情况调节 USB VBUS 电压 (USB 接口连接器附近的电源)。

当 USB 接口配置为器件模式时, 建议连接 VBUS (VBUS 电源输入, 包括电压调节电阻器分压器/钳位器) 输入。VBUS 的连接 (VBUS 电源输入, 包括电压调节电阻器分压器/钳位器) 在主机模式下是可选的。

当 USB 接口配置为 VBUS 控制主机时, 建议使用带 OC (过流) 输出指示的电源开关。USB DRVVBUS 驱动电源开关。当 USB 接口配置为主机时, 建议将 OC 输出连接到处理器 GPIO (输入)。

有关与 USB 连接和 On-The-Go 特性支持相关的详情, 请参阅器件特定 TRM。

有关更多详细信息, 请参阅器件特定 TRM 中 *外设一章的高速串行接口* 部分。

当不使用 USB0 和 USB1 时, 请参阅器件特定数据表的 *引脚连接要求* 部分来连接 USB 电源引脚。

当不使用 USB0 或 USB1 时, 请参阅器件特定数据表的 *引脚连接要求* 部分来连接接口信号和 USB 电源引脚。

有关 USB2.0 接口的更多信息, 请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - USB2.0 接口](#)。这是通用常见问题解答, 也适用于 AM62P/AM62P-Q1 系列处理器。

7.7 通用连接外设

该处理器支持多个 UART、多通道串行外设接口 (MCSPi)、I2C、多通道音频串行端口 (MCASP)、增强型脉宽调制器 (EPWM)、增强型正交编码器脉冲 (EQEP)、增强型捕获 (ECAP)、支持完整 CAN-FD 的 MCAN (模块化控制器局域网) 和 GPIO 模块实例。

备注

对于具有开漏输出类型缓冲器 (MCU_I2C0 和 WKUP_I2C0) 的 I2C 接口, 无论使用何种外设和 IO 配置, 都建议使用外部上拉。请参阅器件特定数据表中的 *引脚连接要求* 一节。

当这些开漏输出型缓冲器 I2C 接口被拉至 3.3V 电源时, 输入具有指定的压摆率限制。建议使用 RC 来限制压摆率。有关具体实现, 请参阅 [入门套件 SK-AM62P-LP](#)。

如果为 I2C 接口配置了 IO，建议为具有 LVCMOS IO 仿真开漏输出的 I2C 接口 (I2C0..3) 使用外部上拉电阻。有关具有仿真开漏输出 I2C 实例的可用 LVCMOS IO，请参阅器件特定数据表。

欲了解更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7-Q1 : MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

可用的外设实例数量取决于处理器选择。可以根据应用使用 SysConfig-PinMux 工具配置所需的接口。

有关更多详细信息，请参阅器件特定 TRM 的外设一章。

7.8 显示子系统 (DSS)

该处理器支持 OLDI (1 个 OLDI-DL (双链路)、1 个 OLDI-SL (单链路) 和 2 个 OLDI-SL)、MIPI® DSI (具有 4 通道 MIPI® D-PHY 和 DPI (24 位 RGB 并行接口)) 显示接口。

2 个 OLDI-SL 接口支持独立显示流 (非重复模式)。

当不使用 OLDIO 或 DSITX0 信号时，请参阅器件特定数据表的 *引脚连接要求* 部分进行连接。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的 *显示子系统和外设* 部分。

有关 DPI 的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

有关 OLDI 的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM62P 定制电路板硬件设计 - OLDI \(开放式 LVDS 显示接口 \) 功能](#)。

7.9 摄像头子系统 (CSI)

该处理器支持一个带 4 通道 D-PHY 的摄像头串行接口 (CSI-2) 接收器。支持 1、2、3 或 4 数据通道模式。有关支持的数据速率，请参阅器件特定数据表 *特性* 一章中的 *带通道 D-PHY 的多媒体摄像头串行接口 (CSI-2) 接收器* 部分。

DPHY-RX 支持单个时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信令决定，并允许每通道以不同的帧速率处理输入源。

有关未使用 CSIRX0 接口时连接接口引脚和电源引脚的信息，请参阅器件特定数据表的 *引脚连接要求* 部分。

有关更多详细信息，请参阅器件特定 TRM 外设一章中的 *摄像头外设* 部分。

有关 DPI 的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM62A/AM62P 定制电路板硬件设计 - CSI-2 功能](#)。

7.10 处理器电源引脚、未使用外设和 IO 的连接

除非另有说明，否则所有处理器电源引脚都必须提供器件特定数据表 *建议运行条件* 部分中指定的电源电压。

处理器有两种引脚 (封装焊球)：具有特定连接要求的引脚，以及建议保持未连接或可以保持未使用状态的引脚。

有关连接未使用的特定处理器外设和 IO 的信息，请参阅器件特定数据表中 *端子配置和功能* 一章的 *引脚连接要求* 部分。

有关未使用的处理器外设和 IO 的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - SOC 未使用的外设和 IO](#)。

7.10.1 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型缓冲器失效防护 IO。当外部配置为 IO 或外部输入未被主动驱动或 PCB 布线连接到焊盘时，建议连接外部上拉电阻器。开漏输出类型缓冲器 IO 指定了压摆率。当 IO 被上拉至 3.3V 时，建议使用 RC。

有关更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 定制电路板硬件设计 - EXTINTn 引脚上拉连接](#)。

7.10.2 预留引脚 (信号)

名为 RSVD 的引脚被预留。RSVD 引脚必须保持未连接状态。建议不要将任何 PCB 布线或测试点连接到引脚。

8 处理器 IO (LVCMOS 或开漏或失效防护型 IO 缓冲器) 的接口和仿真

在原理图设计和捕获之前，定制电路板设计中的一个重要检查点是确认处理器和所连器件之间的电气兼容性 (直流和交流)。

- 器件特定 (处理器和所连接器件) 数据表提供有关时序和电气特性的重要信息。
- 对于高速接口，建议使用提供的 IBIS 模型运行仿真。

可下载 IBIS 模型。

- [AM62Px Sitara™ IBIS 模型](#)

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

9 功耗和散热分析

电路板功耗取决于所选处理器、连接的外设、实现的功能、应用、工作温度要求以及温度/电压变化。

9.1 功耗估算

要估算处理器功耗，请使用 [AM62Px 功耗估算工具](#)

9.2 不同电源轨的最大电流

有关可用性，请查看处理器 ([AM62P/AM62P-Q1](#)) 产品页面。

9.3 电源模式

有关可用电源模式的更多详细信息，请参阅器件特定 TRM [器件配置](#) 一章中 [电源](#) 部分下的 [电源模式](#) 子部分。

9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#) 应用报告为使用 Sitara 系列处理器的定制电路板设计提供了如何成功实现散热解决方案的指导。本应用报告提供了有关常见术语和方法的背景信息。仅针对遵循应用报告中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

可以下载热模型。

- [AM62Px Sitara™ 热模型](#)。

10 原理图设计、捕获、录入和审阅

在定制电路板设计的此阶段，可以开始原理图设计、捕获和录入。

以下常见问题解答汇总了在原理图设计和原理图审阅期间可以参考的主要配套资料。

[\[常见问题解答\] AM64x、AM62x、AM62Ax、AM62Px 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

在原理图设计和捕获阶段，请参阅以下各节：

10.1 选择元件和值

选择无源器件时，请务必使用器件特定数据表中适用的建议值 (包括容差和电压额定值)。

10.2 原理图设计和捕获

在定制电路板设计的原理图设计和捕获阶段，可以新绘制原理图，也可以重复使用 SK 原理图。参考 [入门套件 SK-AM62P-LP](#) 原理图。

在原理图设计和捕获期间，请遵循 [AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 原理图设计和审阅检查清单](#) 和器件特定勘误表。

以下链接中汇总了电路板设计人员在重复使用 TI SK 设计文件时必须熟悉的注意事项。

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件。](#)

备注

重用 SK 原理图时，请确保检查重新设计后的各项功能完整性和网络名称更改。请阅读电路实现附近原理图页面上的注释。

当重复使用 SK 原理图时，可以复位元件的 DNI 设置。请确保重新配置 DNI (安装 DNI 可能会影响功能)。请阅读电路实现附近原理图页面上的注释。

10.3 原理图审阅

完成原理图设计和捕获后，根据 [AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 原理图设计和审阅检查清单](#) 验证定制电路板设计。

有关已使用的引脚/未使用的引脚/外设处理的更多信息，请参阅 [\[常见问题解答\] AM62x、AM64x、AM243x、定制电路板硬件设计 - 如何处理已使用/未使用的引脚/外设？ \(例如 GPIO、SERDES、USB、CSI、MMC \(eMMC、SD 卡 \)、CSI、OLDI、DSI、CAP_VDDsx…… \)](#)。这是通用常见问题解答，也适用于 AM62P/AM62P-Q1 系列处理器。

计划一次内部原理图检查，参考 [原理图设计和审阅检查清单](#) 检查原理图。验证电路实现是否存在设计错误、值或连接不准确、网络连接缺失等。

请务必对照器件特定数据表的 [引脚连接要求](#) 部分验证原理图。

11 布局规划、布局、布线指南、电路板层和仿真

完成原理图设计、捕获和审阅 (自己、团队和外部) 后，建议对电路板进行布局规划，以确定各种器件之间的互连距离、电路板尺寸和外形。

定制电路板设计的下一个阶段是布局布线。有关电路板布局布线的相关建议，请参阅以下部分。

11.1 PCB 设计迂回布线

[AM62Px PCB 设计迂回布线](#) 应用手册提供了 AM62P/AM62P-Q1 处理器的 PCB 迂回布线示例。

11.2 LPDDR4 设计和布局布线指南

请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)。本指南旨在简化 LPDDR4 实现。相关要求呈现为一组布局 (放置和布线) 指南，支持电路板设计人员能够针对处理器支持的拓扑成功实施稳健的设计。仅针对使用 LPDDR4 存储器且遵循 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#) 的电路板设计提供可能需要的任何后续设计支持。

请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)，了解 LPDDR4 时钟、地址和控制信号的建议目标阻抗，以及有关 LPDDR4 数、通道宽度、通道数、芯片数和列数的信息。

对于传播延迟，LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。如果需要，请参阅 [附录：AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南的 SoC 封装延迟](#)。

如果需要封装级传播延迟，请联系当地 TI 销售代表。

强烈建议在电路板原理图设计和布局阶段执行信号完整性 (SI) 仿真。

备注

该处理器系列支持数据位混合和字节交换。请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)。

备注

当前不支持用于连接 DDR4 存储器的接口。

备注

不支持 DDR2 和 DDR3 接口。

11.3 高速差分信号布线指南

[高速接口布局指南](#) 应用手册提供了如何为高速差分信号成功布线的指南。这些指南包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。仅针对遵循 [高速接口布局布线指南](#) 的电路板设计提供所需的任何后续设计支持。

备注

可以考虑使用 [入门套件 SK-AM62P-LP](#) 布局作为参考。

11.4 电路板层数和堆叠

确定层数的关键约束条件是实现高速 LPDDR4 接口所需的层数。满足建议指导原则的存储器布局通常要求使用入门套件中使用的层数 (TI 建议)。可根据定制电路板设计和功能优化层数。

有关实现 LPDDR4 存储器接口的进一步指导和优秀实践, 请参阅 TI.com 上提供的 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)。

请参阅 [AM62Px PCB 设计迂回布线](#) 指南。将 TI 过孔通道阵列 (VCA) 技术与 AMH 封装结合使用可支持进一步的层优化。

AM62Px VCA 解决方案包支持与其他几种竞争解决方案类似的功能集, 封装面积减小约 15%, 线宽拉宽大约 10%。该解决方案缩小了 PCB 尺寸并采用了更低成本的 PCB 规则, 从而实现了紧凑和成本优化的系统。

11.4.1 仿真建议

对于与 SK 布局相关的任何布局更改或优化, 建议进行仿真。

11.5 运行仿真时应遵循的步骤参考

如需了解高速 LPDDR4 接口的基本系统级电路板提取、仿真和分析方法, 请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#) 的 [LPDDR4 电路板设计仿真](#) 一章。

12 电路板组装和启动

电路板设计的下一步是电路板组装和启动。

在为电路板供电之前，请确保未安装任何 DNP 或 DNI 元件。

请在电路板启动期间参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A 定制电路板硬件设计电路优化过程中的设计建议/常见错误](#)

[\[常见问题解答\] Sitara 器件 \(AM64x、AM243x、AM62x、AM62Ax、AM62Px \) 的电路板启动提示](#)

[\[常见问题解答\] AM625/AM623/AM62A 定制电路板硬件设计的设计建议/常见错误 - SK 原理图设计更新说明。](#)

13 器件处理和组装

湿敏等级 (MSL) 额定值/回流焊峰值额定值取决于封装尺寸 (厚度和体积)。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

如需更多信息，请访问以下链接：

[AM62P 订购和质量](#)

[AM62P-Q1 订购和质量](#)

13.1 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

13.1.1 附加参考

更多有关湿敏等级的信息，请参阅以下内容：

[MSL 等级和回流曲线](#)

[湿敏等级搜索](#)。

14 参考资料

14.1 处理器特定

- 德州仪器 (TI) : [AM62Px Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM62Px Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Px 器件勘误表](#)
- 德州仪器 (TI) : [入门套件 SK-AM62P-LP](#)
- 德州仪器 (TI) : [为 AM62Px 器件供电的 PMIC](#)
- 德州仪器 (TI) : [AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 原理图设计和审阅检查清单](#)
- 德州仪器 (TI) : [AM62Px PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [SK-AM62P-LP 设计包文件夹和文件列表 \(修订版 A \)](#)

14.2 通用

- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局布线指南](#)
- 德州仪器 (TI) : [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)

- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto™ 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI) : [显示接口 : Sitara MPU 可视化设计综合指南](#)

15 术语

BSDL	边界扫描描述语言
CAN	控制器局域网
CAN-FD	控制器局域网灵活数据速率
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
CSIRX	摄像头流媒体接口接收器
DPI	显示并行接口
DRD	双角色设备
DSI	显示串行接口
DSITX	显示串行接口发送器
E2E	工程师对工程师
ECAP	增强型捕捉
ECC	错误校正码
eMMC	嵌入式多媒体卡
EMU	仿真控制
EPWM	增强型脉宽调制器
EQEP	增强型正交编码器脉冲
常见问题解答	常见问题解答
GEMAC	千兆位以太网介质访问控制器
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
JTAG	联合测试行动组
LDO	低压降
LVMOS	低压互补金属氧化物半导体
LVDS	低电压差分信号
MAC	介质访问控制器
MCASP	多通道音频串行端口
MCSPi	多通道串行外设接口
MCU	微控制器单元
MMC	多媒体卡
MSL	湿敏等级

OLDI - SL	开放 LVDS 显示接口 - 单链路
OLDI - DL	开放 LVDS 显示接口 - 双链路
OPP	运行性能点
OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
SD	安全数字
SDIO	安全数字输入输出
SDK	软件开发套件
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择输入
TRM	技术参考手册
TRSTn	测试复位
UART	通用异步收发器
USB	通用串行总线
VCA	过孔通道阵列
WKUP	唤醒
XDS	扩展开发系统

16 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from DECEMBER 1, 2023 to AUGUST 6, 2024 (from Revision * (December 2023) to Revision A (August 2024))

	Page
• 更新了节 1	3
• 添加了节 1.3.1	3
• 添加了节 1.3.2	4
• 更新了节 1.4	4
• 更新了节 2.2	4
• 更新了节 2.3	5
• 更新了节 3.1.1	5
• 更新了节 3.1.2	6
• 更新了节 3.2	6
• 更新了节 3.2.1	6
• 更新了节 3.2.3	6
• 更新了节 3.2.4	6

• 更新了节 3.2.5	7
• 更新了节 3.2.6	7
• 更新了节 3.4	8
• 更新了节 3.5.1	8
• 更新了节 3.7	8
• 更新了节 3.8	8
• 更新了节 4.1	9
• 更新了节 4.1.3	9
• 更新了节 5.1.3	10
• 更新了节 6	10
• 更新了节 6.1	10
• 更新了节 6.2	11
• 更新了节 6.3	11
• 更新了节 7.2	11
• 更新了节 7.3	12
• 更新了节 7.4	12
• 更新了节 7.6	13
• 更新了节 7.7	13
• 更新了节 7.8	14
• 更新了节 7.9	14
• 更新了节 7.10	14
• 更新了节 7.10.1	14
• 更新了节 9.1	15
• 更新了节 10	15
• 更新了节 10.1	15
• 更新了节 10.3	16
• 更新了节 11.2	16
• 更新了节 11.4.1	17
• 添加了节 12	18
• 更新了节 14.1	18
• 更新了节 14.2	18
• 更新了节 15	19

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司