

## Application Note

**TAx5x1x 器件的模拟输入配置、混合和多路复用**

Peter Djuandi, Anand Subramanian

## 摘要

TAx5x1x ( TAC5212、TAC5211、TAC5112、TAC5111、TAA5212、TAC5242、TAA5242、TAC5142 ) 系列器件具有单通道或双通道模数转换器，支持用于音频应用的高度可配置输入。本应用手册介绍了不同的输入配置，例如输入摆幅、共模设置、正常和低功耗模式下的交流/直流耦合，以及该 TAx5x1x 器件系列中支持的混合和多路复用选项。本应用手册以立体声软件控制器件 TAC5212 为例进行介绍。对于硬件引脚控制，输入的引脚配置在相应的数据表中提供。本应用手册中的音频输入由 LINE 输入提供。该器件的麦克风输入或单声道版本可采用类似的方式进行配置。

## 内容

1 引言.....	2
2 模拟输入配置.....	4
2.1 差分交流耦合配置.....	5
2.2 单端交流耦合配置.....	6
2.3 差分直流耦合配置.....	7
2.4 单端直流耦合配置.....	8
2.5 模拟输入多路复用器配置.....	9
3 Power Tune 模式和模拟混合特性.....	11
3.1 差分交流耦合 Power Tune 模式.....	11
3.2 模拟混合.....	11
4 总结.....	13
5 参考资料.....	13
6 修订历史记录.....	14

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

TAC5212 是一款具有双通道模数转换器的编解码器，其输入引脚 ( IN1P/M 和 IN2P/M ) 可配置为差分输入、单端输入或单端多路复用器输入 ( 采用交流或直流耦合 )。通过 ADC\_CH1\_INSRC 配置输入类型，通过 ADC\_CH1\_IMP 配置输入阻抗，通过 ADC\_CH1\_CM\_TOL 配置耦合和共模容差。

表 1-1. 输入配置选择

输入配置设置	B0_P0_R80 (ADC_CH1_CFG0) [7:6]	输入通道配置
0	ADC_CH1_INSRC=[00]	模拟差分输入
1	ADC_CH1_INSRC=[01]	模拟单端输入
2	ADC_CH1_INSRC=[10]	模拟单端多路复用器 INP1 输入
3	ADC_CH1_INSRC=[11]	模拟单端多路复用器 INM1 输入

表 1-2. ADC 输入阻抗选择

输入阻抗设置	B0_P0_R80 (ADC_CH1_CFG0) [5:4]	ADC 通道 1 输入阻抗
0	ADC_CH1_IMP=[00]	典型 5k $\Omega$ 输入阻抗 ( 对于 4Vrms 情况, 为 10k $\Omega$ )
1	ADC_CH1_IMP=[01]	典型 10k $\Omega$ 输入阻抗
2	ADC_CH1_IMP=[10]	典型 40k $\Omega$ 输入阻抗
3	ADC_CH1_IMP=[11]	保留

共模容差定义为差分放大器共模信号的变化，如图 1-1 中所示。

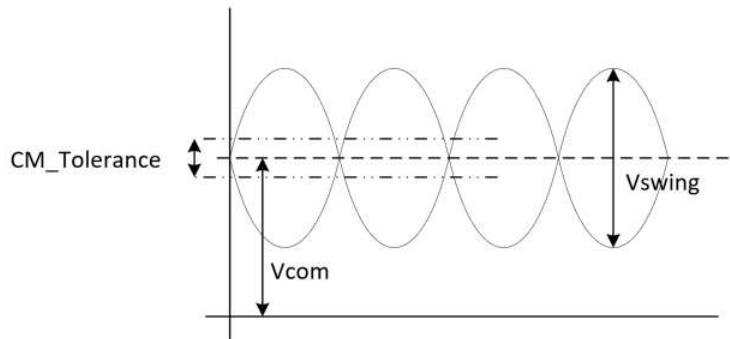


图 1-1. 共模容差

在交流耦合模式下，该器件系列支持三种共模容差：差分 100mVpp、1Vpp 和轨到轨（电源至地）；在直流耦合模式下，它支持差分 1Vpp 和轨到轨（电源至地）。需要根据最大预期共模变化来选择该共模容差。由于较宽的共模容差的确会降低其他性能参数，因此建议选择可能的更低容差模式。

表 1-3. 共模容差选择

共模容差设置	B0_P0_R80 (ADC_CH1_CFG0) [3:2]	输入通道共模容差
0	ADC_CH1_CM_TOL=[00]	具有共模变化容差的交流耦合输入，单端配置支持 50mVpp，差分配置支持 100mVpp
1	ADC_CH1_CM_TOL=[01]	具有共模变化容差的交流耦合/直流耦合输入，单端配置支持 500mVpp，差分配置支持 1Vpp ( 预计 SNR 下降 1-2dB )
2	ADC_CH1_CM_TOL=[10]	具有共模变化容差的交流耦合/直流耦合输入，支持轨到轨 ( 电源至地 ) ( 预计 SNR 下降约 35dB，仅在这种情况下支持高 CMRR )
3	ADC_CH1_CM_TOL=[11]	保留

请注意，务必牢记器件在所有模式下的满标量程 ( $V_{swing}$ )。这对于较大的共模信号尤其重要，因为它们会限制有效的输入范围。例如，在模式 1 直流耦合中，器件内部共模电压 1.375V 的 500mVp 共模电压变体会将  $V_{swing}$  限制为 3.75Vpp 单端或 7.5Vpp (2.65Vrms) 差分。在模式 2 下，它可以支持 0V 至电源电压的共模范围，但在两个极值处，都没有剩余空间可将差分信号应用于输入引脚。

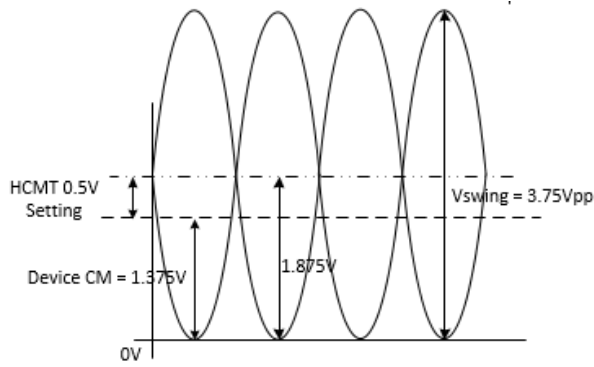


图 1-2. 模式 1 共模示例

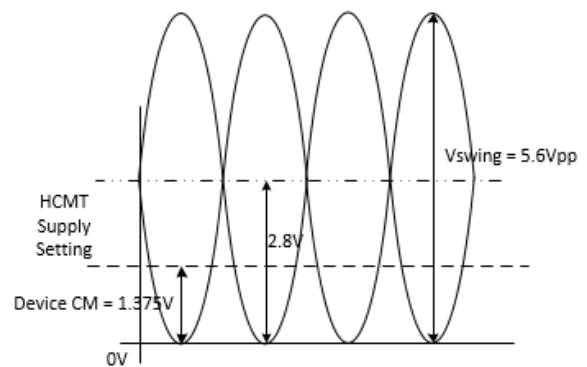
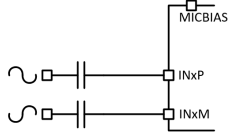
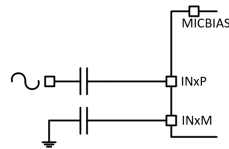
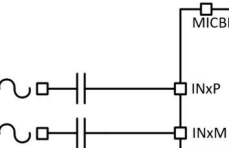
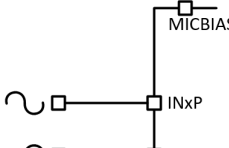
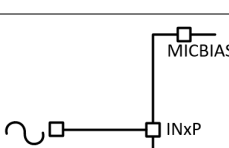
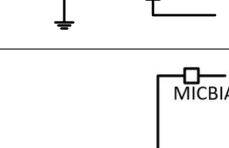


图 1-3. 模式 2 共模示例

## 2 模拟输入配置

表 2-1 在本应用手册中概述了 IN1 的不同输入配置，这些配置同样适用于 IN2 输入，只不过寄存器通道更改为 2。

表 2-1. IN1 输入配置和输入摆幅

输入引脚	输入模式	拓扑	输入摆幅
IN1P-IN1M	线路输入差分，交流耦合		2Vrms
IN1P	线路输入单端，交流耦合		1Vrms
IN1P	线路输入单端多路复用器 IN1P，交流耦合		1Vrms
IN1M	线路输入单端多路复用器 IN1M，交流耦合		1Vrms
IN1P-IN1M	线路输入差分，直流耦合		4Vrms
IN1P	线路输入单端，直流耦合		2Vrms
IN1P	线路输入单端多路复用器 IN1P，直流耦合		2Vrms
IN1M	线路输入单端多路复用器 IN1M，直流耦合		2Vrms

每次测试时，音频信号都由 APx500 模拟平衡或非平衡输出提供，输入电平以器件配置的满量程摆幅为基准，例如在直流耦合配置中，0dB<sub>r</sub>G 以 2Vrms 单端摆幅或 4Vrms 差分输入摆幅为基准。

## 2.1 差分交流耦合配置

在交流耦合差分输入配置中，使用以下器件寄存器设置，并为 IN1P/M 提供相应的输入波形以实现满量程摆幅。针对不同的输入阻抗和共模容差设置 B0\_P0\_R80 (0x50) 和 B0\_P0\_R85 (0x55)，更改第 13 行和 14 行中的寄存器设置。以下各图基于输入阻抗为 5kΩ 的模式 0。

```

1 ##### Record AC-Couple Differential IN1-IN2 path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 00 # ADC Ch1 diff input, 5KOhm, 2Vrms ac-coupled, audio band
14 w a0 55 00 # ADC Ch2 diff input, 5KOhm, 2Vrms ac-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MICBIAS
    
```

图 2-1. 差分交流耦合寄存器设置

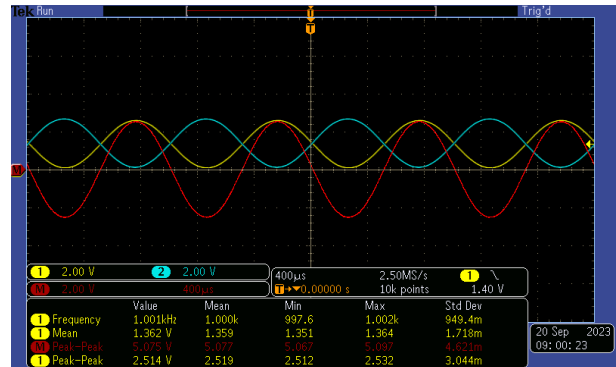


图 2-2. -1dB<sub>BrG</sub> (0dB<sub>BrG</sub> = 2V<sub>rms</sub>) 时的差分交流耦合输入摆幅

此处提供了 100mV<sub>pp</sub> 共模设置下的频率图，描绘了 -60dB<sub>BrG</sub> 输入时的动态范围和输入交流信号短接至地时的 SNR。对于 2 种不同的共模容差，可以得到类似的图。

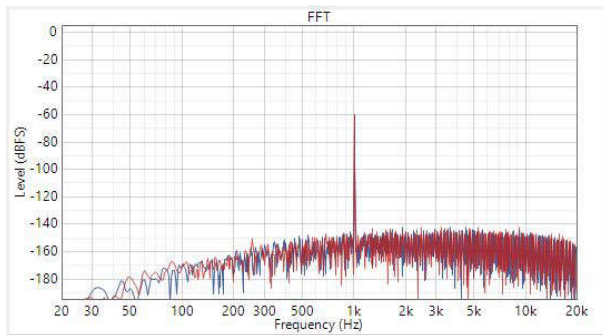


图 2-3. -60dB<sub>BrG</sub> 输入时的差分交流耦合动态范围

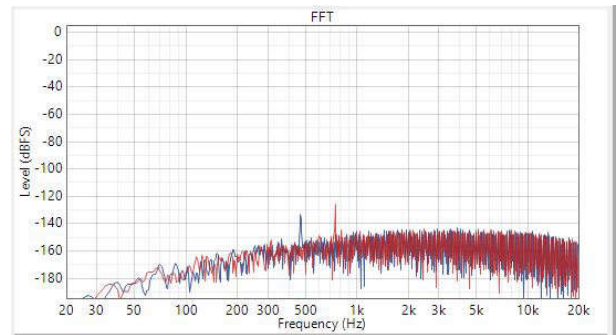


图 2-4. 输入交流信号短接至地时的 SNR

表 2-2 总结了三种不同通用容差根据不同软件控制器件型号的输入阻抗表现出的性能。表 2-3 总结了仅在差分交流耦合中支持 5K $\Omega$  输入阻抗的硬件引脚控制器件的性能。

**表 2-2. 交流耦合性能总结 - 软件控制器件**

HCMT 模式	Zin	DR (dB)			SNR (dB)			THDN ( -1dB <sub>RG</sub> 时 )		
		TAC521x	TAC511x	TAA521x	TAC521x	TAC511x	TAA521x	TAC521x	TAC511x	TAA521x
0	5K	118	103	118	118	103	118	-95	-91	-95
	10K	113	103	113	113	103	113	-102	-91	-102
	40K	101	103	102	102	103	102	-97	-91	-97
1	5K	116	102	116	116	102	116	-95	-91	-95
	10K	112	102	112	112	102	112	-102	-91	-102
	40K	100	102	101	101	102	101	-96	-91	-97
2	5K	113	101	113	113	101	113	-95	-91	-95
	10K	109	101	109	109	101	109	-101	91	-101
	40K	99	101	100	100	101	100	-96	-91	-96

**表 2-3. 交流耦合性能总结 - 硬件控制器件**

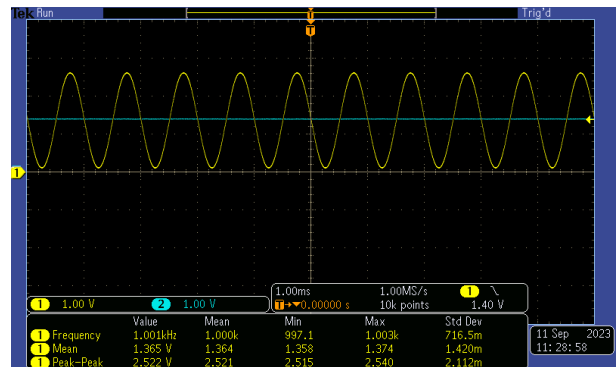
MD5-MD4	Zin	DR (dB)			SNR (dB)			THDN ( -1dB <sub>RG</sub> 时 )		
		TAC5242	TAC5142	TAA5242	TAC5242	TAC5142	TAA5242	TAC5242	TAC5142	TAA5242
00	5K	117	101	117	117	101	117	-95	-91	-95

## 2.2 单端交流耦合配置

在交流耦合单端输入配置中，使用以下器件寄存器设置，并为 IN1P 提供相应的输入波形以实现满量程摆幅。

```

1 ##### Record AC-Couple Single-Ended IN1-IN2 path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 40 # ADC Ch1 SE input, 5KOhm, 1Vrms ac-coupled, audio band
14 w a0 55 40 # ADC Ch2 SE input, 5KOhm, 1Vrms ac-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MICBIAS
  
```

**图 2-5. 单端交流耦合寄存器设置**

**图 2-6. -1dB<sub>RG</sub> (0dB<sub>RG</sub> = 1Vrms) 时的单端交流耦合输入摆幅**

此处提供了一个频率图，描绘了 -60dB<sub>RG</sub> 输入时的动态范围和输入交流信号短接至地时的 SNR。

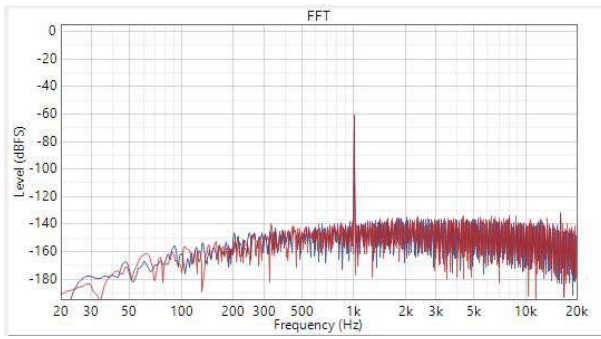


图 2-7. -60dBm 输入时的单端交流耦合动态范围

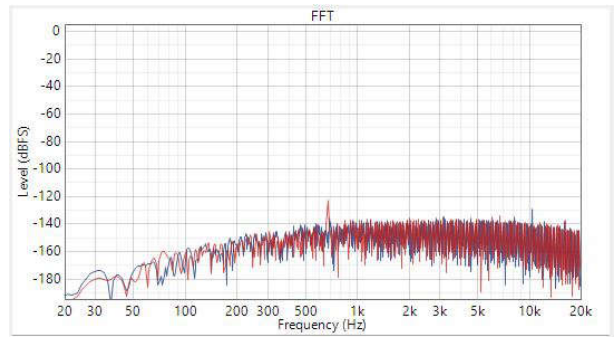


图 2-8. 输入交流信号短接至地时的 SNR

### 2.3 差分直流耦合配置

在直流耦合差分输入配置中，使用以下器件寄存器设置，并为 IN1P/M 提供相应的输入波形以实现满量程摆幅。针对不同的输入阻抗和共模容差设置 B0\_P0\_R80 (0x50) 和 B0\_P0\_R85 (0x55)，更改第 13 行和 14 行中的寄存器设置。以下设置和图基于输入阻抗为 10kΩ 的模式 2。外部共模电压设置为 2.8V。

```

1 ##### Record DC-Couple Differential IN1-IN2 path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 1a # ADC Ch1 diff input, 10KOhm, Mode 2, 4Vrms dc-coupled, audio band
14 w a0 55 1a # ADC Ch2 diff input, 10KOhm, Mode 2, 4Vrms dc-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MICBIAS
    
```

图 2-9. 差分直流耦合寄存器设置

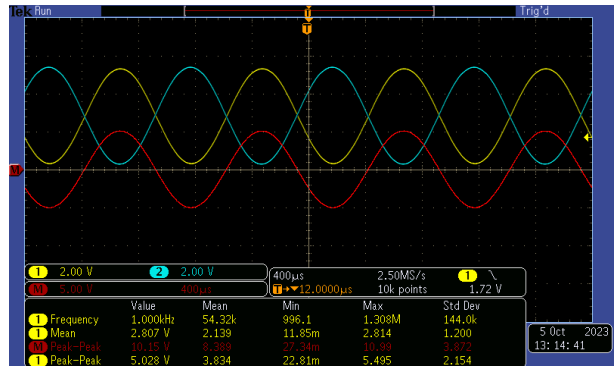


图 2-10. -1dBm (0dBm = 4Vrms) 时的差分直流耦合输入摆幅

此处提供了电源共模设置下的频率图，描绘了 -60dBm 输入时的动态范围和输入交流信号短接至地时的 SNR。其他共模容差也可以得到类似的图。

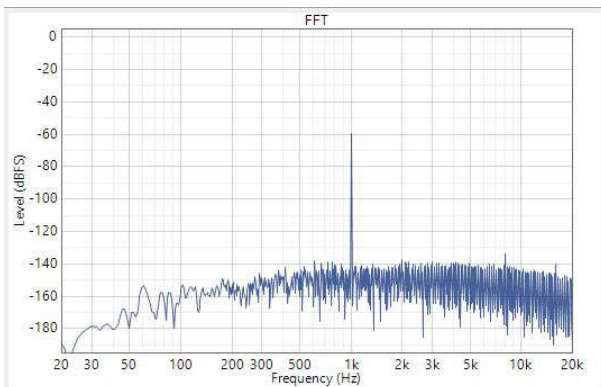


图 2-11. -60dBm 输入时的差分直流耦合动态范围

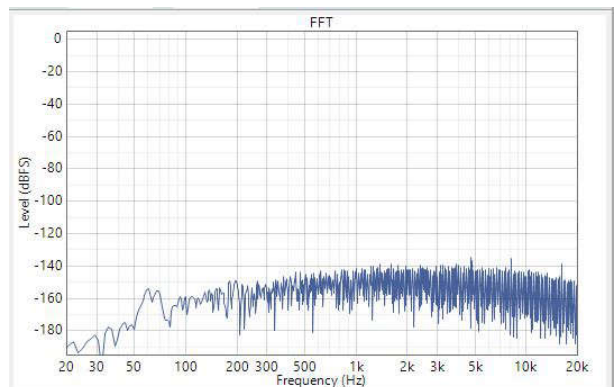


图 2-12. 输入交流信号短接至地时的 SNR

表 2-4 总结了差分直流耦合模式下两种不同通用容差根据不同器件型号的输入阻抗表现出的性能。表 2-5 总结了仅在差分直流耦合中支持 5KΩ 输入阻抗的硬件引脚控制器件的性能。

表 2-4. 直流耦合性能总结 - 软件控制器件

HCMT 模式	Zin	外部 Vcm (V)	0dBrG (Vrms)	THDN (-1dBrG 时)			DR (dB)			SNR (dB)		
				TAC521x	TAA521x	TAC511x	TAC521x	TAA521x	TAC511x	TAC521x	TAA521x	TAC511x
1	5K	1.875	2.62	-101	-102		117	117		117	117	
	10K	1.875	2.62	-101	-102		117	117		117	117	
	40K	1.875	2.62	-98	-99		107	106		106	106	
2	5K	2.8	4	-81	-80		113	113		114	114	
	10K	2.8	4	-81	-80		113	113		114	114	
	40K	2.8	4	-82	-81		105	105		105	105	
1	5K	1.875	2			-90			102			102
	10K	1.875	2			-90			102			102
	40K	1.875	2			-90			102			102
2	5K	2.8	2			-86			101			101
	10K	2.8	2			-86			101			101
	40K	2.8	2			-86			101			101

表 2-5. 直流耦合性能总结 - 硬件控制器件

MD5 -MD4	Zin	外部 Vcm (V)	0dBrG (Vrms)	THDN (-1dBrG 时)			DR (dB)			SNR (dB)		
				TAC5242	TAC5142	TAA5242	TAC5242	TAC5142	TAA5242	TAC5242	TAC5142	TAA5242
01	5K	1.875	2.62	-95	-91	-96	111	99	111	111	99	111

## 2.4 单端直流耦合配置

在直流耦合单端输入配置中，使用以下器件寄存器设置，并为 IN1P 提供相应的输入波形以实现满量程摆幅。

```

1 ##### Record DC-Couple Single-Ended IN1-IN2 path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 40KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI CH1 on slot 0
12 w a0 1f 21 # PASI CH2 on slot 1
13 w a0 50 46 # ADC Ch1 SE input, 5Kohm, 2Vrms dc-coupled, audio band
14 w a0 55 46 # ADC Ch2 SE input, 5Kohm, 2Vrms dc-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MGBIAS

```

图 2-13. 单端直流耦合寄存器设置

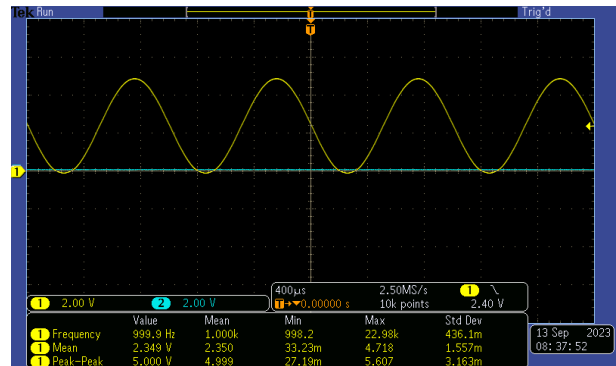


图 2-14. -1dBrG (0dBrG = 2Vrms) 时的单端直流耦合输入摆幅

此处提供了一个频率图，描绘了 -60dBrG 输入时的动态范围和输入交流信号短接至地时的 SNR。



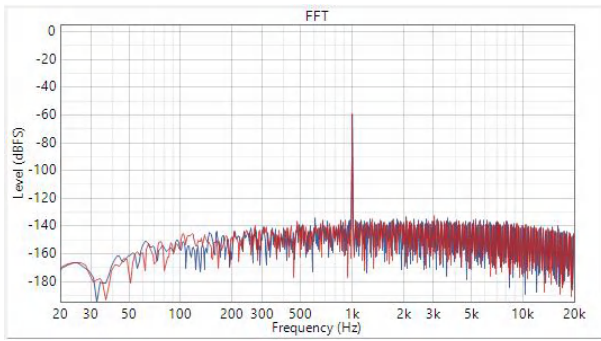


图 2-15. -60dBm 输入时的单端直流耦合动态范围

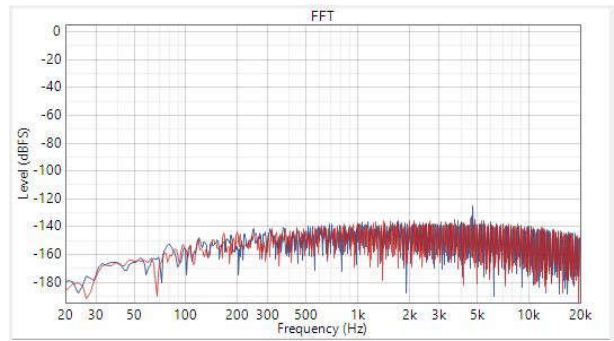


图 2-16. 单端直流耦合 SNR

## 2.5 模拟输入多路复用器配置

模拟多路复用器输入允许选择从 IN1P 或 IN1M 到 ADC 路径的输入。需要在寄存器 B0\_P0\_R80 (0x50) ADC\_CH1\_INSRC 中为该器件配置相应的多路复用器设置。在该配置中，IN1P 或 IN1M 是 ADC 信号链的输入，它们都是独立的源。在本例中，IN1P 是 -1dBm 时的 1KHz 音调，而 IN1M 是 -1dBm 时的 1250Hz 音调；0dBm = 1Vrms 单端满量程。

```

1 ##### Record AC-Couple SE Mux IN1P path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 80 # ADC Ch1 SE MUX IN1P input, 5Kohm, 1Vrms ac-coupled, audio band
14 w a0 55 00 # ADC Ch2 default Diff input, 5Kohm, 2Vrms ac-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MICBIAS
    
```

图 2-17. IN1P 多路复用器输入寄存器设置

```

1 ##### Record AC-Couple SE Mux IN1M path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 c0 # ADC Ch1 SE MUX IN1M input, 5Kohm, 1Vrms ac-coupled, audio band
14 w a0 55 00 # ADC Ch2 default Diff input, 5Kohm, 2Vrms ac-coupled, audio band
15 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
16 w a0 78 a0 # Power up ADC and MICBIAS
    
```

图 2-18. IN1M 多路复用器输入寄存器设置

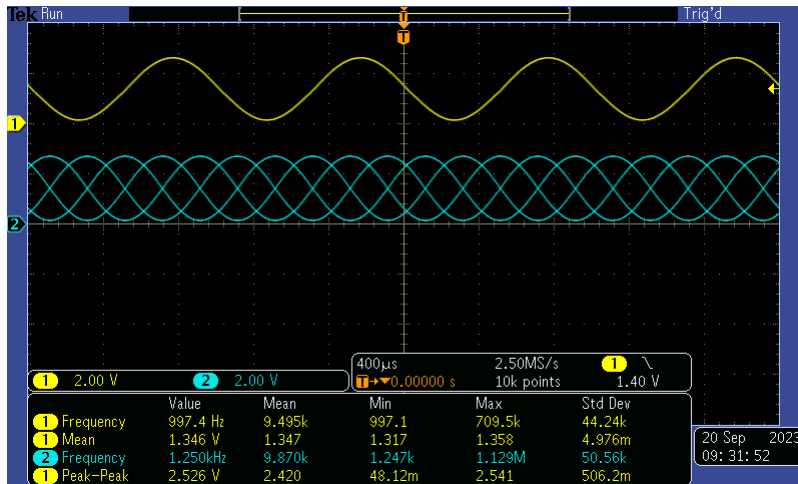


图 2-19. 1dBm (0dBm = 1Vrms) 时的 IN1P 和 IN1M 多路复用器输入

相应设置的输出显示所需信号，以及其他输入信号的抑制情况。

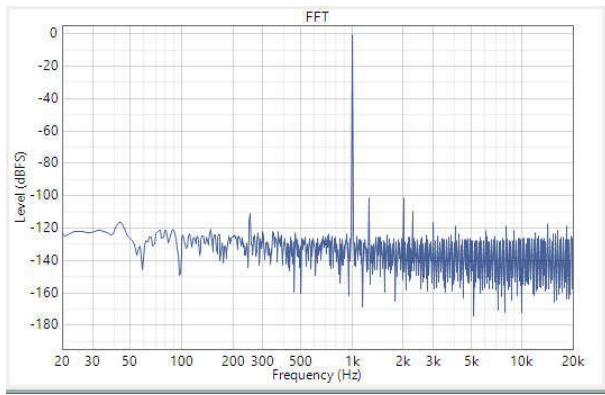


图 2-20. 配置了 IN1P 多路复用器输入的输出

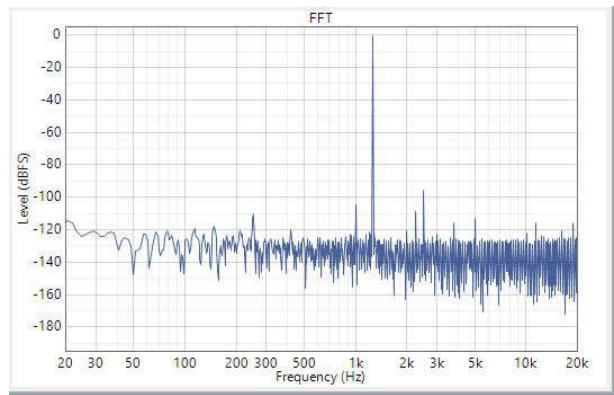


图 2-21. 配置了 IN1M 多路复用器输入的输出

### 3 Power Tune 模式和模拟混合特性

以下是该器件提供的节能特性以及模拟混合功能。

#### 3.1 差分交流耦合 Power Tune 模式

以下示例提供了在 Power Tune 模式下具有 1.8V AVDD 的差分交流耦合输入的寄存器设置，用于平衡功耗和性能。B0\_P0\_R78 (0x4E) 中的寄存器 PWR\_TUNE\_CFG0 提供了将器件置于功率补偿模式的配置。

```

1 ##### Record AC-Couple Differential IN1-IN2 path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 48KHz Sampling
4 # AVDD = 1.8V, Differential 1Vrms Input
5 #
6 w a0 00 00 # Set page 0
7 w a0 01 01 # Software Reset
8 w a0 02 0D # Wake up with AVDD = 1.8v and all VDDIO level
9 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
10 w a0 19 00 # 1 data input and 1 data output for PASI
11 w a0 1a 30 # PASI TDM, 32 bit format
12 w a0 1e 20 # PASI Ch1 on slot 0
13 w a0 1f 21 # PASI Ch2 on slot 1
14 w a0 34 c0 # PLL is disabled
15 w a0 4d 02 # MICBIAS = VREF, VREF = 1.375V for 1 Vrms differential
16 w a0 4e 04 # Enable Low Power Filter
17 w a0 50 00 # ADC Ch1 diff input, 5Kohm, ac-coupled, audio band
18 w a0 55 00 # ADC Ch2 diff input, 5Kohm, ac-coupled, audio band
19 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
20 w a0 78 80 # Power up ADC
    
```

图 3-1. Power Tune 模式差分交流耦合寄存器设置

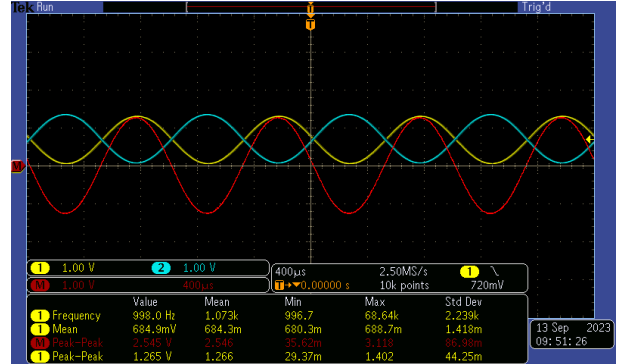


图 3-2. -1dB<sub>rG</sub> (0dB<sub>rG</sub> = 1V<sub>rms</sub>) 时的 Power Tune 差分交流耦合输入

此处提供了一个频率图，描绘了 -60dB<sub>rG</sub> 输入时的动态范围和输入交流信号短接至地时的 SNR。

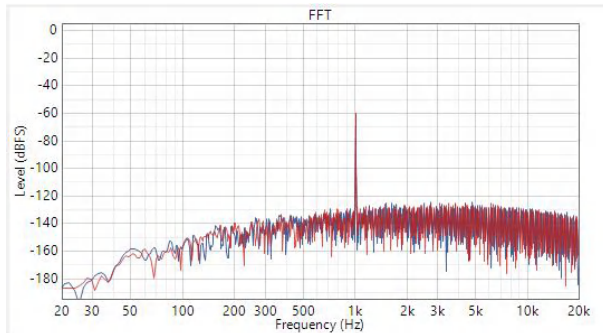


图 3-3. -60dB<sub>rG</sub> 时的 Power Tune 模式差分交流耦合动态范围

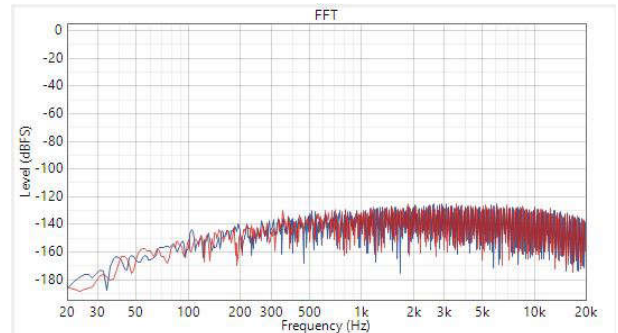


图 3-4. Power Tune 模式差分交流耦合 SNR

#### 3.2 模拟混合

当需要模拟混合时，该器件能够利用可编程混频器特性和比例因子对各种输入通道进行混合，以生成最终输出通道。在本例中，具有不同音调和输入摆幅的单端 IN1P 和 IN1M 的输入混合在一起，如寄存器设置和输入波形所示。IN1P 是 -10dB<sub>rG</sub> 时的 1KHz 音调，而 IN1M 是 -20dB<sub>rG</sub> 时的 750Hz 音调；0dB<sub>rG</sub> = 1V<sub>rms</sub> 满量程。

```

1 ##### Record Mix AC-Couple SE IN1P and IN1M Input path #####
2 # Target Mode, TDM, 32-bit
3 # Primary ASI only, multiple of 40kHz Sampling
4 #
5 w a0 00 00 # Set page 0
6 w a0 01 01 # Software Reset
7 w a0 02 09 # Wake up with AVDD > 2v and all VDDIO level
8 w a0 10 50 # Configure DOUT as Primary ASI (PASI) DOUT
9 w a0 19 00 # 1 data input and 1 data output for PASI
10 w a0 1a 30 # PASI TDM, 32 bit format
11 w a0 1e 20 # PASI Ch1 on slot 0
12 w a0 1f 21 # PASI Ch2 on slot 1
13 w a0 50 40 # ADC Ch1 SE input, 5Kohm, 1Vrms ac-coupled, audio band
14 w a0 55 00 # ADC Ch2 default Diff input, 5Kohm, 2Vrms ac-coupled, audio band
15 w a0 00 01 # Set page 1
16 w a0 2c 20 # Enable ADC Mixer
17 w a0 00 00 # Set page 0
18 w a0 76 c0 # Enable Input Ch1 and Ch2, disable output channels
19 w a0 78 a0 # Power up ADC and MICBIAS

```

图 3-5. 模拟单端混合寄存器设置

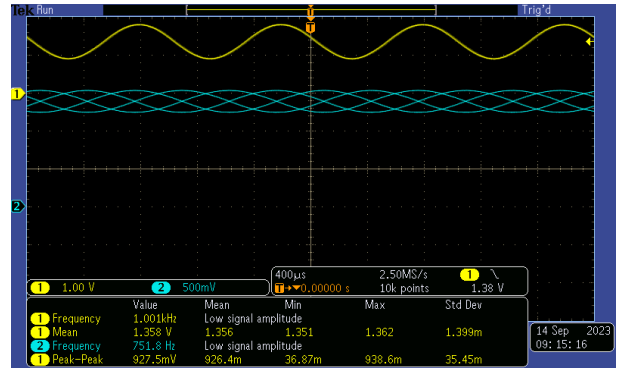


图 3-6. IN1P 和 IN1M 输入信号

相应的混合输出频率响应如图 3-7 所示。

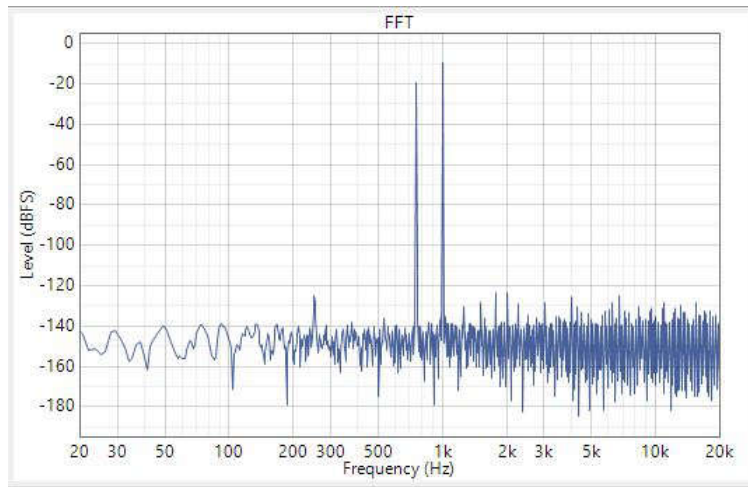


图 3-7. IN1P 和 IN1M 的混合模拟输入

## 4 总结

TAx5x1x 系列器件提供非常灵活的输入配置，并具有多路复用和混合功能，适用于各种应用。提供了多种共模容差模式，使系统即使在存在大量共模噪声的情况下也能实现高性能。器件的性能确实会随输入配置的变化而变化，因此建议所用的共模设置应尽可能低，但仍能满足系统要求的容差。为了获得出色的性能，建议使用交流耦合。

## 5 参考资料

- 德州仪器 (TI), [TAC5212 具有 115dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能立体声音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5211 具有 115dB 动态范围 ADC 和 115dB 动态范围 DAC 的高性能单声道音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5112 具有 102dB 动态范围 ADC 和 106dB 动态范围 DAC 的低功耗立体声音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5111 具有 108dB 动态范围 ADC 和 108dB 动态范围 DAC 的低功耗单声道音频编解码器数据表](#)。
- 德州仪器 (TI), [TAA5212 具有 115dB 动态范围的低功耗高性能立体声音频 ADC 数据表](#)。
- 德州仪器 (TI), [TAC5242 具有 118dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能引脚控制型立体声音频编解码器数据表](#)。
- 德州仪器 (TI), [TAA5242 具有 118dB 动态范围的低功耗高性能立体声音频 ADC 数据表](#)。
- 德州仪器 (TI), [TAC5142 具有 100dB 动态范围 ADC 和 106dB 动态范围 DAC 的引脚控制型立体声音频编解码器数据表](#)。

## 6 修订历史记录

Changes from Revision * (October 2023) to Revision A (May 2024)	Page
• 通篇更新了表格、图和交叉参考的编号格式.....	1
• 添加了 TAC5242、TAA5242 和 TAC5142 .....	1
• 添加了 交流耦合性能总结 - 硬件控制器件表.....	5
• 添加了 直流耦合性能总结 - 硬件控制器件表.....	7

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司