



Eric Tian, David Creger

内容

1 前言.....	2
命名惯例.....	3
2 相关文档.....	3
3 支持资源.....	3
4 排查 PHY 应用问题.....	4
4.1 原理图和布局检查清单.....	4
4.2 验证 PHY 是否成功上电.....	4
4.3 外设引脚检查.....	4
4.4 寄存器转储比较.....	7
4.5 验证 Strap 配置.....	7
4.6 检查 MDI 信号.....	9
4.7 链路接通失败常见问题.....	9
4.8 信号质量检查.....	9
4.9 上电时序.....	10
4.10 环回测试.....	12
4.11 调试 MAC 接口.....	12
4.12 验证 Open Alliance PMA 合规性.....	16
4.13 工具和参考.....	17
5 结语.....	19

商标

TI E2E™ and MSP430™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 前言

DP83TC812-Q1 器件是一款符合 IEEE 802.3bw 标准的汽车以太网物理层收发器，使用单根双绞线电缆工作。PHY 支持 TC10 睡眠和唤醒特性，并提供通过单条非屏蔽或屏蔽双绞线电缆发送和接收数据所需的所有物理层功能。该器件具有 xMII 灵活性，支持标准 MII、RMII、RGMII 和 SGMII MAC 接口。PHY 还在 MDI 侧集成了一个低通滤波器以减少辐射。

图 1-1 显示了典型 DP83TC812 应用的高级系统方框图。

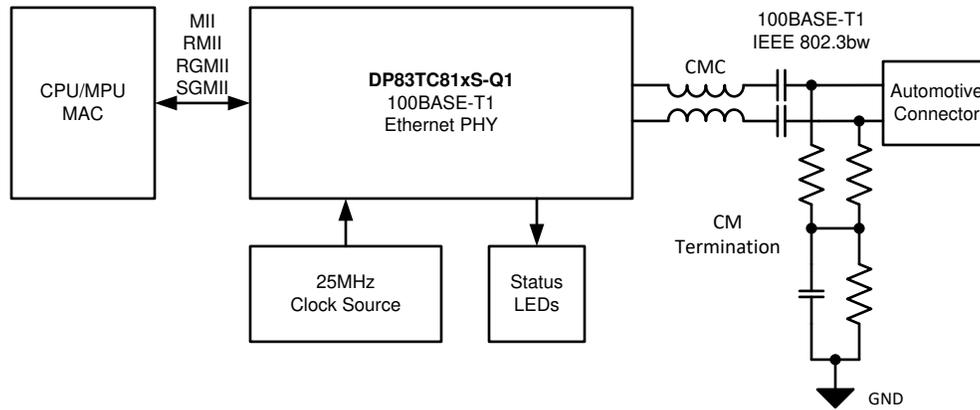


图 1-1. DP83TC812 方框图

命名惯例

本文档使用以下惯例。

- 十六进制数可以用后缀 **h** 或前缀 **0x** 显示。例如，以下数字是十六进制的 40 (十进制的 64) : 40h 或 0x40。
- 本文档中的寄存器如图所示、并在表中进行介绍。
 - 每个寄存器图都显示一个矩形、该矩形被划分为代表寄存器字段的字段。每个字段都标有其位名称、其起始位和结束位编号、其读/写属性及以下默认复位值。图例解释了用于属性的符号。
 - 寄存器图中的保留位可以有多种含义之一：
 - 未在器件上实现
 - 保留用于未来的器件扩展
 - 保留用于 TI 测试
 - 不支持的器件保留配置
 - 向保留位写入非默认值可能会导致意外行为、应避免此类行为。

2 相关文档

- 德州仪器 (TI), [DP83TC812](#)、[DP83TC813](#) 和 [DP83TC814](#) : [Open Alliance 规范合规性测试所用的配置](#) 应用手册。
- 德州仪器 (TI), [DP83TC812](#)、[DP83TC813](#) : [Open Alliance TC10 睡眠/唤醒的系统实现](#) 应用手册。
- 德州仪器 (TI), [DP83TC812-USB-2-MDIO-SCRIPTS](#) 工具。
- 德州仪器 (TI), [DP83TC812-SCHEMATIC-REVIEW-CHECKLIST](#) 工具。

3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

4 排查 PHY 应用问题

本指南旨在帮助诊断和解决各种常见的 PHY 问题，例如未实现链路、寄存器读取/写入问题、吞吐量问题等。

以下各节介绍调试方法，从具有广泛影响的项开始，然后继续逐步介绍更精细的重点项。我们建议按照列出的顺序遵循本文档的流程，但可以根据调试的性质忽略某些部分。

4.1 原理图和布局检查清单

原理图和/或布局设计问题可能会对器件的性能产生广泛影响，从而导致 PHY 完全无法正常工作以及流中出现一些位错误等问题。以下电子表格包含一个逐引脚检查清单，以验证原理图和布局设计是否符合 TI 建议。另外，还提供了一个 strap 配置工具来确保已启用正确的自动加载 (bootstrap) 模式，这是另一个常见问题。使用蓝色单元格上的下拉菜单选择您的特定配置并完成下面的基于引脚的检查清单和 strap 配置工具。

[DP83TC812 原理图和布局检查清单](#)

4.2 验证 PHY 是否成功上电

第一个明显但经常被忽视的因素就是为 PHY 正确供电。探测 PHY 的四个电源轨中的每个电源轨，以保证电压在如下所示的限制范围内。

表 4-1. PHY 电源电压规格

	引脚编号	说明	最小值	典型值	最大值	单位
VDDIO、 VDDMAC	34、22	IO 电源电压 = 1.8V	1.62	1.8	1.98	V
		IO 电源电压 = 2.5V	2.25	2.5	2.75	
		IO 电源电压 = 3.3V	2.97	3.3	3.63	
VDDA	11	内核电源电压	2.97	3.3	3.63	V
VSLEEP	7	睡眠电源电压	2.97	3.3	3.63	V

4.3 外设引脚检查

以下部分详细介绍了运行期间 PHY 各种外设输出引脚的预期值。测量并比较标注的引脚输出以验证 PHY 的运行。

4.3.1 探测 RESET_N 引脚

复位输入 (引脚 3) 为低电平有效。确认控制器未将 RESET_N 信号驱动为低电平。否则，器件会保持在复位状态，看起来无法正常工作，并且无法访问寄存器。确保 RESET_N 引脚等于 VDDIO 电压。

4.3.2 探测 INH 引脚

INH 信号 (引脚 10) 指示器件是否处于睡眠模式。当 PHY 处于 TC-10 SLEEP 模式并由外部拉电阻器拉低时，该引脚为高阻态。在所有其他 PHY 状态下，该引脚被驱动为高电平。在睡眠模式下，该器件看起来无法正常工作，并且无法访问寄存器。确保该引脚等于 Vsleep 电压，以确保器件未处于睡眠模式。

4.3.3 探测 CLKOUT 引脚

参考时钟频率和稳定性对于维持 PHY 的正常运行至关重要。不符合数据表中的规格可能会导致位错误、读取/写入问题或 PHY 完全无法运行。

请勿直接探测晶体，因为这会改变电路的容性负载并改变行为。相反，探测 CLKOUT 引脚（引脚 16），它是输入参考时钟的缓冲版本。

将频率保持在预期值的 $\pm 100\text{ppm}$ 范围内：针对 RMII 从模式为 (40.995Mhz - 50.005Mhz)，而针对所有其他模式为 (24.9975Mhz - 25.0025Mhz)。

表 4-2. 25MHz 晶体要求

25MHz 晶体要求		
频率	25	MHz
最大频率容差及稳定性与温度及老化之间的关系	± 100	ppm
最大等效串联电阻	100	Ω

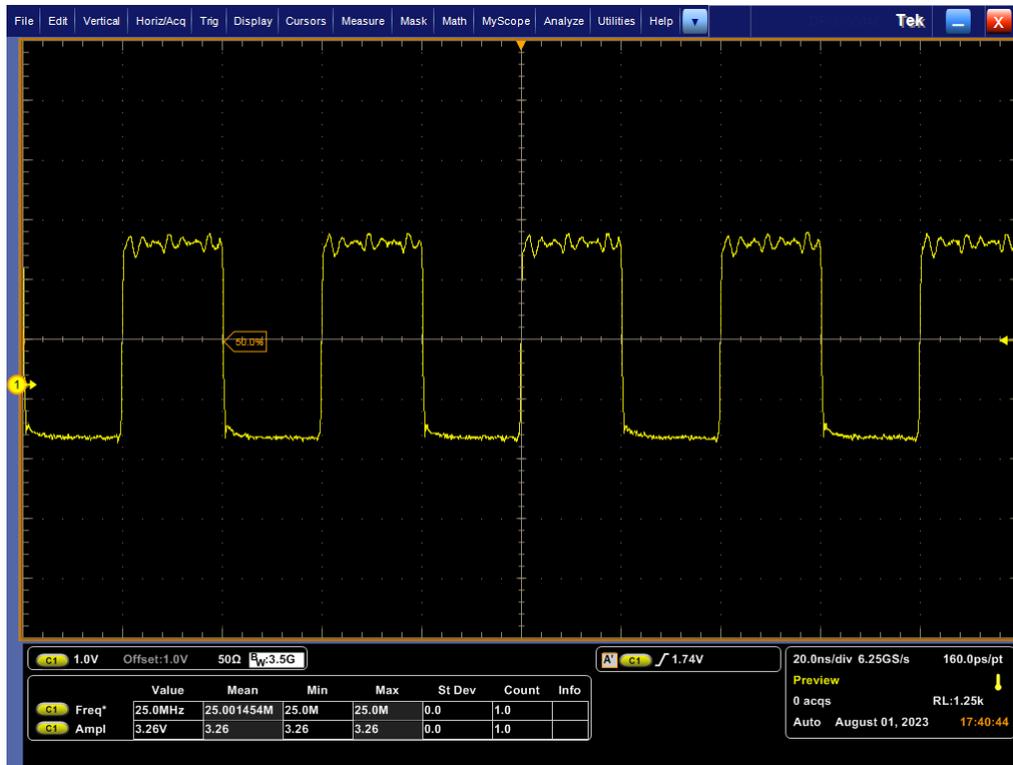


图 4-1. DP83TC812 CLK_OUT 测量

备注

确认振幅等于 VDDMAC 且频率处于 $\pm 100\text{ppm}$ (24.9975Mhz - 25.0025Mhz) 范围内

4.3.4 探测串行管理接口 (MDC、MDIO) 引脚

如果寄存器读取和写入成功，则可以跳过本节。

如果寄存器读取和写入不成功，则探测 MDC 信号 (引脚 1)，以确保 MAC 提供 $\leq 20\text{Mhz}$ 的时钟信号。此外，可使用如下所示的逻辑分析仪对 MDIO 信号 (引脚 36) 进行解码。

注意，要访问扩展寄存器 (0x1F 以上的寄存器)，必须使用数据表第 8.4.15 节中给出的过程。

表 4-3. SMI 协议结构

SMI 协议	<idle><start><op code><device addr><reg addr><turnaround><data><idle>
读取寄存器	<idle><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入寄存器	<idle><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><idle>

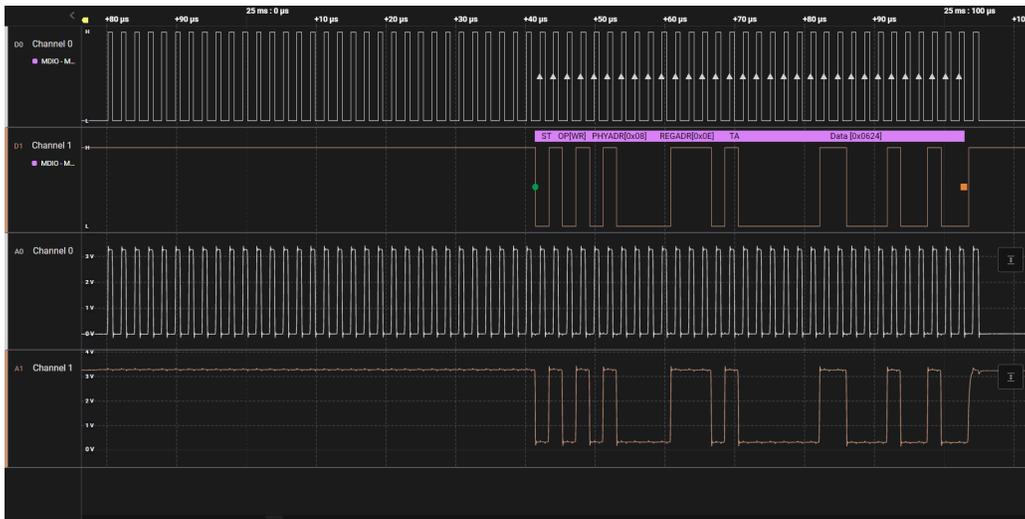


图 4-2. MDC/MDIO 写入示例

备注

对 PHY 地址 8 上的寄存器 0xE = 0x0624 进行 MDC/MDIO 写入操作。

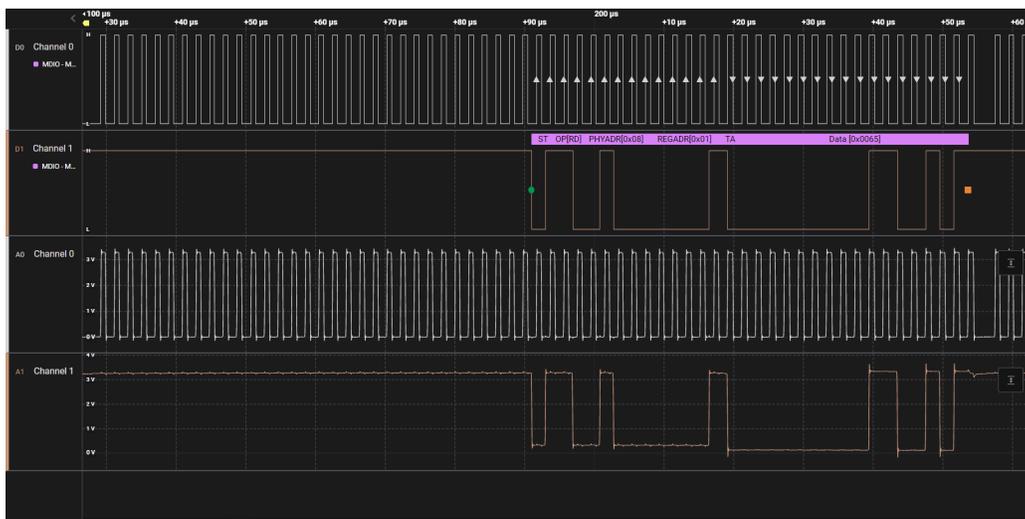


图 4-3. MDC/MDIO 读取示例

备注

对地址 8 的寄存器 0x1 进行 MDC/MDIO 读取操作。

4.4 寄存器转储比较

读取下面的每个寄存器并验证显示的值。请注意，某些寄存器的初始值可能会因 strap 配置选项而异。将寄存器转储与所示寄存器转储进行比较有助于突出显示所有与预期值不同的值。

下面的寄存器转储显示了当链路建立且 PHY 处于 RGMII 模式、MDI 从模式、PHY 地址为 0xA 时的预期值。

表 4-4. DP83TC812 寄存器值检查

寄存器地址	寄存器名称	寄存器值	说明
0x0000	BMCR	0x2100	
0x0001	BMSR	0x0065	位 [2] 显示链路已建立
0x0002	PHYIDR1	0x2000	
0x0003	PHYIDR2	0xA271	0xA271 是 DP83TC812 PHY 的唯一标识符。除此以外的值指示连接了不同的 PHY。
0x0010	PHYSTS	0x0005	
0x0011	PHYSCR	0x010B	
0x0012	MISR1	0xE400	指示是否存在任何中断
0x0013	MISR2	0x0000	指示是否存在任何中断
0x0015	RECR	0x0000	接收错误计数器
0x0016	BISCR	0x0100	
0x0018	MISR3	0x5825	指示是否存在任何中断
0x0019	REG_19	0x0C0A	位 4-0 是从配置 (strap) 中解码的 PHY 地址
0x001B	TC10_ABORT_REG	0x0000	
0x001E	CDCR	0x0000	
0x018B ⁽¹⁾	LPS_CFG2	0x1C0B	位 [6] 表示自主或托管模式。请注意，如果该位为 0，PHY 将不会自动建立链路。
0x045D ⁽¹⁾	CHIP_SOR_1	0x408C	上电或复位后采样的 PHY strap 配置。使用原理图检查清单中的 strap 配置工具进行特定配置验证。
0x0600 ⁽¹⁾	RGMII_CTRL	0x0038	位 [3] 表示 RGMII 模式已启用
0x0608 ⁽¹⁾	SGMII_CTRL_1	0x007B	位 [9] 表示 SGMII 模式已禁用
0x0648 ⁽¹⁾	RMII_CTRL_1	0x0120	位 [6] 表示 RMII 模式已禁用
0x1834 ⁽¹⁾	MMD1_PMA_CTRL_2	0x8000	PHY 主模式/从模式配置。值将在主模式下读取 0xC000，在从模式下读取 0x8000

备注

0x1F 以上的寄存器是扩展寄存器，必须使用扩展寄存器访问过程进行访问。

4.5 验证 Strap 配置

不正确的 strap 配置是导致缺少数据吞吐量的常见问题之一。例如，如果选择了不正确的 MAC 接口模式或在要使用自主模式时将 PHY 置于管理模式，则数据传输和接收不成功。

加电时采样的 strap 配置值可使用扩展寄存器访问从寄存器 0x45D (CHIP_SOR_1) 中读取。使用 DP83TC812 原理图检查清单中的 strap 配置工具，验证目标 strap 配置是否已加载到寄存器 0x45D 中。

上电或复位引脚取消置位时，确认 MAC 未驱动连接到 PHY 的任何引脚。这会导致对不正确的电压进行采样，并导致 strap 配置值与预期值不同。PHY 上电或复位结束时，连接到 PHY 的所有 MAC 引脚都必须置于高阻态。

4.6 检查 MDI 信号

检查 MDI 上是否存在信号，以确认 PHY 处于主模式且发送器正常运行。请注意，在从模式下，MDI 为静默。

在链路伙伴断开连接的情况下，将 PHY 设置为 MDI 主模式，并在汽车类连接器的引脚之间放置一个 $100\ \Omega$ 电阻器（或使用汽车合规性装置），并使用差分探头测量示波器上的输出信号。下面显示的是预期的信号。在后面的节 4.12 中，我们验证发送器特性是否符合 Open Alliance 标准。现在，此处存在的信号表示 PHY 正在通电、接收参考时钟，并且未处于睡眠模式。

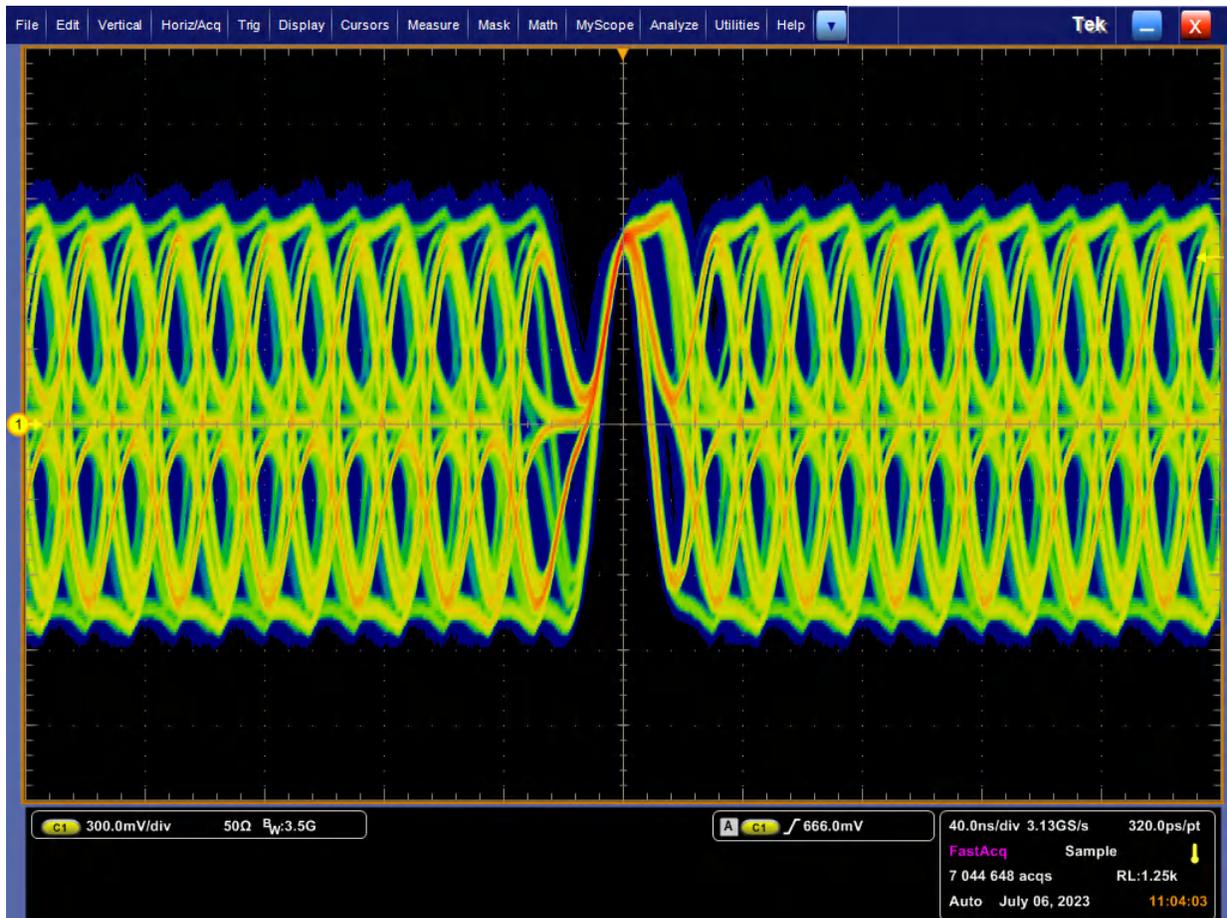


图 4-4. DP83TC812 主器件空闲符号

4.7 链路接通失败常见问题

如果无法实现链路接通，下面是一些常见的主要元凶。

1. 一个链路伙伴必须处于 MDI 主模式，而另一个链路伙伴必须处于 MDI 从模式。通过读取两个 PHY 上的寄存器 `0x1834` 来验证情况是否属实。
2. 除非打算最初在 PHY 上电时阻止链路接通，否则请通过确认寄存器 `0x18B` 位 [6] = 1 来验证器件是否处于自主模式。
3. 通过探测 INH 引脚并确认电压等于 V_{sleep} 来验证 PHY 是否处于睡眠状态。
4. 连接其他汽车以太网电缆，以确认电缆长度、类型或运行状况不会阻止链路接通。
5. 验证 [SNLA389](#) 中给出的脚本是否已写入 PHY。

4.8 信号质量检查

通过读取寄存器 `0x1 = 0x0065` 确认链路接通后，您可以使用 DP83TC812 的信号质量指标 (SQI) 功能检查链路质量。由布局或电缆缺陷导致的链路质量不佳可能会导致位流中出现数据包错误或链路丢弃。

SQI 方法通过测量 Open Alliance 规定的信噪比来量化信号质量。该值的范围为 0 至 7，其中 7 对应于最佳链路质量。可以读取寄存器 0x871 位 [3:1] 以识别 3 位 SQI 值。读取该寄存器并验证该值是否大于 4 以保持出色的链路质量。小于 4 的值可能表明原理图/布局、电缆存在缺陷或处于嘈杂的环境中。请验证您的设计是否符合 [DP83TC812 原理图和布局检查清单](#) 中给出的建议。

此外，验证 [SNLA389](#) 中给出的脚本是否已写入 PHY。必须编写此脚本才能保持出色的信号质量。

表 4-5. DP83TC812 SQI 映射

寄存器 0x871[3:1]	Open Alliance SQI 等级	链路质量
0x0	0 (最差)	链路不良或无链路
0x1	1	
0x2	2	
0x3	3	
0x4	4	良好或出色的链路
0x5	5	
0x6	6	
0x7	7 (最佳)	

4.9 上电时序

满足数据表中给出的上电时序要求对于 PHY 的正确运行至关重要。不满足上电时序要求可能导致无法实现链路、读取和写入问题，或 PHY 完全无法运行。下面给出了 DP83TC812 的上电和复位时序要求。在示波器上测量以下每一项，以验证是否满足每项要求。

1. 电源从 0V 开始斜升。电源斜坡连续且平稳（无基座电压）。
2. 斜坡时间大于 0.2ms 且小于 8ms。
3. 振荡器在功率斜升 10ms 内保持稳定。测量一个通道上的 CLKOUT 引脚和另一个通道上的电源斜坡。
4. 在电源斜升 10ms 内或复位引脚取消置位 1ms 内不会发生 MDC 切换。

表 4-6. 上电时序规格

参数	最小值	标称值	最大值	单位
T5.1	0.2	0.35	0.8	ms
T5.3			ms	
T5.4			10	ms
T5.5	10			ms
T5.6			10	ms
T5.7			10	ms
T5.8			10	ms

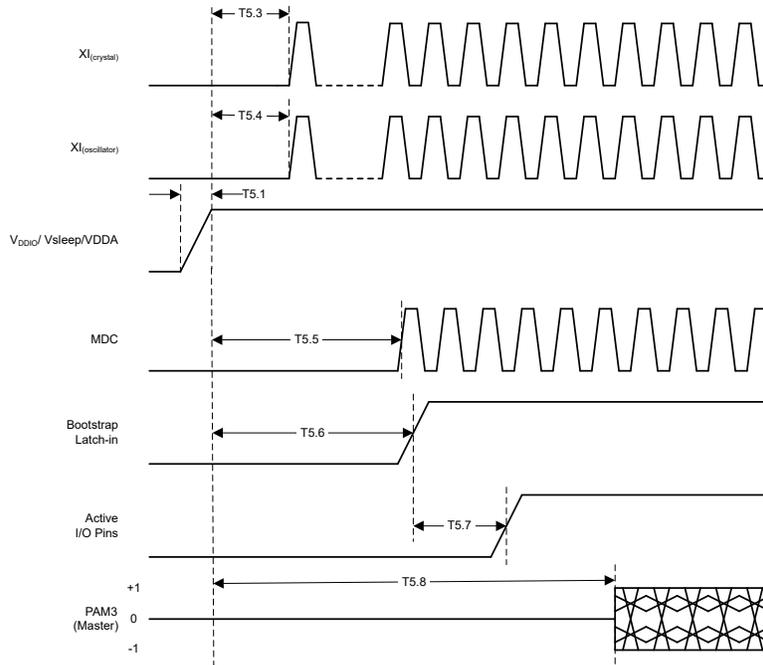


图 4-5. 上电时序图

表 4-7. 复位时序规格

参数	最小值	标称值	最大值	单位
T6.1	720			us
T6.2	1			ms
T6.3		40		us
T6.4			1800	us

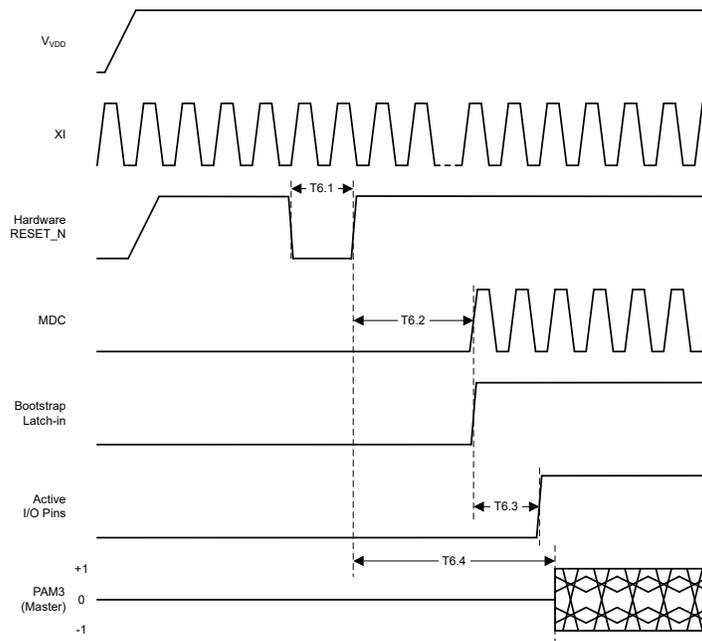


图 4-6. 复位时序图

4.10 环回测试

当无法在节点之间接收数据包或流中出现位错误时，可以使用称为环回的集成调试工具来缩小问题根源范围。环回允许 PHY 传输接收的数据并隔离数据路径的不同部分，以了解问题解决的位置。在两个节点之间的连接中，问题可能出在 PHY1 的 MAC 接口、PHY2 的 MAC 接口或 PHY 之间的 MDI 连接上。环回可以找出问题出在这三个中的哪一个。

DP83TC812 PHY 上存在两种不同类型的环回：MAC 侧（数字环回）和电缆侧（反向环回）。这些可一起用于检查数据路径的每个段。大多数 MAC 具有数据包生成和检查功能。MAC 可发送、环回和接收数据包，并将其与原始值进行比较。如果未接收到数据包或在某个段与数据路径隔离时发生数据包错误，我们知道它是出问题的段。下面的显示了隔离此类问题所需的两个测试。

首先，在 PHY 1 上启用 MAC 侧环回（数字环回）（通过写入 $0x16 = 0x0104$ ）。然后，由 MAC1 生成和检查数据包。如果存在错误，则问题出在 MAC1 和 PHY1 之间的 xMII 接口上。如果没有，则问题在其他地方。

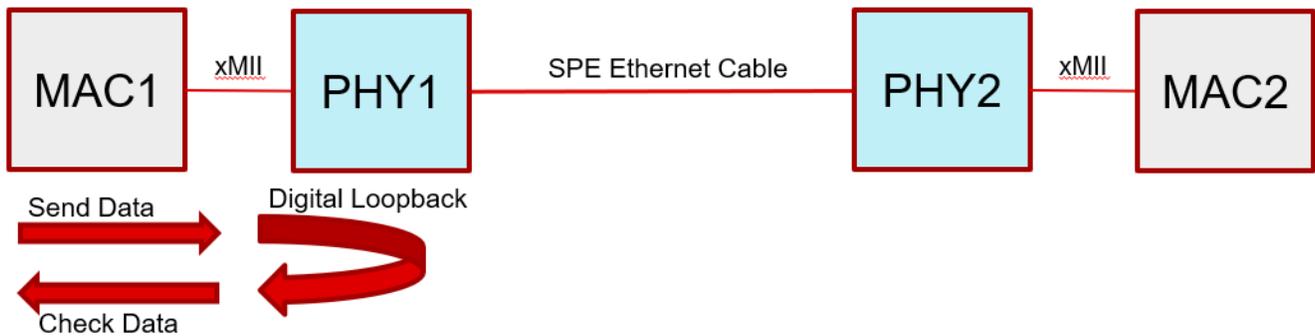


图 4-7. 利用数字环回检查数据包

接下来，在 PHY2 上启用电缆侧环回（通过写入 $0x16 = 0x0110$ ），并再次由 MAC1 生成和检查数据包。如果问题仍然存在，但不是在上一步中出现的，则问题出在两个 PHY 之间的 MDI 接口上。如果仍然不存在数据包错误，则问题肯定出在 PHY2 和 MAC2 之间的 xMII 接口上。

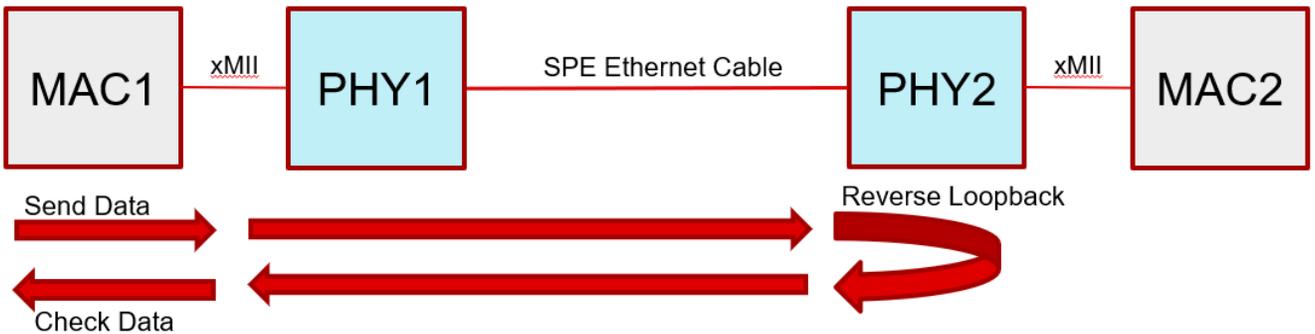


图 4-8. 利用反向环回检查数据包

既然我们知道问题所在，就可以在该位置进行有针对性的调查。有关 MDI 的问题，请参阅节 4.7。有关 xMII 的问题，请参阅节 4.11。

4.11 调试 MAC 接口

MAC 接口通信故障的常见原因是未正确设置所需的 MAC 接口模式。例如，如果启用了 SGMII 模式但 PCB 旨在用于 RGMII 通信，则链路可以接通，但 ping 命令会失败。请参阅 DP83TC812 原理图检查清单的 Strap 配置工具，以确认选择了正确的 MAC 接口模式。也可以通过写入寄存器 $0x600[3]$ 、 $0x608[9]$ 、 $0x648[6]$ 来选择 MAC 模式。

简化千兆位媒体独立接口 (RGMII)

用于 RGMII 协议的信号如下所示：

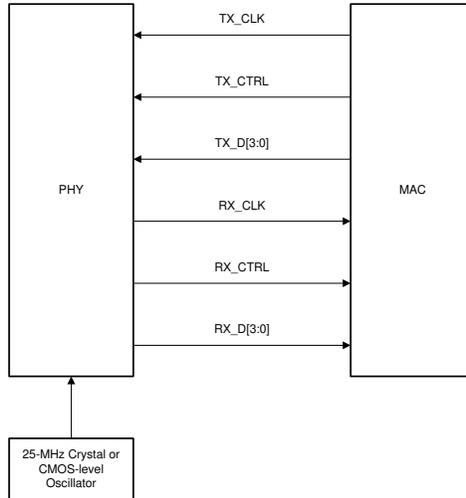


图 4-9. RGMII 信号

RGMII 协议具有一定的时序限制，必须满足这些限制才能正确接收数据。下面的表 4-9 中显示了这些时序限制。即，必须在接收器的输入端保持至少 1ns 的建立时间和 1ns 的保持时间。为了满足此要求，必须在时钟和数据信号之间引入一定量的偏斜。这种偏斜可能由 MAC 或 PHY 引入，也可能作为 PCB 布线长度的一部分。DP83TC812 具有两种模式：对齐模式和移位模式，适用于 RX 和 TX 信号。这些模式可通过自动加载 (bootstrap) 选择，或在寄存器 0x602 中进行调整。注意，如果在 PHY TX 信号上启用移位模式，则 MAC 发送数据时不会出现偏斜。同样，如果在 PHY RX 信号上选择对齐模式，则必须将 MAC 设置为 RX 移位模式。表 4-8 显示了正确的 MAC 和 PHY RGMII 延迟配置。

表 4-8. RGMII 移位配置

MAC 配置	所需的 PHY 配置
Rx 侧的 RGMII 对齐	Rx 侧的 RGMII 移位
Rx 侧的 RGMII 移位	Rx 侧的 RGMII 对齐
Tx 侧的 RGMII 对齐	Tx 侧的 RGMII 移位
Tx 侧的 RGMII 移位	Tx 侧的 RGMII 对齐

在 RGMII RX 移位模式下，PHY 将 RX_CLK 移至 RX_Data 信号之前大约 3ns。

当使用 PHY 的 TX 移位模式时，PHY 希望 TX_CLK 和 TX_Data 信号在其引脚处对齐，并且数据在内部移位。

下面的参考波形显示了启用移位或对齐模式对 RX_D0 信号的影响。

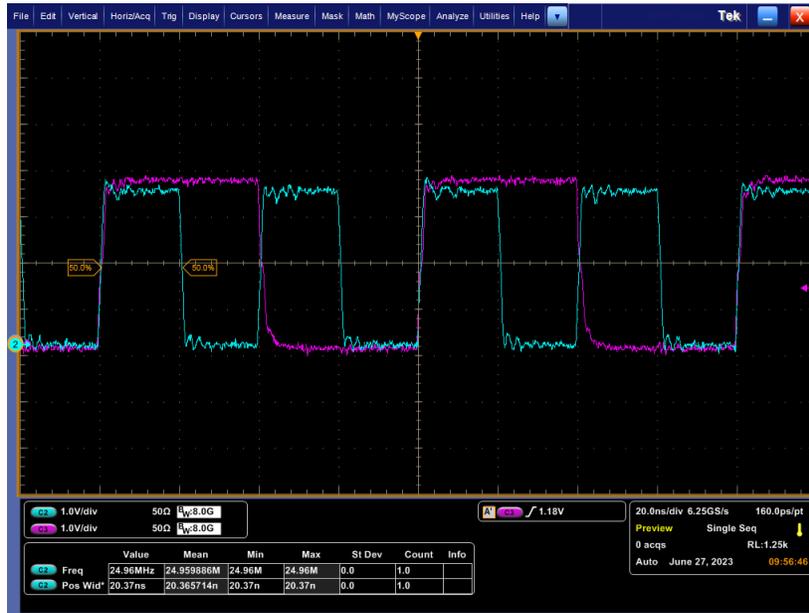


图 4-10. RGMII 对齐模式下的 RX_CLK 和 RX_D0 时序

备注

蓝色 = RX_CLK , 紫色 = RX_D0

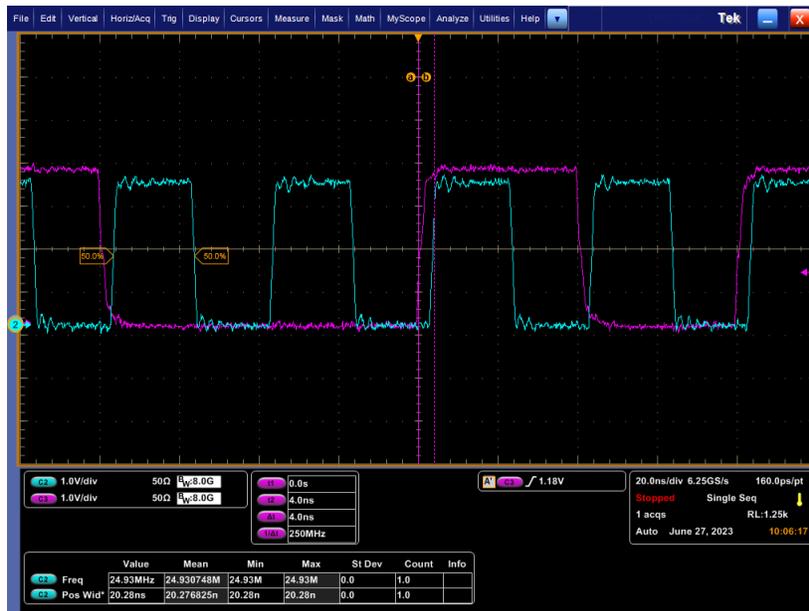


图 4-11. RGMII RX 移位模式下的 RX_CLK 和 RX_D0 时序

备注

蓝色 = RX_CLK , 紫色 = RX_D0

表 4-9. RGMII 输入时序规格

参数	测试条件	最小值	典型值	最大值	单位
T_{cyc}	TX_CLK/时钟周期时长	36	40	44	ns
$T_{setup(align)}$	TX_D[3:0], TX_CTRL 设置至 TX_CLK (对齐模式)	1	2		ns
$T_{hold(align)}$	TX_D[3:0], TX_CTRL 保持至 TX_CLK (对齐模式)	1	2		ns

表 4-10. RGMII 输出时序规格

参数	测试条件	最小值	典型值	最大值	单位
$T_{skew(align)}$	RX_D[3:0], RX_CLK 后的 RX_CTRL 延迟 (对齐模式)	-750		750	ps
$T_{skew(shift)}$	RX_D[3:0], RX_CLK 后的 RX_CTRL 延迟 (已启用移位模式, 默认设置)	2			ns
T_{cyc}	RX_CLK/时钟周期时长	36	40	44	ns
Duty_G	RX_CLK/占空比	45	50	55	%
T_r/T_f	RX_CLK/上升、下降时间 (20% 至 80%, $C_{load}=5pF$)			1.2	ns

简化媒体独立接口 (RMII)

使用 RMII 模式时, 存在两个独立的配置: RMII 主模式和 RMII 从模式。在 RMII 主模式下, PHY 在其 XI 引脚上获得一个 25MHz 输入时钟, 并在其 RX_D3 引脚 (引脚 23) 上输出一个 50MHz 时钟信号, 以发送至 MAC。在 RMII 从模式下, PHY 在 XI 引脚上接收来自 MAC 或外部振荡器的 50MHz 时钟信号。必须通过自动加载 (bootstrap) 选择正确的 RMII 模式 (这不能通过寄存器写入来更改), 以便 PHY 需要正确的参考时钟 (25MHz 或 50MHz)。请参阅 [DP83TC812 原理图检查清单 strap](#) 配置工具, 确保选择正确的 RMII 模式。接下来, 探测 PHY 的 CLKOUT 引脚, 如果使用 RMII 主模式, 则确保出现 25MHz 信号, 如果使用 RMII 从模式, 则出现 50MHz 信号。

用于 RMII 协议的信号如下所示。

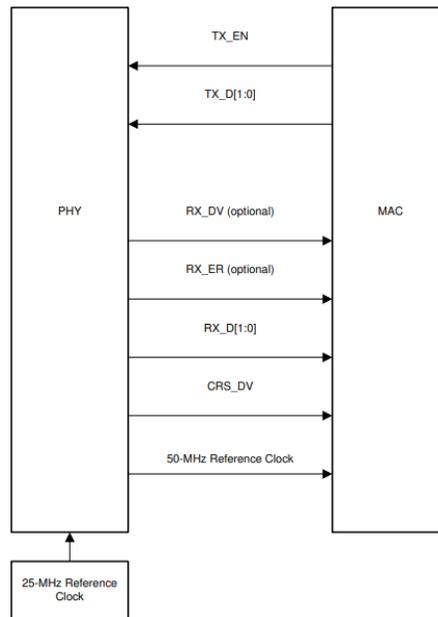


图 4-12. RMII 主信令

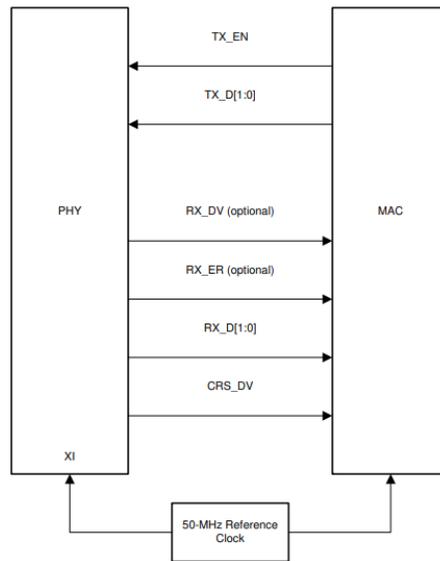


图 4-13. RMII 从信令

4.12 验证 Open Alliance PMA 合规性

IEEE802.3bw 标准规定了几项电气测试，用于保持 100Base-T1 PHY 的正确发送器电气规格。这些测试可用于确认设计的元件和布局是否符合要求并且不会影响信号质量。有关执行这些测试的更多详细信息，请参阅 [SNLA389](#)。注意 [SNLA389](#) 中提供的脚本必须在 PHY 的正常运行期间始终写入，而不仅仅是用于合规性测试。

对于确定由 MDI 引起的链路问题或 CRC 错误设计，执行这些合规性测试可以提供有关该问题的额外见解。例如，未通过 PSD 测试的设计可能表明 MDI 布线非常长并且插入损耗增加。未通过抖动测试的设计可能指向来自附近开关信号的串扰。有关推荐的布局规则，请参阅 [DP83TC812 原理图检查清单](#)。

大多数示波器供应商都有软件和装置来运行 100Base-T1 PMA 合规性测试。可在[此处](#)找到此类选项。下面列出了 PMA 合规性测试以及所需的相应 PHY 测试模式。

表 4-11. 100Base-T1 PMA 合规性测试

PMA 合规性测试	所需的 PHY 测试模式
发送器输出压降	测试模式 1
发送器时钟频率	测试模式 2
发送器时序抖动	测试模式 2
发送器失真	测试模式 4
峰值差分输出	测试模式 5
发送器功率谱密度 (PSD)	测试模式 5
MDI 回波损耗	不适用
MDI 模式转换	不适用

4.13 工具和参考

4.13.1 DP83TC812 寄存器访问

如果应用中不能轻松访问寄存器，可从 TI 获取 [USB-2-MDIO GUI](#)，并可与 [MSP430 LaunchPad](#) 搭配使用。GUI 支持读取和写入寄存器以及运行脚本文件。GUI 可与 DP83TC812 和所有其他 TI 以太网 PHY 配合使用。USB-2-MDIO 用户指南和 GUI 可从[此处](#)下载。

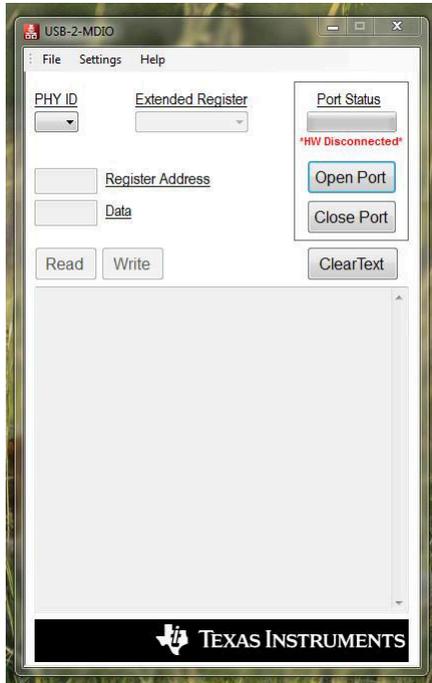


图 4-14. USB-2-MDIO GUI

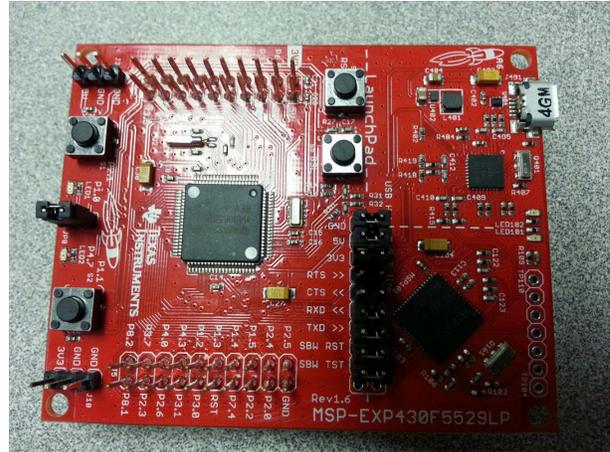


图 4-15. MSP430 LaunchPad

下面是一个示例脚本，也可以在“Help”菜单的 USB-2-MDIO GUI 中找到：

```
// This is how you make a comment. All scripts must start with 'begin'
begin
// To read a register, all you need to do is put down the 4 digit
// HEX value of the registers (from 0000 to FFFF)
// Example to read registers 0001, 000A, and 0017
0001
000A
0017
// To write a register, all you need to do is put down the 4 digit
// HEX value of the register (from 0000 to FFFF) followed by the
// HEX you desire to configure the register to (from 0000 to FFFF)
// Example to write 2100 to register 0000 and
// Example to write 0110 to register 0016
0000 2100
0016 0110
// You must end the script by adding 'end' once you are finished
end
```

由 IEEE 802.3 定义的串行管理接口是单主总线。MDC 时钟由总线主控（常是以太网 MAC）生成。要使用 USB-2-MDIO GUI，必须在 MSP430™ LaunchPad 与 DP83TC812 MDIO 和 MDC 引脚之间直接建立连接。

- LaunchPad 引脚 4.2 → PHY 的 MDIO 引脚
- LaunchPad 引脚 4.1 → PHY 的 MDC 引脚

4.13.2 DP83TC812 USB2MDIO 脚本

以下链接包含 USB-2-MDIO 脚本的 zip 文件夹，可用于协助 DP83TC812 的调试过程：[DP83TC812 USB2MDIO 脚本](#)

此类脚本包括 SNLA389 中提供的用于主从器件的初始化脚本、环回脚本、用于合规性测试的测试模式脚本等。

4.13.3 扩展寄存器访问

要在扩展寄存器空间中读取和写入寄存器，请参阅以下过程：

MMD “1F” 寄存器的写入过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

写入 reg<000E> = <value>

MMD “1F” 寄存器的读取过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

读取 reg<000E>

备注

要读取/写入 MMD “1” 寄存器，请将 1F 替换为 01。

4.13.4 Linux 上的软件和驱动程序调试

PHY 在 Linux 系统上运行所需的两个基本元件是器件树和驱动程序文件，DP83TC812 驱动程序可在[此处](#)找到。

下面是器件树外观的示例格式以及标记，以阐明每一行的含义。所有 TI PHY 之间共享 DP83867_PHYCR_FIFO_DEPTH_4_B_NIB 和 DP83867_RGMIIDCTL_2_00_NS 变量。

Device tree snippet

```

&icssg1_mdio {
    status = "okay";
    pinctrl-names = "default";
    pinctrl-0 = <&icssg1_mdio_pins_default>;
    #address-cells = <1>;
    #size-cells = <0>;

    pruss1_eth0 phy: ethernet-phy@0 {
        reg = <0>;
        ti,rx-internal-delay = <DP83867_RGMIIDCTL_2_00_NS>;
        ti,tx-internal-delay = <DP83867_RGMIIDCTL_2_00_NS>;
        ti,fifo-depth = <DP83867_PHYCR_FIFO_DEPTH_4_B_NIB>;
    };

    pruss1_eth1 phy: ethernet-phy@4 {
        reg = <4>;
        ti,rx-internal-delay = <DP83867_RGMIIDCTL_2_00_NS>;
        ti,tx-internal-delay = <DP83867_RGMIIDCTL_2_00_NS>;
        ti,fifo-depth = <DP83867_PHYCR_FIFO_DEPTH_4_B_NIB>;
    };
};
    
```

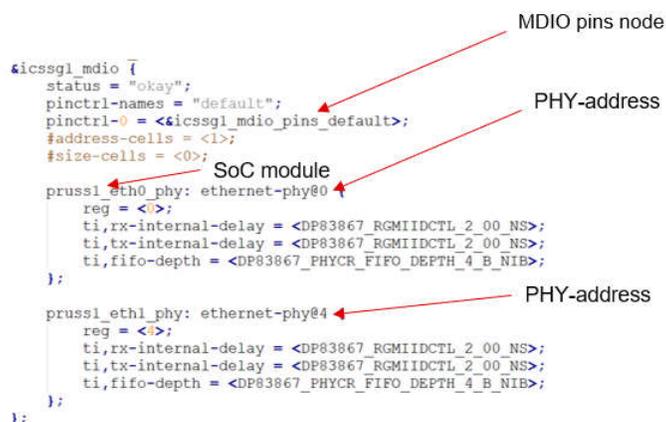


图 4-16. 以太网 PHY 器件树示例

4.13.4.1 常见的 Linux 终端输出

使用终端命令 “dmesg | grep mdio”，从软件的角度来看，可能会有几条线索显示是什么原因导致 PHY 无法正常工作。

```
$ dmesg | grep "mdio"
```

可能的输出之一如下所示：

```
$ mdio_bus xxx.ethernet-x: MDIO device at address 8 is missing
```

该消息指示 PHY 未在 MDIO 总线上找到，这可能是由多个问题引起的。一种常见原因是器件树缺失或不正确，但也可能是由于 PHY 无法正常工作或 SMI 连接不良。

一旦可以在 MDIO 总线上检测到 PHY，另一个常见错误消息如下所示：

```
$ Generic PHY xxx.ethernet-x: attached PHY driver [Generic PHY]
```

该消息指示相应 PHY 的驱动程序文件未正确加载或根本不存在，并且加载到通用驱动程序中的 Linux 很可能无法与 PHY 配合使用。在这种情况下，请验证驱动程序是否已成功编译并已添加到 Linux，并确保驱动程序与所使用的 PHY 型号相匹配。

最后，可能显示如下消息：

```
$ am65-cpsw-nuss c000000.ethernet eth3: PHY [c000f00.mdio:05] driver [TI DP83TC812CS2.0] (irq=POLL)
```

该消息显示 PHY 已加载正确的驱动程序并成功检测到。运行 `ifconfig` 验证网络接口是否存在。

当 PHY 成功识别为网络适配器时的示例 `ifconfig` 输出：

```
root@j7-evm:~# ifconfig
eth0: flags=4099<UP,BROADCAST,MULTICAST> mtu 1500 metric 1
      ether 24:76:25:a2:62:8b txqueuelen 1000 (Ethernet)
      RX packets 0 bytes 0 (0.0 B)
      RX errors 0 dropped 0 overruns 0 frame 0
      TX packets 0 bytes 0 (0.0 B)
      TX errors 0 dropped 0 overruns 0 carrier 0 collisions 0

lo: flags=73<UP,LOOPBACK,RUNNING> mtu 65536 metric 1
      inet 127.0.0.1 netmask 255.0.0.0
      inet6 ::1 prefixlen 128 scopeid 0x10<host>
      loop txqueuelen 1000 (Local Loopback)
      RX packets 82 bytes 6220 (6.0 KiB)
      RX errors 0 dropped 0 overruns 0 frame 0
      TX packets 82 bytes 6220 (6.0 KiB)
      TX errors 0 dropped 0 overruns 0 carrier 0 collisions 0
```

5 结语

本应用手册提供了用于调试 DP83TC812 的几个常见问题（例如缺少数据包传输和链路问题）的建议流程。本指南提供了一个起点，但不能涵盖所有此类调试。如果上述做法无法解决问题，请联系您的 TI 代表。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司