

## Application Note

**TAX5X1X 同步采样速率转换**

Peter Djuandi, Gaurav Rana

### 摘要

每当需要将输入采样频率转换为不同的采样速率时，就会使用采样速率转换器 (SRC)。本应用手册介绍了 TAX5X1X 同步 SRC (SSRC)、支持的采样速率、不同的模式以及一些用例示例。

TAC5212、TAC5211、TAC5112、TAC5111、TAD5212、TAD5112 和 TAA5212 器件中均支持 SSRC。

### 内容

1 引言.....	2
2 TAX5X1X 音频串行接口.....	3
3 TAX5X1X 同步采样速率转换器.....	4
3.1 ADC 采样速率转换.....	4
3.2 DAC 采样速率转换.....	5
3.3 SRC 用例示例.....	5
4 总结.....	15
5 参考文献.....	15
6 修订历史记录.....	16

### 商标

所有商标均为其各自所有者的财产。

## 1 引言

在使用多种不同采样速率的系统中，有时需要使用采样速率转换器将一个采样速率转换为另一个采样速率。SRC 的理念是使用以特定输入采样频率采样的离散时间序列，并通过某种转换技术，以与输入不同的速率创建新的离散采样序列。转换器分为同步转换器和异步转换器。同步转换器是具有已知输入采样频率和转换因子的转换器，而异步转换器是确切采样频率未知的系统。转换过程会对在输入信号采样速率下采样的输入信号进行内插或抽取，从而得到在输出采样速率下采用的所需信号。图 1-1 展示了采样速率转换器模型。

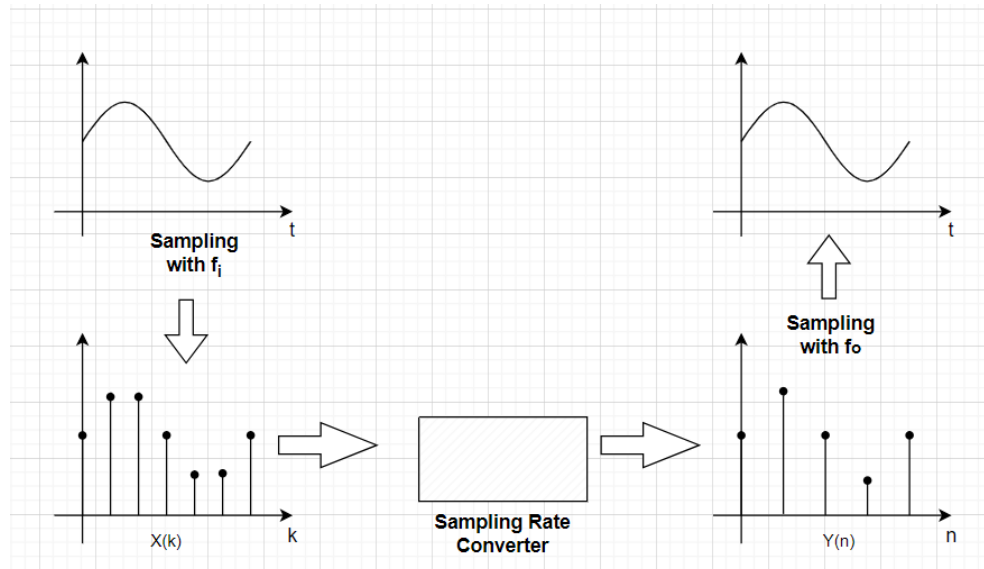


图 1-1. 采样速率转换器模型

## 2 TAX5X1X 音频串行接口

TAX5X1X 转换器支持 2 个独立的音频串行接口 (ASI)：主要 ASI (PASI) 和辅助 ASI (SASI)。主要 ASI 总线具有与外部引脚的直接映射，辅助 ASI 总线通过通用输入输出引脚进行映射或多路复用。下图中显示了 TAX5212、TAX5112、TAX5211、TAX5111 器件系列和 TAX5412、TAX5312、TAX5411、TAX5311 系列的这种情况。

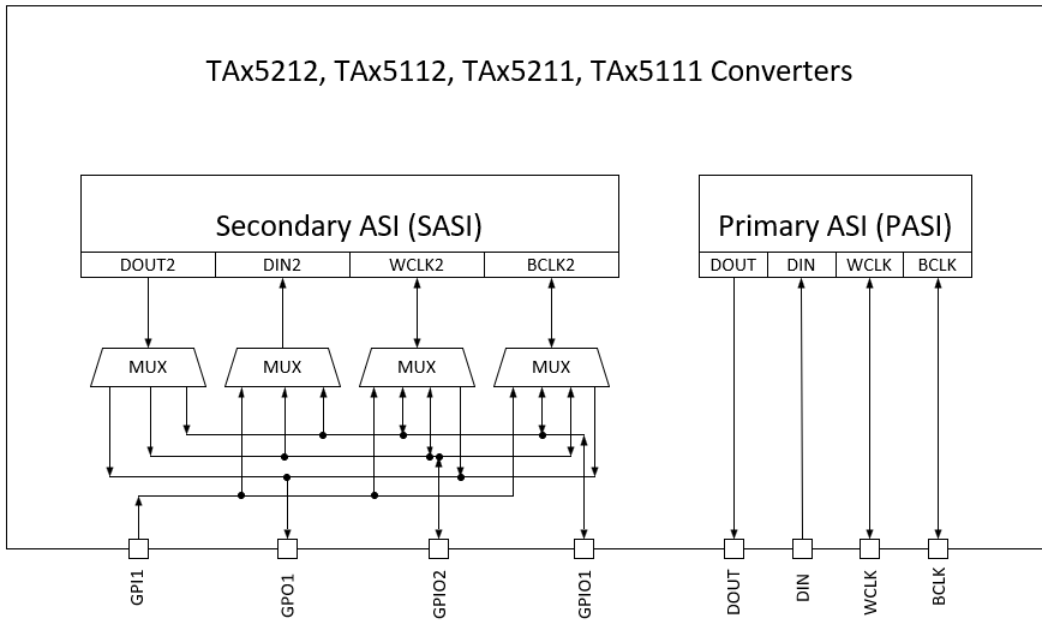


图 2-1. TAX511X 和 TAX521X ASI 映射

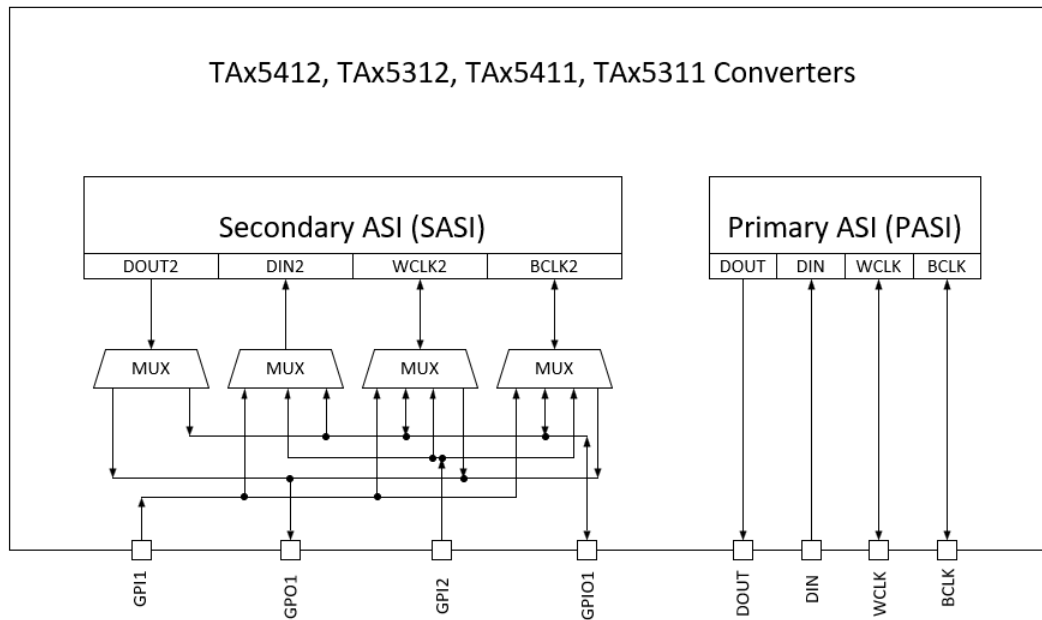


图 2-2. TAX531X 和 TAX541X ASI 映射

### 3 TAX5X1X 同步采样速率转换器

TAC5X1X 支持 ADC 和 DAC 中的同步采样速率转换器，其主要和辅助接口之间的比率如表 3-1 所示。表中未列出的比率不受支持。虽然支持表中的不同采样速率，但 PASI 和 SASI 速率之间的比率必须遵循表中列出的比率，因为内插器和抽取器是根据该比率进行设计的。

表 3-1. SRC 支持的比率

辅助 ASI 速率 (KHz)	主要 ASI 速率 (KHz)						
	8	12	16	24	32	48	96
8	1 : 1	3 : 2	2 : 1	3 : 1	不支持	6 : 1	不支持
12	2 : 3	1 : 1	4 : 3	2 : 1	不支持	4 : 1	不支持
16	1 : 2	3 : 4	1 : 1	3 : 2	2 : 1	3 : 1	6 : 1
24	1 : 3	1 : 2	2 : 3	1 : 1	4 : 3	2 : 1	4 : 1
32	不支持	不支持	1 : 2	3 : 4	1 : 1	3 : 2	3 : 1
48	1 : 6	1 : 4	1 : 3	1 : 2	2 : 3	1 : 1	2 : 1
96	不支持	不支持	1 : 6	1 : 4	1 : 3	1 : 2	1 : 1

在采用 TAC5x1x 器件的系统中，当在 PASI 和 SASI 中检测到不同的采样速率（上表列出的速率）时，SRC 会自动启用，而无需将 B0\_P1\_R23\_D[7] 中的 SRC\_EN 位设置为“1”。如果采样速率不在指定的列表中，但具有支持的比率，则需要将 SRC\_EN 位设置为“1”以启用 SRC 并在 B0\_P1\_R24\_D[5:0] 中相应地设置比率。如果需要，可通过寄存器 B0\_P1\_R23\_D[7] 禁用 SRC。

TAC5X1X 中的 SRC 有 2 种可能模式：

- 自动检测模式：TAC5x1x 检测 2 个 ASI 的最高采样速率 (Fs)，而不管其来自主要 ASI 还是辅助 ASI，并将较高的采样速率视为主 Fs，将较低的采样速率视为辅助 Fs。这是默认模式，当抽取器或内插器以更高的速率运行时，TAC5X1X 使用更多的资源 (MIPS)。自动检测模式可通过寄存器 B0\_P1\_R23\_D[6] 禁用。
- 自定义模式：用户决定哪个 ASI（主要还是辅助采样频率）是 SRC 的主 Fs。这种情况下，较低的采样速率被设置为主 Fs。如果需要更好地使用资源，则会使用该模式，但它的缺点是会丢失 Rx 路径上的信息。

#### 3.1 ADC 采样速率转换

以下方框图显示了默认模式下的 ADC SRC 流程概述，其中以较高采样速率（主 Fs）运行的 ADC 输入转换为较低采样速率（辅助 Fs），并且在另一个 ASI 上可用。用户可以选择使用主要 ASI 或次要 ASI 以及较高速率或较低速率的接口。当从较低速率选择主 Fs 时，该流程同样适用，因此 SRC 将从较低速率转换为较高速率。

SRC 流程可以选择与 DAC 环回数据进行混频，例如将来自主机的音频数据添加到录制的语音数据。

ADC SRC IMPLEMENTATION OVERVIEW

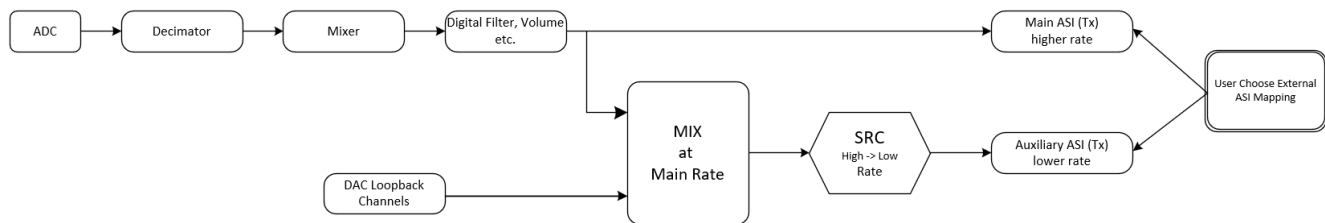


图 3-1. TAx5x1x ADC SRC 概述 - 默认模式

用户可以在混频时观察电平，并设置系数，以确保输出不超过允许的最大值，因为较高的电平会导致削波或失真。下列公式给出了混频器输出电平：

$$\begin{aligned}
 Out1 &= ADC\ Ch1\ Level * (1 - Coeff) + DAC\ Loopback\ 1\ Level * Coeff \\
 Out2 &= ADC\ Ch2\ Level * (1 - Coeff) + DAC\ Loopback\ 2\ Level * Coeff
 \end{aligned}
 \tag{1}$$

对于 ADC 混频器，设置混频系数的公式如下所示，其中  $w$  表示幅度的权重或比例。例如， $w=0.5$  表示幅度的一半，在 32 位 DAC 混频器系数中则转换为 'h40000000。一些路径系数默认为 'h7FFFFFFF，其满量程幅度为 1。ADC 混频器系数通过寄存器页面地址 0x0A 和寄存器地址 0x08 至 0x47 进行配置。

$$Coeff(hex) = hex(2^{31} \times W) \quad (2)$$

对于数字环回 (ADC 至 DAC) 混频器，设置混频系数的公式与上述 ADC 混频器公式相同，并通过寄存器页面地址 0x0A 以及寄存器地址 0x48 至 0x67 进行设置。

对于 ADC 辅助混频器，设置混频系数的公式如下所示，其中  $w$  表示幅度的权重或比例。该辅助 ADC 混频器系数通过寄存器页面地址 0x0B 和寄存器地址 0x30 至 0x37 进行配置。

$$Coeff(hex) = hex(2^{30} \times W) \quad (3)$$

后续各节将介绍此 ADC SRC 的一些示例。

### 3.2 DAC 采样速率转换

在 DAC SRC 流程中，接收到的 ASI 总线可以首先通过采样速率转换器，因为混频或多路复用可以在主  $F_s$  速率下运行。默认的 DAC 流程如图 3-2 所示，其中以不同采样速率运行的 2 个 ASI 数字输入会在进行数字滤波、音量控制、插值和 DAC 驱动器之前进行混频/多路复用。与 ADC SRC 类似，用户可为这两种速率选择主要 ASI 或辅助 ASI。图 3-2 显示了主  $F_s$  作为较高速率 (默认模式)。

DAC SRC IMPLEMENTATION OVERVIEW

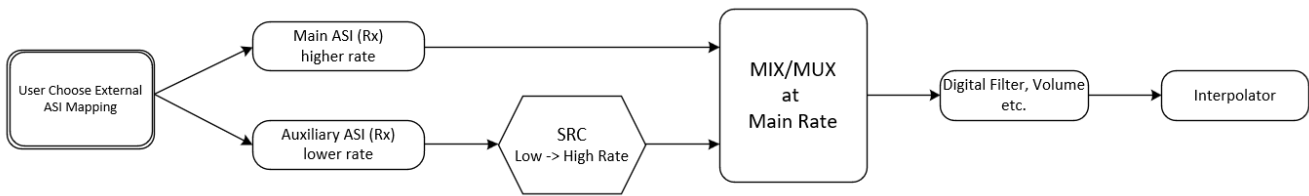


图 3-2. TAX5x1x DAC SRC 概述 - 默认模式

与 ADC 类似，用户在对 2 个信号进行混频时需要观察电平，而确定 DAC 混频系数的公式如下所示，其中  $w$  表示幅度的权重或比例。例如， $w=0.5$  表示幅度的一半，在 16 位 DAC 混频器系数中则转换为 'h2000。一些路径系数默认为 'h4000，其满量程幅度为 1。

$$Coeff(hex) = hex(2^{14} \times W) \quad (4)$$

对于主要 ASI (较高速率接口)，DAC 混频器系数通过寄存器页面地址 0x11 和寄存器地址 0x08 至 0x47 进行配置；对于辅助 ASI (较低速率)，则通过寄存器页面地址 0x11 和寄存器地址 0x48 至 0x57 进行配置。

对于侧链 DAC 混频器，该系统通过寄存器页面地址 0x11 和寄存器地址 0x58 至 0x77 进行配置 [方程式 4](#)。

### 3.3 SRC 用例示例

以下是演示此 SRC 功能的几个用例。每个用例中使用了 2 个 Audio Precision APx555，并将其配置为 PASI 或 SASI，速率为 48KHz 或 16KHz。

#### 3.3.1 默认模式 (主 $F_s$ - 较高速率)

图 3-3 是该用例的方框图，其中包含 PASI 和 SASI 映射。PASI 以 48 KHz 运行，SASI 以 16 KHz 运行。在该用例中，模拟 (MIC) 输入以主  $F_s$  进行采样，并通过 SRC 进行下采样，以降低 SASI TX 的速率。PASI TX 也以 48KHz 提供。在 DAC 侧，SASI RX 数据可以在 DAC 输出 (扬声器) 之前与 PASI RX 数据进行混频。

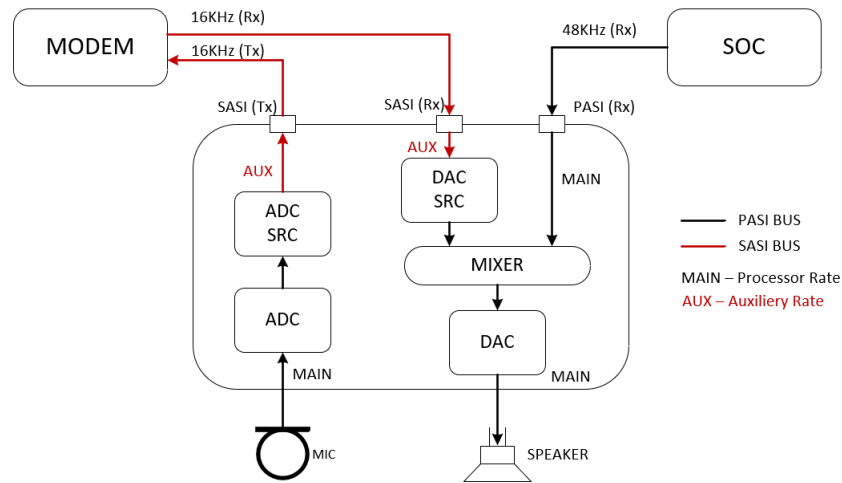


图 3-3. 默认模式图

下文显示了 PASI 和 SASI 的 Audio Precision APx555 配置。在该测试用例中，混频器系数保持为默认值（满量程），输入电平会被调整为不超过允许的最大电平（例如 -6dB<sub>BrG</sub>），而不是 0dB<sub>BrG</sub>。

**PASI APx555 :**

**发生器 :**

模拟输出 (MIC) : 1KHz 正弦波, -6dB<sub>BrG</sub> (0dB<sub>BrG</sub> = 2V<sub>rms</sub>)

**分析器 :**

输入 1 : PASI Tx 的数字音频, 其中  $F_s = 48 \text{ KHz}$ 、32 位深度

输入 2 : DAC 输出 (扬声器) 的模拟输入

**SASI APx555 :**

**发生器 :**

数字输出 : 750Hz 正弦波, -6dBFS

**分析器 :**

输入 1 : SASI Tx 的数字音频, 其中  $F_s = 16 \text{ KHz}$ 、TDM、32 位深度

```
##### PASI higher rate, default SRC Mode Testing #####
# Target Mode, TDM, 32-bit
# Primary and Secondary ASI, multiple of 48KHz Sampling
# GPIO2=Secondary FSYNC, GPIO1=Secondary BCLK, GPI1=Secondary DIN, GP01=Secondary DOUT for 4x4
#
w a0 00 00      # Set page 0
w a0 01 01      # Software Reset
w a0 02 09      # Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10      # GPIO1 as input
w a0 0b 10      # GPIO2 as input
w a0 0d 02      # GPI1 as input
w a0 0c 71      # GP01 as Secondary DOUT
w a0 11 a2      # Enable PASI DIN and Set GPI2A as Secondary FSYNC and GPIO1 as Secondary BCLK
w a0 12 60      # Set GPI1A as Secondary DIN
w a0 18 00      # Enable both Primary and Secondary ASI as independent
w a0 34 40      # PASI BCLK is the input clock source
w a0 19 00      # 1 data input and 1 data output for PASI and SASI
w a0 1a 30      # PASI TDM, 32 bit format
w a0 1e 20      # PASI DOUT Ch1 on TDM slot 0
w a0 1f 21      # PASI DOUT Ch2 on TDM slot 1
w a0 28 20      # PASI DIN Ch1 on TDM slot 0
w a0 29 21      # PASI DIN Ch2 on TDM slot 1
w a0 00 03      # Set page 3
w a0 1a 30      # SASI TDM, 32 bit format
w a0 1e 20      # SASI DOUT Ch1 on TDM slot 0
w a0 1f 21      # SASI DOUT Ch2 on TDM slot 1
w a0 28 20      # SASI DIN Ch1 on TDM slot 0
w a0 29 21      # SASI DIN Ch2 on TDM slot 1
w a0 00 01      # Set page 1
w a0 17 00      # Default SR-Converter with auto-detect
```

```

w a0 18 00      # auto m:n ratio
w a0 2c 80      # Enable DAC ASI Mixer
w a0 00 00      # Set page 0
w a0 50 00      # ADC Ch1 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 55 00      # ADC Ch2 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 64 20      # Configure OUT1P/M as differential from DAC1
w a0 65 20      # Configure OUT1P LINEOUT 0dB audio band
w a0 66 20      # Configure OUT1M LINEOUT 0dB 2Vrms Differential
w a0 6b 20      # Configure OUT2P/M as differential from DAC2
w a0 6c 20      # Configure OUT2P LINEOUT 0dB audio band
w a0 6d 20      # Configure OUT2M LINEOUT 0dB 2Vrms Differential
w a0 76 cc      # Enable Input and output ch1 and ch2
w a0 78 e0      # Power up ADC, DAC and MICBIAS
    
```

### 测试结果

以下各图显示了 SRC 之后 SASI TX 处的 ADC 输出结果。如预期那样，频率响应 (FFT) 在 8KHz ( 16KHz SASI 速率的  $F_s/2$  ) 处结束。

在扬声器输出端，捕获的音调是 SRC 之后 750Hz 的 SASI RX 音调。在本例中，PASI RX 音调被静音。

图 3-4 显示了 SRC 之后来自 MIC 输入的 SASI TX 1KHz 音调。

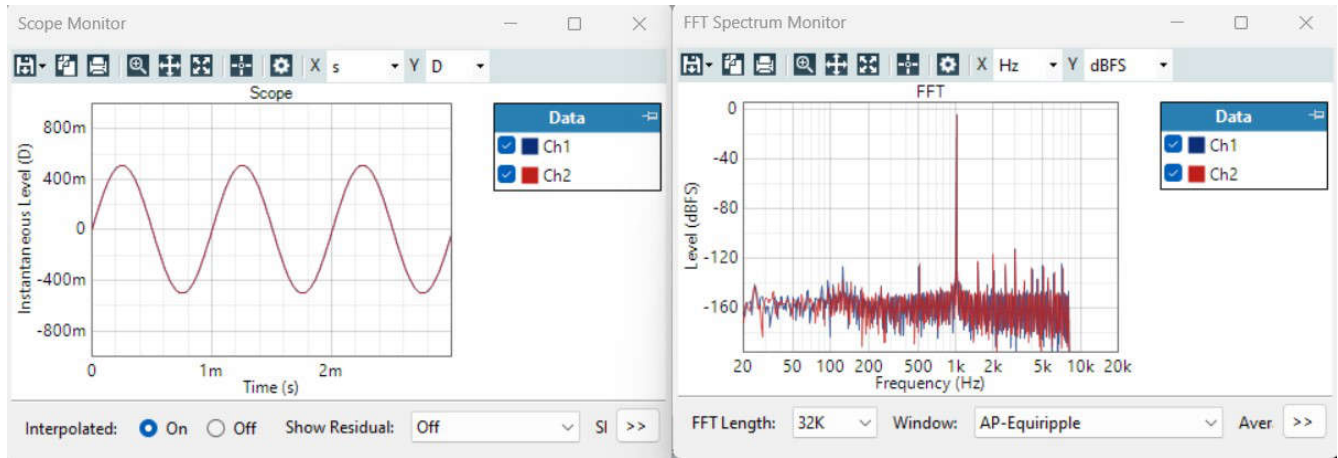


图 3-4. SASI ADC 输出

图 3-5 显示了 SRC 之后来自 SASI RX 的 750Hz 音调，其中 PASI RX 音调被静音。

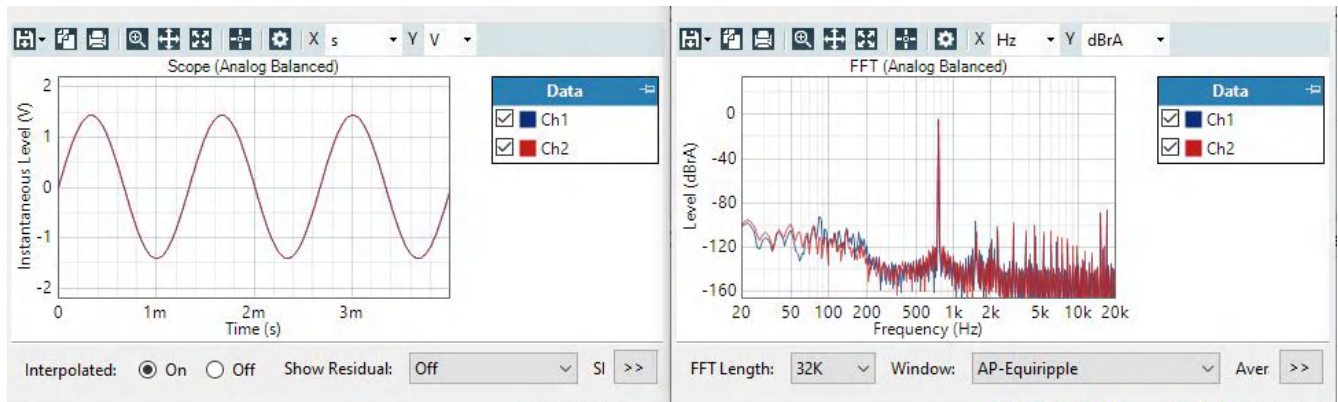


图 3-5. 扬声器输出

### 3.3.2 带有录制功能的默认模式 (主 Fs - 较高速率)

图 3-6 显示了该用例的方框图。PASI 以 48 KHz 运行，SASI 以 16 KHz 运行。在该用例中，模拟输入(MIC) 以主 Fs 进行采样，并使用 SRC 进行下采样，以降低 SASI 的速率。PASI TX 是采样的 MIC 输入与 SASI RX 或 PASI RX 的混合信号。在 DAC 侧，SASI RX 数据可以在 DAC 输出 (扬声器) 之前与 PASI RX 数据进行混频。在 DAC 侧，SASI RX 数据可以在 DAC 输出 (扬声器) 之前与 PASI RX 数据进行混频。

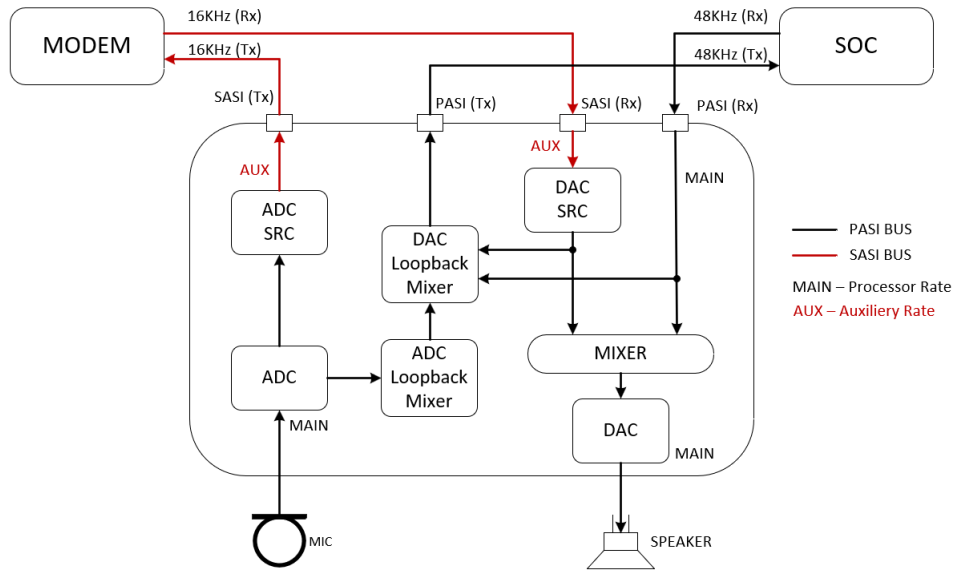


图 3-6. 具有录制功能的默认模式图

下文显示了 PASI 和 SASI 的 Audio Precision APx555 配置。在该测试用例中，混频器系数保持为默认值 (满量程)，输入电平会被调整为不超过允许的最大电平 (例如 -9dBrg)，而不是 0dBrg。

#### PASI APx555 :

##### 发生器 :

模拟输出 (MIC) : 1KHz 正弦波, -9dBrg (0dBrg = 2Vrms)

##### 分析器 :

输入 1 : PASI Tx 的数字音频, 其中 Fs = 48 KHz、32 位深度

输入 2 : DAC 输出 (扬声器) 的模拟输入

#### SASI APx555 :

##### 发生器 :

数字输出 : 750Hz 正弦波, -9dBFS

##### 分析器 :

输入 1 : SASITx 的数字音频, 其中 Fs = 16 KHz、TDM、32 位深度

```
##### PASI higher rate than SASI ADC and DAC SRC Testing with Recording #####
# Target Mode, TDM, 32-bit
# Primary and Secondary ASI, multiple of 48KHz Sampling
# GPIO2=Secondary FSYNC, GPIO1=Secondary BCLK, GPI1=Secondary DIN, GP01=Secondary DOUT for 4x4
#
w a0 00 00      # Set page 0
w a0 01 01      # Software Reset
w a0 02 09      # Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10      # GPIO1 as input
w a0 0b 10      # GPIO2 as input
w a0 0d 02      # GPI1 as input
w a0 0c 71      # GP01 as Secondary DOUT
w a0 11 a2      # Enable PASI DIN and Set GPI2A as Secondary FSYNC and GPIO1 as Secondary BCLK
w a0 12 60      # Set GPI1A as Secondary DIN
w a0 18 00      # Enable both Primary and Secondary ASI as independent
w a0 34 40      # PASI BCLK is the input clock source
w a0 19 00      # 1 data input and 1 data output for PASI and SASI
w a0 1a 30      # PASI TDM, 32 bit format
```



```

w a0 1e 00      # Tri-state PASI Ch1 to avoid conflict with mix on TDM slot 0
w a0 1f 01      # Tri-state PASI Ch2 to avoid conflict with mix on TDM slot 1
w a0 22 20      # PASI DOUT Ch5 - ASI Loopback data on TDM slot 0
w a0 23 21      # PASI DOUT Ch6 - ASI Loopback data on TDM slot 1
w a0 28 20      # PASI DIN Ch1 on TDM slot 0
w a0 29 21      # PASI DIN Ch2 on TDM slot 1
w a0 00 03      # Set page 3
w a0 1a 30      # SASI TDM, 32 bit format
w a0 1e 20      # SASI DOUT Ch1 on TDM slot 0
w a0 1f 21      # SASI DOUT Ch2 on TDM slot 1
w a0 28 20      # SASI DIN Ch1 on TDM slot 0
w a0 29 21      # SASI DIN Ch2 on TDM slot 1
w a0 00 01      # Set page 1
w a0 17 00      # Default SR-Converter with auto-detect enable
w a0 18 00      # Default auto m:n ratio
w a0 2c d0      # Enable DAC, Side Chain and Loopback Mixer
w a0 00 11      # Set page 0x11
w a0 0c 00 00 40 00 # Route Main DIN Ch1 to LDAC2 Mixer, full scale
w a0 14 40 00 00 00 # Route Main DIN Ch2 to RDAC2 Mixer, full scale
w a0 4c 00 00 40 00 # Route Aux DIN Ch1 to LDAC2 Mixer, full scale
w a0 54 40 00 00 00 # Route Aux DIN Ch2 to RDAC2 Mixer, full scale
w a0 5e 40 00    # ADC Loopback Ch1 to SC_LDAC2 Mixer to mix with LDAC2, full scale
w a0 64 40 00    # ADC Loopback Ch2 to SC_RDAC2 Mixer to mix with RDAC2, full scale
w a0 00 00      # Set page 0
w a0 50 00      # ADC Ch1 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 55 00      # ADC Ch2 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 64 20      # Configure OUT1P/M as differential from DAC1
w a0 65 20      # Configure OUT1P LINEOUT 0dB audio band
w a0 66 20      # Configure OUT1M LINEOUT 0dB 2Vrms Differential
w a0 6b 20      # Configure OUT2P/M as differential from DAC2
w a0 6c 20      # Configure OUT2P LINEOUT 0dB audio band
w a0 6d 20      # Configure OUT2M LINEOUT 0dB 2Vrms Differential
w a0 76 cc      # Enable Input and Output Ch1 and Ch2
w a0 78 e0      # Power up ADC, DAC and MICBIAS

```

### 测试结果

以下各图显示了 SRC 之后 SASI TX 处的 ADC 输出结果。正如预期那样，频率响应 (FFT) 在 8KHz ( 16kHz SASI 速率的  $F_s/2$  ) 处结束。

图 3-7 SRC 之后来自 MIC 输入的 SASI TX 1KHz 音调：

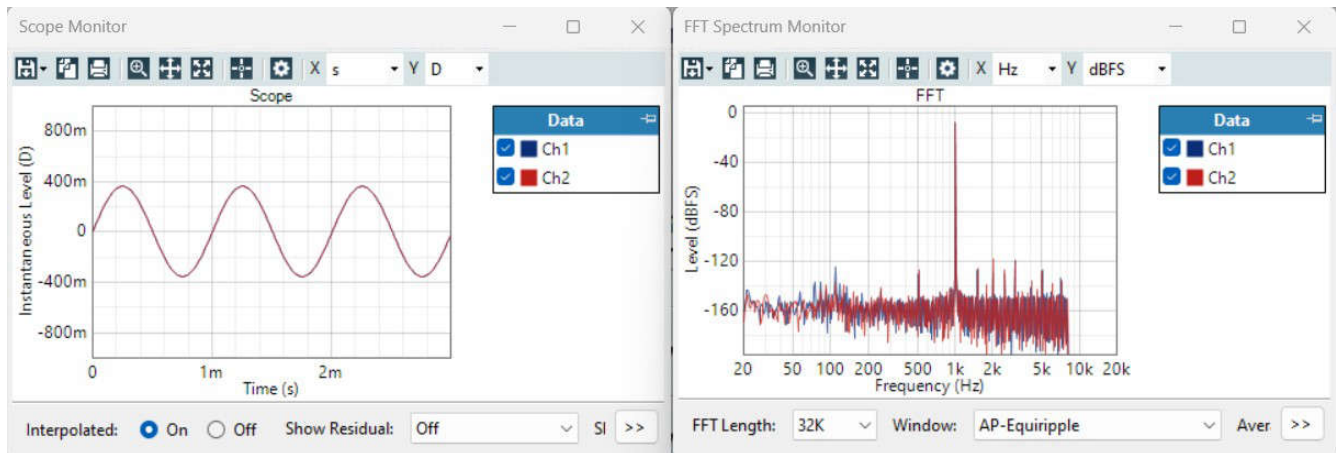


图 3-7. SASI ADC 输出

在扬声器输出端，捕获的音调是 SRC 之后 750Hz 的 SASI RX 音调。PASI RX 音调将被静音。PASI TX 是 MIC 输入与 750Hz SASI RX 音调的混合信号。

图 3-8 显示了 PASI TX 是 MIC 输入与 SRC 之后 SASI RX 的混合信号。

图 3-9 显示了来自 SRC 之后 SASI RX 的 750Hz 音调，其中 PASI 音调被静音：

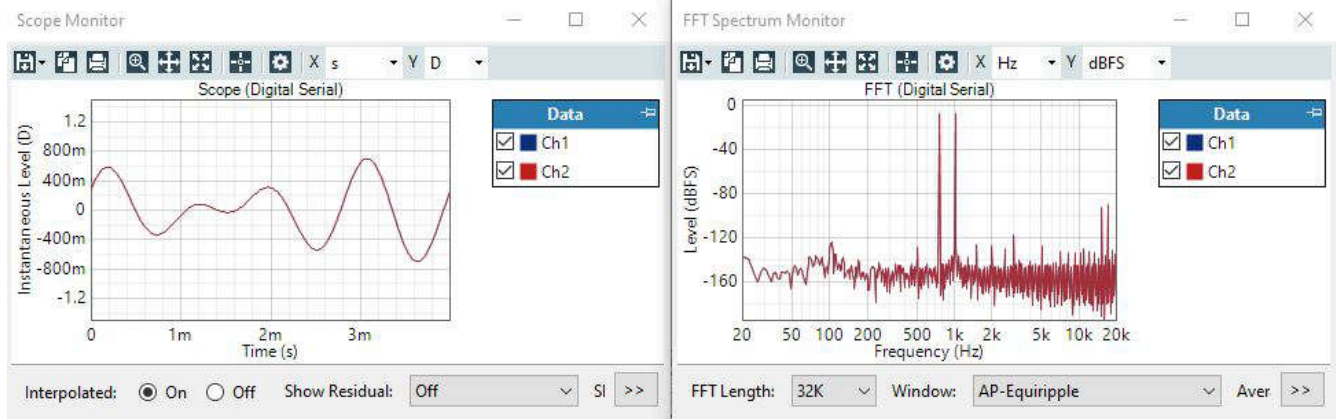


图 3-8. PASI ADC 输出

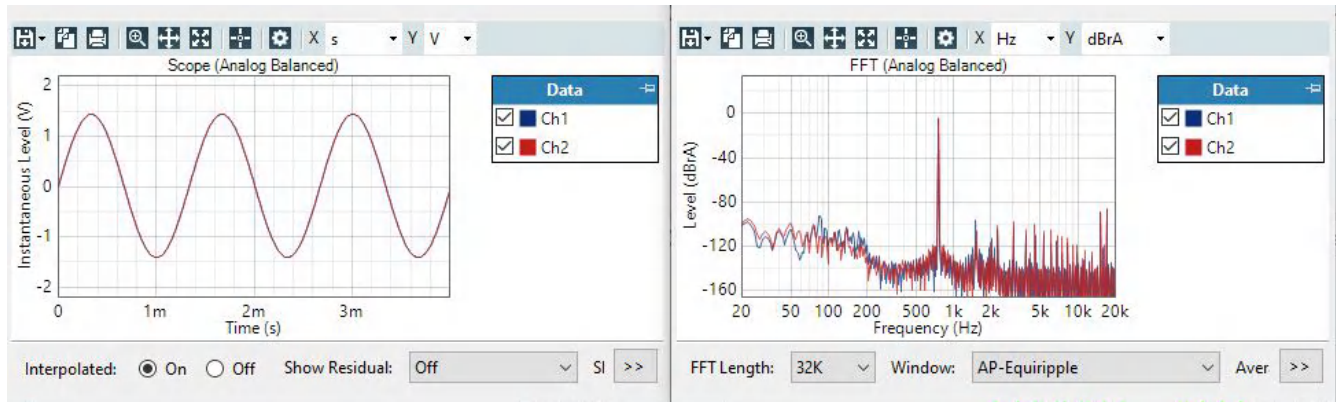


图 3-9. 扬声器输出

### 3.3.3 自定义模式 (主 FS - 较低速率)

图 3-10 显示了该用例的方框图，其中包含 PASI 和 SASI 映射。PASI 以 16 KHz 运行，SASI 以 48 KHz 运行。在该用例中，以主 Fs (较低速率) 对模拟 (MIC) 输入进行采样。在 DAC 侧，SASI RX 数据可以在 DAC 输出 (扬声器) 之前与 PASI RX 数据进行混频。

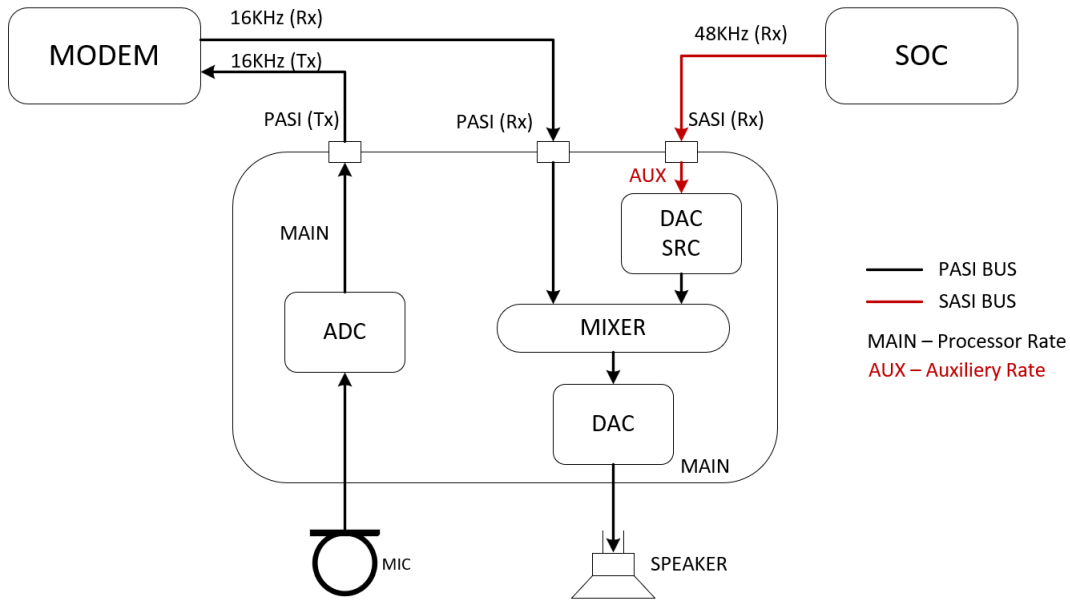


图 3-10. 自定义模式图

下文显示了 PASI 和 SASI 的 Audio Precision APx555 配置。在该测试用例中，混频器系数保持为默认值（满量程），输入电平会被调整为不超过允许的最大电平（例如 -6dBBrG），而不是 0dBBrG。

**PASI APx555 :**

**发生器 :**

模拟输出 (MIC) : 750Hz 正弦波, -1dBBrG (0dBBrG = 2Vrms)

**分析器 :**

输入 1 : PASI Tx 的数字音频, 其中  $F_s = 16\text{KHz}$ 、32 位深度

输入 2 : DAC 输出 (扬声器) 的模拟输入

**SASI APx555 :**

**发生器 :**

数字输出 : 1KHz 正弦波, -6dBFS

**分析器 :**

输入 1 : SASI Tx 的数字音频, 其中  $F_s = 48\text{KHz}$ 、TDM、32 位深度

```
##### PASI lower rate than SASI ADC and DAC SRC Testing #####
# Target Mode, TDM, 32-bit
# Primary and Secondary ASI, multiple of 48KHz Sampling
# GPIO2=Secondary FSYNC, GPIO1=Secondary BCLK, GPI1=Secondary DIN, GP01=Secondary DOUT for 4x4
#
w a0 00 00      # Set page 0
w a0 01 01      # Software Reset
w a0 02 09      # Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10      # GPIO1 as input
w a0 0b 10      # GPIO2 as input
w a0 0d 02      # GPI1 as input
w a0 0c 71      # GP01 as Secondary DOUT
w a0 11 a2      # Enable PASI DIN and Set GPI2A as Secondary FSYNC and GPIO1 as Secondary BCLK
w a0 12 60      # Set GPI1A as Secondary DIN
w a0 18 00      # Enable both Primary and Secondary ASI as independent
w a0 34 40      # PASI BCLK is the input clock source
w a0 19 00      # 1 data input and 1 data output for PASI and SASI
w a0 1a 30      # PASI TDM, 32 bit format
w a0 1e 20      # PASI DOUT Ch1 on TDM slot 0
w a0 1f 21      # PASI DOUT Ch2 on TDM slot 1
w a0 28 20      # PASI DIN Ch1 on TDM slot 0
w a0 29 21      # PASI DIN Ch2 on TDM slot 1
w a0 00 03      # Set page 3
w a0 1a 30      # SASI TDM, 32 bit format
w a0 1e 20      # SASI DOUT Ch1 on TDM slot 0
```

```

w a0 1f 21      # SASI DOUT Ch2 on TDM slot 1
w a0 28 20      # SASI DIN Ch1 on TDM slot 0
w a0 29 21      # SASI DIN Ch2 on TDM slot 1
w a0 00 01      # Set page 1
w a0 17 40      # SR-Converter without auto-detect
w a0 18 80      # Use PASI Fs as Main Fs
w a0 2c 80      # Enable DAC ASI Mixer
w a0 00 00      # Set page 0
w a0 50 00      # ADC Ch1 diff input, 5kOhm, 2Vrms ac-coupled, audio band
w a0 55 00      # ADC Ch2 diff input, 5kOhm, 2Vrms ac-coupled, audio band
w a0 64 20      # Configure OUT1P/M as differential from DAC1
w a0 65 20      # Configure OUT1P LINEOUT 0dB audio band
w a0 66 20      # Configure OUT1M LINEOUT 0dB 2Vrms Differential
w a0 6b 20      # Configure OUT2P/M as differential from DAC2
w a0 6c 20      # Configure OUT2P LINEOUT 0dB audio band
w a0 6d 20      # Configure OUT2M LINEOUT 0dB 2Vrms Differential
w a0 76 cc      # Enable Input and output Ch1 and Ch2
w a0 78 e0      # Power up ADC, DAC and MICBIAS

```

### 测试结果

以下各图显示了以 16KHz 采样时 PASI TX 处的 ADC 输出结果。

在扬声器输出端，捕获的音调是 SRC 之后 750Hz 的 SASI RX 音调。PASI RX 音调将被静音。

图 3-11 显示了以 16KHz 频率对来自 MIC 输入的 PASI TX 750Hz 音调进行采样：

图 3-12 显示了来自 SRC 之后 SASI RX 的 1KHz 音调，其中 PASI 音调被静音：

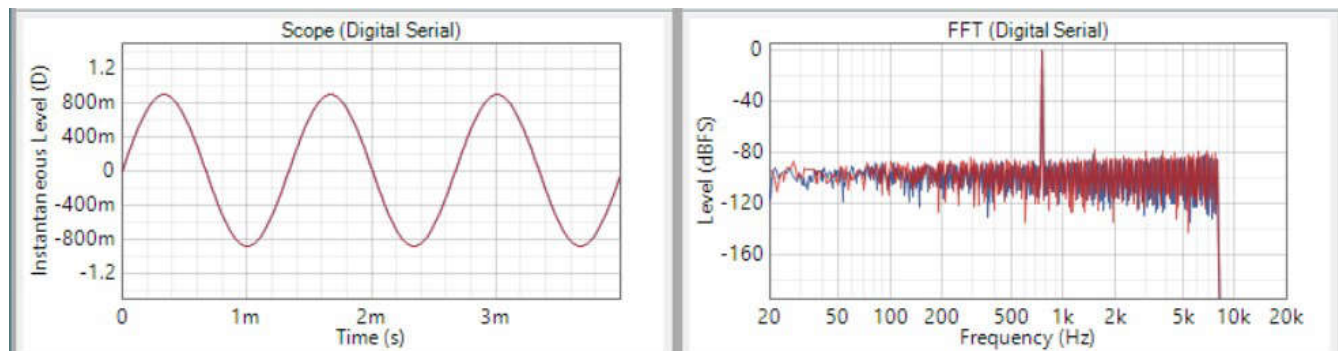


图 3-11. PASI ADC 输出

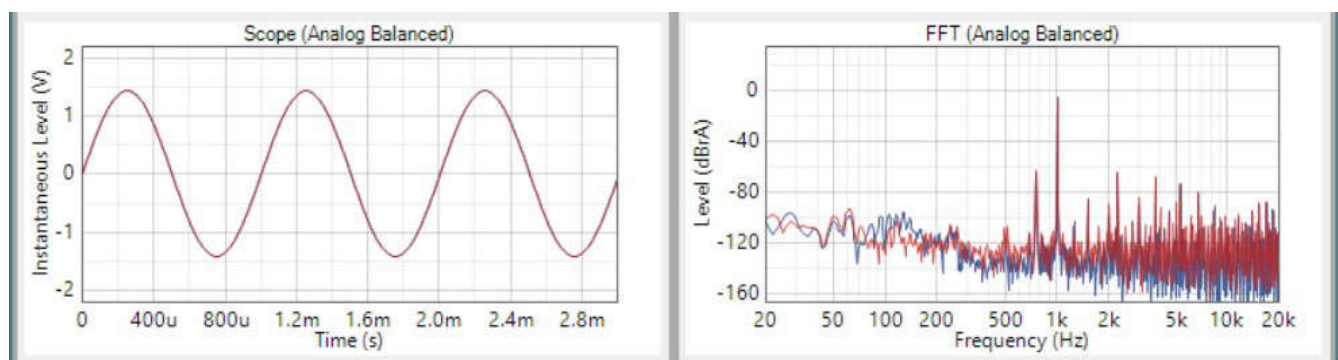


图 3-12. 扬声器输出

### 3.3.4 带有录制功能的自定义模式 (主 FS - 较低速率)

图 3-13 显示了该用例的方框图。PASI 以 16KHz 运行，SASI 以 48KHz 运行。在该用例中，模拟输入 (MIC) 以主 Fs (较低速率) 进行采样，并发送至 PASI TX。同一 MIC 输入可与来自 PASI RX 和/或 SASI RX 的 DAC 输入进行混频，并可与 SASI TX 的 SRC 进行上采样。在 DAC 侧，SASI RX 数据可以在 DAC 输出 (扬声器) 之前与 PASI RX 数据进行混频。

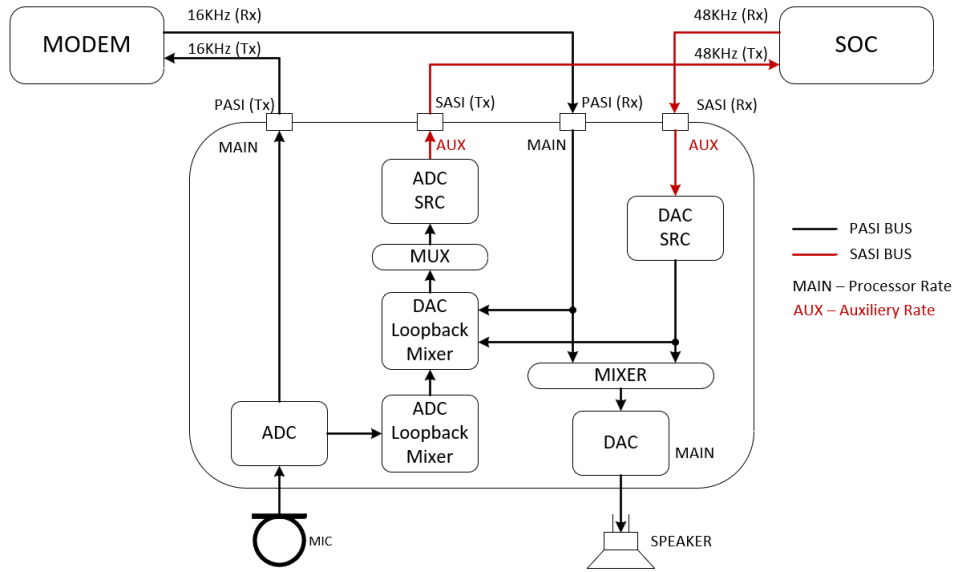


图 3-13. 具有录制功能的自定义模式图

下文显示了 PASI 和 SASI 的 Audio Precision APx555 配置。在该测试用例中，混频器系数保持为默认值（满量程），输入电平会被调整为不超过允许的最大电平（例如 -9dBrg），而不是 0dBrg。

**PASI APx555 :**

**发生器 :**

模拟输出 (MIC) : 1KHz 正弦波, -9dBrg (0dBrg = 2Vrms)

**分析器 :**

输入 1 : PASI Tx 的数字音频, 其中 Fs = 16KHz、32 位深度

输入 2 : DAC 输出 (扬声器) 的模拟输入

**SASI APx555 :**

**发生器 :**

数字输出 : 750Hz 正弦波, -9dBFS

**分析器 :**

输入 1 : SASI Tx 的数字音频, 其中 Fs = 48KHz、TDM、32 位深度

```
##### PASI lower rate than SASI ADC and DAC SRC Testing with Recording #####
# Target Mode, TDM, 32-bit
# Primary and Secondary ASI, multiple of 48kHz Sampling
# GPIO2=Secondary FSYNC, GPIO1=Secondary BCLK, GPI1=Secondary DIN, GP01=Secondary DOUT for 4x4
#
w a0 00 00      # Set page 0
w a0 01 01      # Software Reset
w a0 02 09      # Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10      # GPIO1 as input
w a0 0b 10      # GPIO2 as input
w a0 0d 02      # GPI1 as input
w a0 0c 71      # GP01 as Secondary DOUT
w a0 11 a2      # Enable PASI DIN and Set GPI2A as Secondary FSYNC and GPIO1 as Secondary BCLK
w a0 12 60      # Set GPI1A as Secondary DIN
w a0 18 00      # Enable both Primary and Secondary ASI as independent
w a0 34 40      # PASI BCLK is the input clock source
w a0 19 00      # 1 data input and 1 data output for PASI and SASI
w a0 1a 30      # PASI TDM, 32 bit format
w a0 1e 20      # PASI DOUT Ch1 on TDM slot 0
w a0 1f 21      # PASI DOUT Ch2 on TDM slot 1
w a0 28 20      # PASI DIN Ch1 on TDM slot 0
w a0 29 21      # PASI DIN Ch2 on TDM slot 1
w a0 00 03      # Set page 3
w a0 1a 30      # SASI TDM, 32 bit format
w a0 1e 00      # Tri-state SASI DOUT Ch1 on TDM slot 0
w a0 1f 01      # Tri-state SASI DOUT Ch2 on TDM slot 1
```

```

w a0 22 20      # SASI DOUT Ch5 on TDM slot 0
w a0 23 21      # SASI DOUT Ch5 on TDM slot 1
w a0 28 20      # SASI DIN Ch1 on TDM slot 0
w a0 29 21      # SASI DIN Ch2 on TDM slot 1
w a0 00 01      # Set page 1
w a0 17 40      # SR-Converter without auto detect
w a0 18 40      # Use PASI Fs as Main Fs
w a0 2c d0      # Enable DAC, Side Chain and Loopback Mixer
w a0 00 11      # Set page 0x11
w a0 0c 00 00 40 00 # Route Main Ch1 to LDAC2 Mixer, full scale
w a0 14 40 00 00 00 # Route Main Ch2 to RDAC2 Mixer, full scale
w a0 4c 00 00 40 00 # Route AUX Ch1 to LDAC2 Mixer, full scale
w a0 54 40 00 00 00 # Route AUX Ch2 to RDAC2 Mixer, full scale
w a0 5e 40 00    # ADC Loopback Ch1 to SC_LDAC2 Mixer to mix with LDAC2, full scale
w a0 64 40 00    # ADC Loopback Ch2 to SC_RDAC2 Mixer to mix with RDAC2, full scale
w a0 00 00      # Set page 0
w a0 50 00      # ADC Ch1 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 55 00      # ADC Ch2 diff input, 5KOhm, 2Vrms ac-coupled, audio band
w a0 64 20      # Configure OUT1P/M as differential from DAC1
w a0 65 20      # Configure OUT1P LINEOUT 0dB audio band
w a0 66 20      # Configure OUT1M LINEOUT 0dB 2Vrms Differential
w a0 6b 20      # Configure OUT2P/M as differential from DAC2
w a0 6c 20      # Configure OUT2P LINEOUT 0dB audio band
w a0 6d 20      # Configure OUT2M LINEOUT 0dB 2Vrms Differential
w a0 76 cc      # Enable Input and Output Ch1 and Ch2
w a0 78 e0      # Power up ADC, DAC and MICBIAS
    
```

## 测试结果

以下各图显示了 SRC 之后 SASI 处的 ADC 输出结果。如此处所示，频率响应 (FFT) 会扫描 20KHz (上采样至 48KHz)。

图 3-14 显示了 SASI TX 输出是 MIC 输入与 SRC 之后 SASI RX 的混合信号。

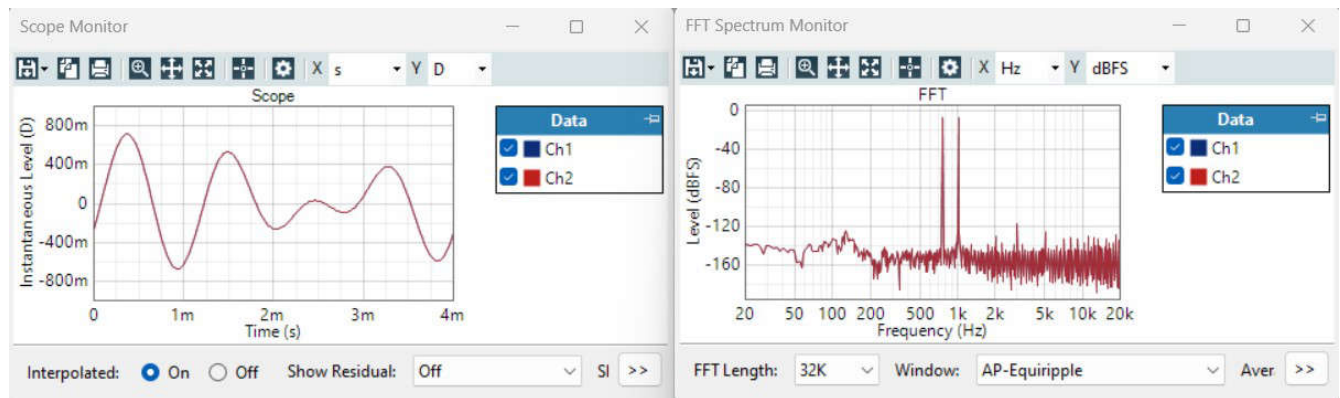


图 3-14. SASI ADC 输出

在扬声器输出端，捕获的音调是 SRC 之后 750Hz 的 SASI RX 音调。PASI RX 音调将被静音，PASI TX 为 1KHz 的 MIC 输入。

图 3-15 显示了以 16KHz 频率对来自 MIC 输入的 PASI TX 1KHz 音调进行采样。

图 3-16 显示了该 750Hz 音调是 SRC 之后的 SASI RX 音调，其中 PASI 音调被关闭或静音。

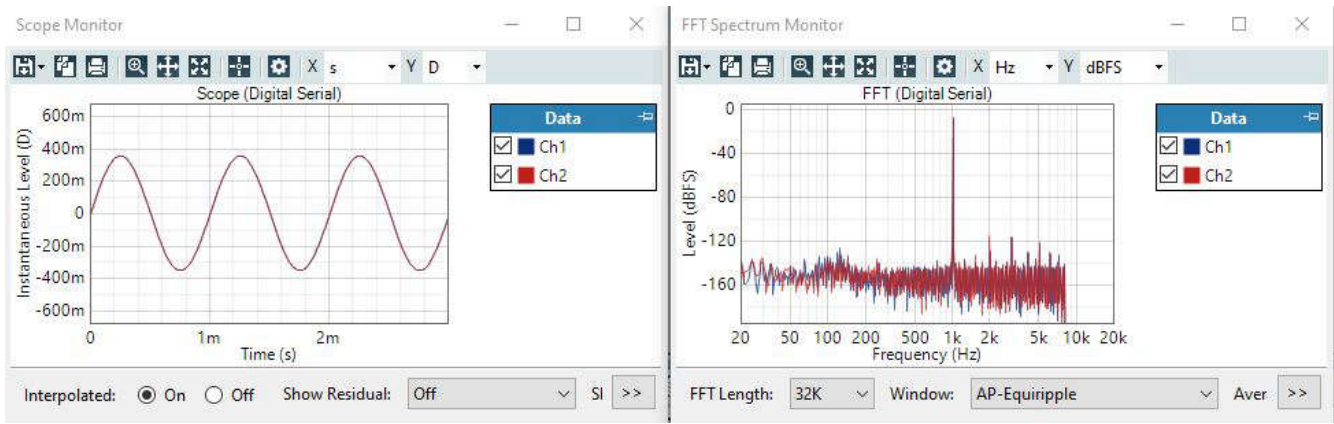


图 3-15. PASI ADC 输出

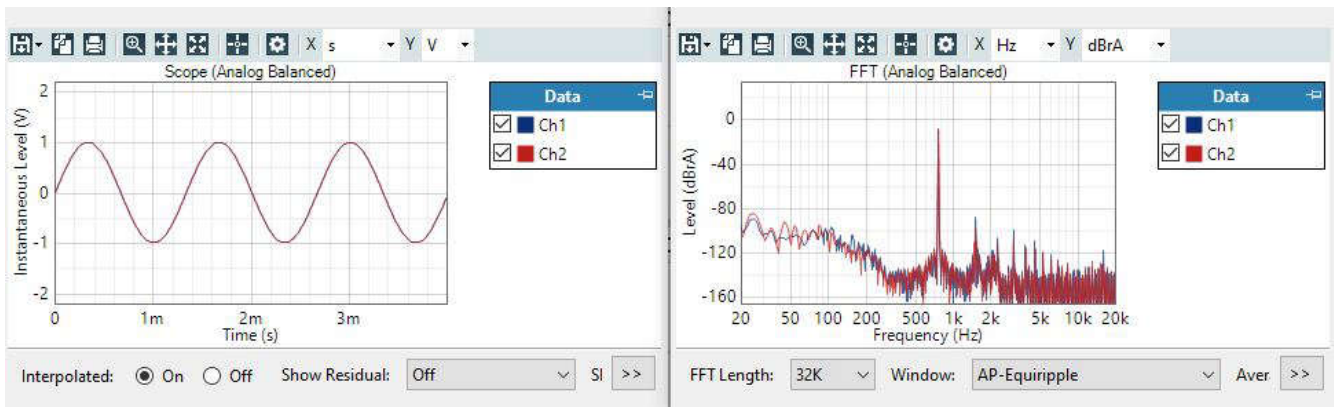


图 3-16. 扬声器输出

## 4 总结

本文通过几个用例示例，展示了使用 TAC5212 器件实现的同步采样速率转换。相同的方案也适用于参考文献中列出的其他器件型号。

## 5 参考文献

- 德州仪器 (TI), [TAC5212 具有 115dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能立体声音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5211 具有 115dB 动态范围 ADC 和 115dB 动态范围 DAC 的高性能单声道音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5112 具有 102dB 动态范围 ADC 和 106dB 动态范围 DAC 的低功耗立体声音频编解码器数据表](#)。
- 德州仪器 (TI), [TAC5111 具有 108dB 动态范围 ADC 和 108dB 动态范围 DAC 的低功耗单声道音频编解码器数据表](#)。
- 德州仪器 (TI), [TAA5212 具有 115dB 动态范围的低功耗高性能立体声音频 ADC 数据表](#)。
- 德州仪器 (TI), [TAD5212 具有 115dB 动态范围 DAC 的高性能立体声音频 DAC 数据表](#)。
- 德州仪器 (TI), [TAD5112 具有 106dB 动态范围 DAC 的汽车类立体声音频 DAC 数据表](#)。

## 6 修订历史记录

Changes from Revision * (December 2023) to Revision A (June 2024)	Page
• 通篇更新了表格、图和交叉参考的编号格式.....	1
• 更新了 SRC 支持的比率表.....	4



## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司