



摘要

随着现代总线接口频率越来越高，在设计和印刷电路板 (PCB) 布局阶段必须小心谨慎，以便提供稳健的设计。

内容

1 引言	3
1.1 概述	3
1.2 支持文档	3
2 高速接口设计指南	4
2.1 布线阻抗	4
2.2 布线长度	4
2.3 差分信号长度匹配	4
2.4 信号参考平面	5
2.5 差分信号间距	7
2.6 附加差分信号规则	8
2.7 差分对的对称性	8
2.8 连接器和插座	9
2.9 过孔不连续性缓解	10
2.10 背钻过孔残桩	11
2.11 过孔反焊盘直径	11
2.12 使过孔计数相等	11
2.13 表面贴装器件焊盘不连续性缓解	12
2.14 信号线弯曲	13
2.15 ESD 和 EMI 注意事项	14
2.16 ESD 和 EMI 布局规则	14
3 特定于接口的设计指南	15
3.1 USB 电路板设计和布局布线指南	15
3.2 DisplayPort 电路板设计和布局布线指南	18
3.3 PCIe 电路板设计和布局布线指南	21
3.4 MIPI® D-PHY (CSI2、DSI) 电路板设计和布局布线指南	23
3.5 UFS 电路板设计和布局布线指南	25
3.6 Q/SGMII 电路板设计和布局布线指南	26
4 电路板设计仿真	28
4.1 电路板模型提取	28
4.2 电路板模型验证	28
4.3 S 参数检查	28
4.4 时域反射法 (TDR) 分析	29
4.5 仿真完整性分析	29
4.6 查看仿真结果	31
5 参考资料	32
6 修订历史记录	32

插图清单

图 2-1. 差分对长度匹配.....	4
图 2-2. 错误的平面空洞布线.....	5
图 2-3. 正确的平面空洞布线.....	5
图 2-4. 错误的平面分割点信号布线.....	6
图 2-5. 拼接电容器的放置.....	6
图 2-6. 重叠平面.....	6
图 2-7. 拼接过孔.....	7
图 2-8. 差分对间距示例.....	7
图 2-9. 差分对对称.....	8
图 2-10. USB 穿孔插座连接.....	9
图 2-11. 过孔长度 (长残桩).....	10
图 2-12. 过孔长度 (短残桩).....	10
图 2-13. 过孔反焊盘示例.....	11
图 2-14. 交流耦合放置.....	12
图 2-15. 表面贴装器件的参考平面空洞.....	13
图 2-16. 信号线弯曲规则.....	13
图 2-17. 直通布线.....	14
图 3-1. USB 接口概要原理图.....	15
图 3-2. USB 3.1 超高速放置图.....	16
图 3-3. USB 3.1 示例“切割 GND”布局.....	18
图 3-4. DisplayPort 接口概要原理图.....	18
图 3-5. DisplayPort 放置.....	19
图 3-6. 示例“切割 GND”布局.....	20
图 3-7. PCIe 接口概要原理图.....	21
图 3-8. CSI-2 [®] 概要原理图.....	24
图 3-9. DSI 概要原理图.....	24
图 3-10. UFS 接口概要原理图.....	26
图 3-11. SGMII 接口概要原理图.....	27
图 4-1. 阻抗不匹配的 TDR 图示例.....	29
图 4-2. 信号完整性分析设置 - 通道仿真.....	30
图 4-3. 浴盆曲线叠加.....	30

表格清单

表 3-1. USB 交流耦合电容器要求.....	16
表 3-2. USB 元件参考.....	16
表 3-3. USB3.1 (超高速) 布线规格.....	17
表 3-4. USB2.0 布线规格.....	17
表 3-5. DP 交流耦合电容器要求.....	19
表 3-6. DP 元件参考.....	19
表 3-7. DP 布线规格.....	20
表 3-8. 外部 LVDS REFCLK 模式下的 REFCLKP、REFCLKN 要求.....	22
表 3-9. 输出 REFCLK 模式下的 REFCLKP、REFCLKN 要求.....	22
表 3-10. PCIe 交流耦合电容器要求.....	23
表 3-11. PCI-E 布线规格.....	23
表 3-12. PCI-E 布线规格.....	25
表 3-13. UFS 布线规格.....	26
表 3-14. Q/SGMII 交流耦合电容器要求.....	27
表 3-15. G/SGMII 布线规格.....	28
表 4-1. 不同标准的眼罩规格.....	31

商标

CSI-2[®], DSI[®], and MIPI[®] are registered trademarks of MIPI Alliance.

所有商标均为其各自所有者的财产。

1 引言

1.1 概述

本应用报告可帮助系统设计人员在设计具有高速接口的平台时，了解 PCB 布局选项和最佳实践。本文档面向熟悉 PCB 制造、布局和设计的读者。

1.2 支持文档

本文档支持以下器件：

- J7200
 - DRA821
- J721E
 - TDA4VM
 - DRA829
- J721S2
 - AM68x
 - TDA4VE
 - TDA4AL
 - TDA4VL
- J722S
 - AM67x
 - TDA4VEN
 - TDA4AEN
- J742S2
 - TDA4VPE
 - TDA4APE
- J784S4
 - AM69x
 - TDA4VH
 - TDA4AH
 - TDA4VP
 - TDA4AP

对于未列出的 AM6x 器件（例如 AM644x、AM62x），请参阅相关产品页面上提供的应用手册，例如：[高速接口布局布线指南](#)。

2 高速接口设计指南

容纳和隔离高速信号是设计系统时需要考虑的一个主要问题。由于高速信号很可能和其他信号相互影响，因此必须在 PCB 设计过程中尽早布置这些高速信号，以确保可以遵循规定的布线规则。

2.1 布线阻抗

高速信号布线阻抗需要设计为可最大限度地减小布线中的信号反射。设计的目标高速协议决定布线需要满足的单端和差分布线阻抗以及阻抗容差 ($50\ \Omega \pm 15\%$)。为了使设计免受 PCB 制造误差和缺陷的影响，布线阻抗应设计为尽可能接近建议值。布线的几何形状、PCB 材料的介电常数和布线周围的层都会影响信号布线的阻抗。

通常，紧密耦合的差分信号布线在 PCB 上不具有优势。当差分信号紧密耦合时，需要进行严格的间距和宽度控制。极小的宽度和间距变化会极大地影响阻抗，因此在生产中维持严格的阻抗控制可能会更加困难。对于具有非常严格的限制（通常很小）的 PCB，这会起作用，但对于大多数 PCB，松散耦合选项可能是最佳选择。

松散耦合 PCB 差分信号使阻抗控制变得更加容易。布线越宽，间距越大，避开障碍物就越容易（因为每条布线相对于另一条布线的位置不够固定），并且布线宽度变化不会对阻抗产生太大影响，因此更容易在信号长度上保持精确的阻抗。对于较长的布线，较宽的布线还会减轻趋肤效应，通常能够实现更佳信号完整性，眼图张开度更大。

2.2 布线长度

与所有高速信号一样，信号对的总布线长度应保持最短。有关每个协议和器件的布线长度要求，请参阅本档后面的章节。

2.3 差分信号长度匹配

匹配相关差分对布线的蚀刻长度。差分对内延迟差这一术语用于定义差分对的 + 和 - 通道间的蚀刻长度差。差分对间延迟差用于描述差分对的蚀刻长度与同组另一差分对蚀刻长度之间的差异。差分对组的蚀刻长度不需要匹配。例如，USB 3.0 TX 和 RX 的蚀刻长度不需要匹配。还有一些标准并无差分对间延迟差的要求，其原因在于不同的通道不必具有相同的长度。匹配高速信号的差分对内延迟差时，添加蛇形布线以使长度尽可能接近失配端，请参阅图 2-1。

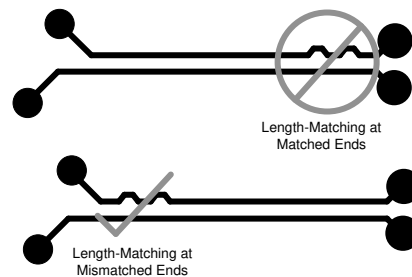


图 2-1. 差分对长度匹配

2.4 信号参考平面

一个电路必须始终是一个闭环系统。使用直流电时，直流信号返回电流采用电阻最低的路径。在较高频率下，返回电流沿阻抗最低的路径流动，该阻抗最低的路径通常是与信号相邻的参考平面。为此，最好在信号层的上面或下面一层布置接地层或电源平面。该实心返回路径有助于减小阻抗变化和减少 EMI 问题。

高速信号应当布置在实心接地参考平面上，除非绝对必要，否则不要穿过平面分割点或参考平面中的空洞。TI 不建议高速信号参考电源平面。

穿过平面分割点的布线或参考平面中的空洞强制返回的高频电流围绕分割点或空洞流动。这会导致出现以下情况：

- 不平衡的电流流动产生过多的辐射发射
- 由于串联电感增加，信号传播出现延迟
- 干扰相邻信号
- 信号完整性降低（即更多抖动和信号幅度降低）

有关正确和错误的平面空洞布线示例，请参阅图 2-2 和图 2-3。

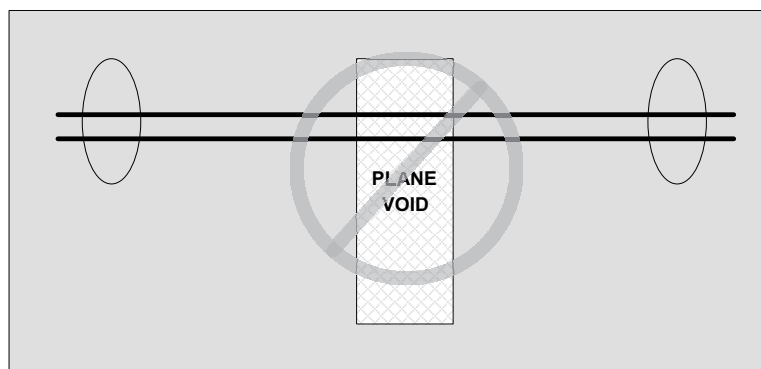


图 2-2. 错误的平面空洞布线

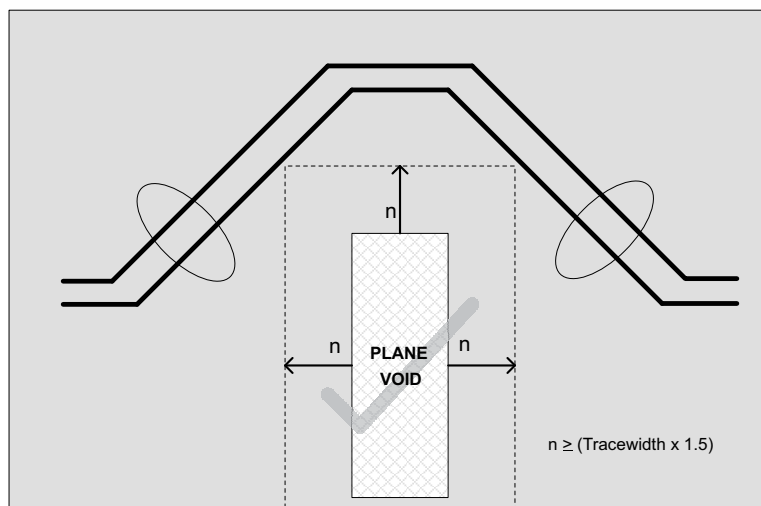


图 2-3. 正确的平面空洞布线

如果完全无法避免在平面分割点布线，则要穿过分割点放置拼接电容器，从而为高频电流提供一个返回路径。这些拼接电容器可最大限度地减少电流环路面积以及由于穿过分割点而产生的任何阻抗不连续性。这些电容器应当为 $1\mu\text{F}$ 或更低，并且要尽可能靠近平面交叉点放置。有关错误的平面分割点布线和正确的拼接电容器放置的示例，请参阅图 2-4 和图 2-5。

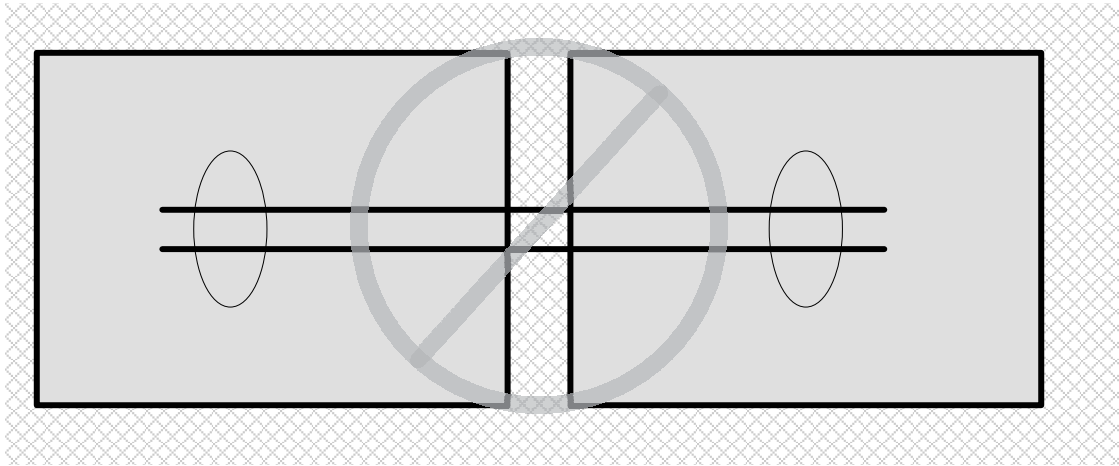


图 2-4. 错误的平面分割点信号布线

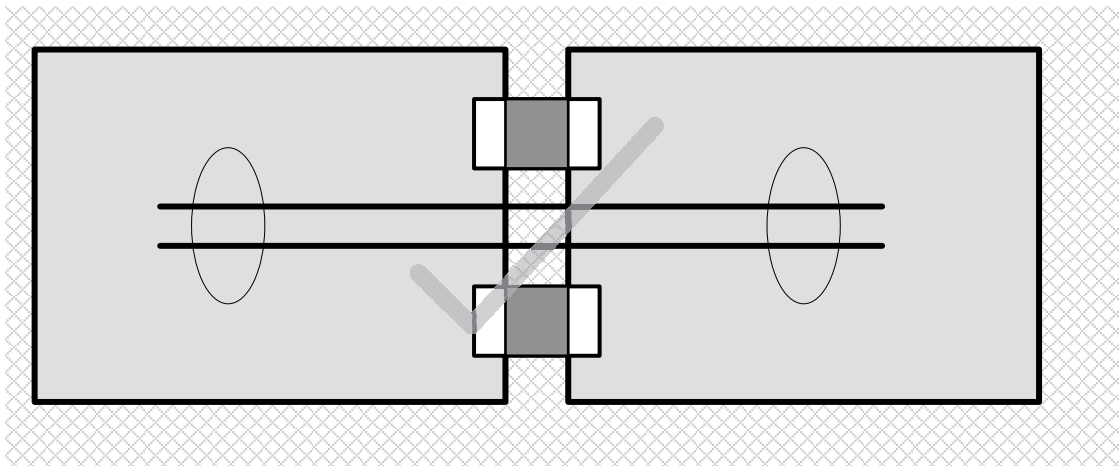


图 2-5. 拼接电容器的放置

在规划 PCB 层叠时，确保不相互参考的平面不会重叠，因为这会在重叠区域之间产生不必要的电容。要查看该电容如何将射频辐射从一个平面传递到另一个平面的示例，请参阅图 2-6。

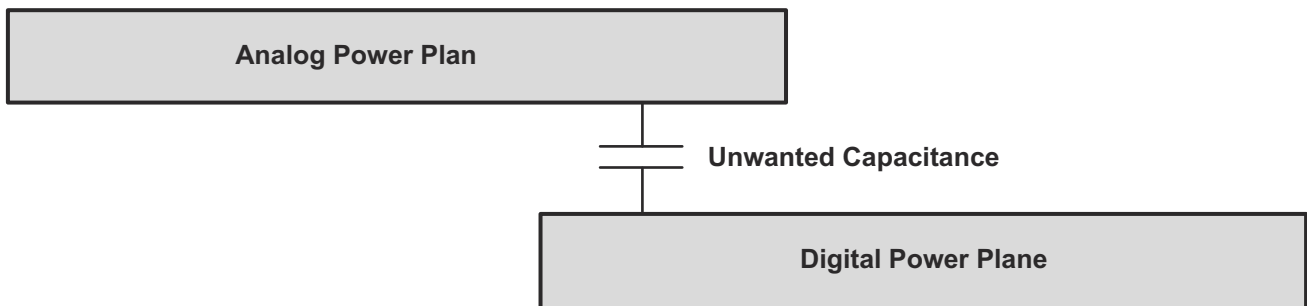


图 2-6. 重叠平面

整个高速信号布线从发起到终止应当一直使用相同的接地参考平面。如果无法做到这一点，则应通过过孔将两个接地平面拼接在一起，以提供连续接地和一致的阻抗。在信号转换过孔周围的 200mil (中心距，越靠近越好) 内对称地放置这些拼接过孔。有关拼接过孔的示例，请参阅图 2-7。

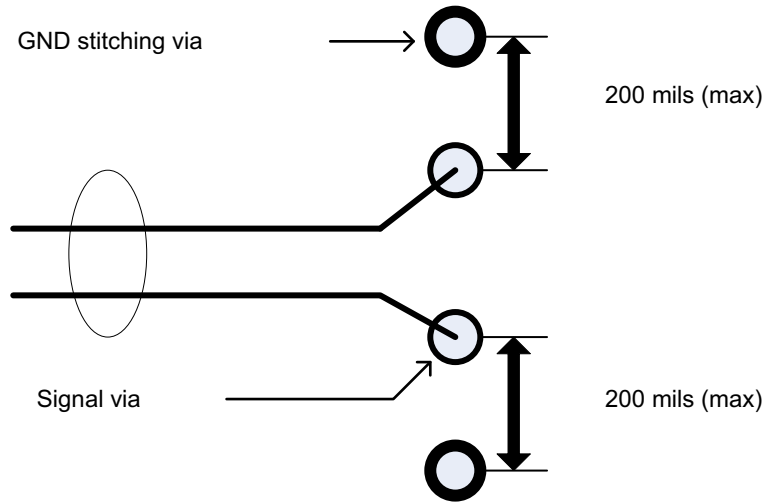


图 2-7. 拼接过孔

除非完全不可避免，否则 TI 不建议将电源平面作为高速信号的参考平面。如果无法避免，则最好使用交流耦合电容器和接地过孔以使返回信号有一条从漏极到源极的路径。

2.5 差分信号间距

为了尽量减少高速接口实现中的串扰，信号对之间的间距必须至少是布线宽度的 5 倍。此间距称为 5W 规则。对于计算出的布线宽度为 6mil 的 PCB 设计，高速差分对之间至少需要 30mil 的间距。此外，在整个布线长度上要与任何其他信号保持最低 30mil 的禁止距离。如果高速差分对与时钟或周期信号相邻，则要将此禁止距离增大到至少 50mil，确保适当隔离。有关高速差分信号间距的示例，请参阅图 2-8。

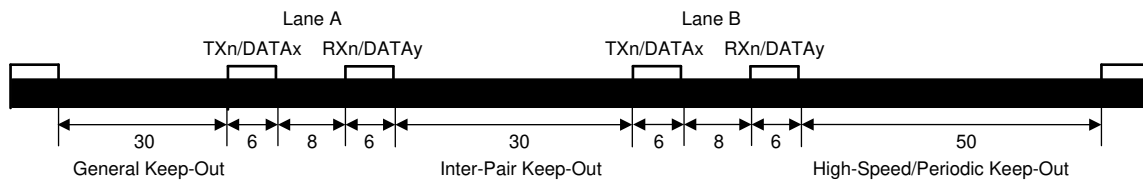


图 2-8. 差分对间距示例

2.6 附加差分信号规则

- 请勿在任何高速差分信号上放置探头或测试点。
- 请勿在晶体、振荡器、时钟信号发生器、开关电源稳压器、安装孔、磁性器件或使用/复制时钟信号的 IC 下方或附近布置高速布线。
- BGA 破孔后，使高速差分信号远离 SoC，其原因为内部状态变换时产生的高电流瞬变难以滤除。
- 如有可能，在 PCB 的顶层或底层（与接地层相邻）布置高速差分对信号。TI 不建议对高速差分信号进行带状线布线。（或建议在设计中对所有高速串行器/解串器信号进行带状线布线。这可以提供更好的受控阻抗。此外，通过在接地平面之间布置引线，可以最大限度地缓解由于 EMI 导致的信号质量下降问题。）
- 确保将高速差分信号布置在距离参考平面边缘 $\geq 90\text{mil}$ 的位置。
- 确保将高速差分信号布置在距离参考平面中的空洞至少 $1.5W$ （计算出的布线宽度 $\times 1.5$ ）的位置。当高速差分信号上的 SMD 焊盘有空洞时，此规则不适用。
- 在 SoC BGA 迂回布线之后维持一致的布线宽度，以避免传输线路中存在阻抗失配现象。
- 最大限度地减小差分对之间的间距（松散耦合）。

2.7 差分对的对称性

将所有高速差分对对称布置并使其互相平行。在封装迂回布线和布线至连接器引脚时，会自然而然地偏离这一要求。这些偏差必须尽可能短，并且封装破孔必须在封装的 0.25 英寸范围内进行。

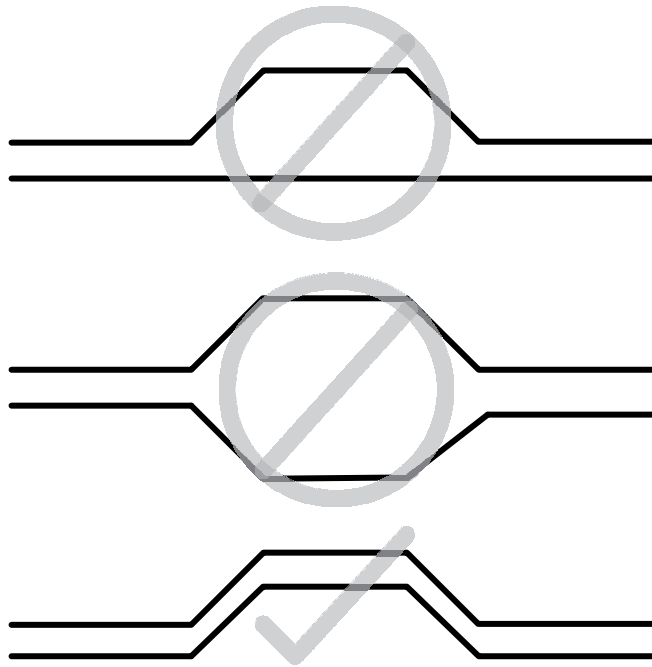


图 2-9. 差分对对称

2.8 连接器和插座

实现穿孔插座（例如 USB Standard-A）时，TI 建议在 PCB 的底层将高速差分信号连接到插座。在 PCB 底层进行这类连接可防止穿孔引脚在传输路径中起到残桩的作用。对于 USB Micro-B 和 Micro-AB 等表面贴装插座，在顶层进行高速差分信号连接。在顶层进行这些连接便不需要在传输路径中使用过孔。有关 USB 穿孔插座连接的示例，请参阅图 2-10。

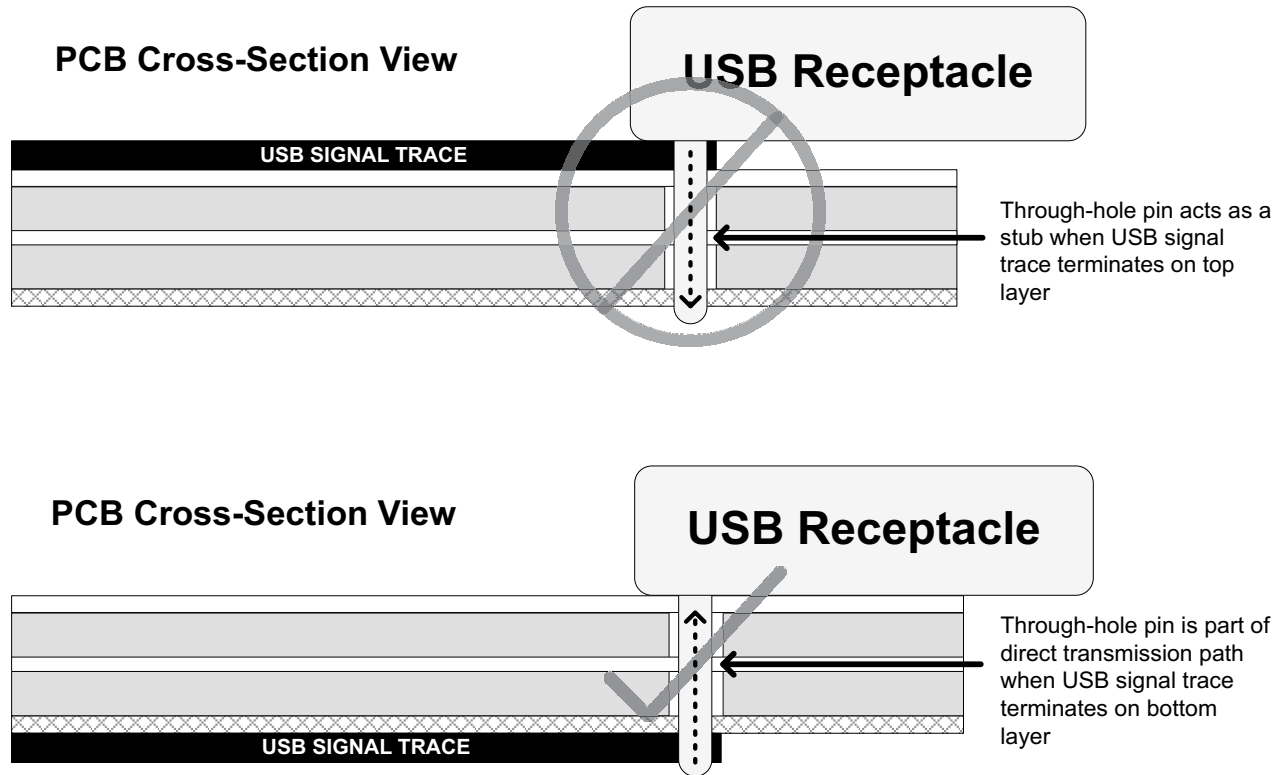


图 2-10. USB 穿孔插座连接

2.9 过孔不连续性缓解

过孔是布线中发生几何形状变化的一小段路径，可表现为电容不连续性、电感不连续性或两者兼有。由于信号会穿过过孔，这些不连续性会引起信号反射和一定的衰减。应缩短总体过孔残桩长度，更大限度地减少过孔（及相关的过孔残桩）产生的负面影响。

由于较长的过孔残桩会在较低频率下共振，并会增加插入损耗，所以应使这些残桩尽可能短。大部分情况下，与过孔对信号的影响相比，过孔残桩使信号衰减得更厉害。TI 建议过孔残桩短于 15mil。残桩较长时，必须进行背钻。

有关短过孔和长过孔长度的示例，请参阅图 2-11 和图 2-12。

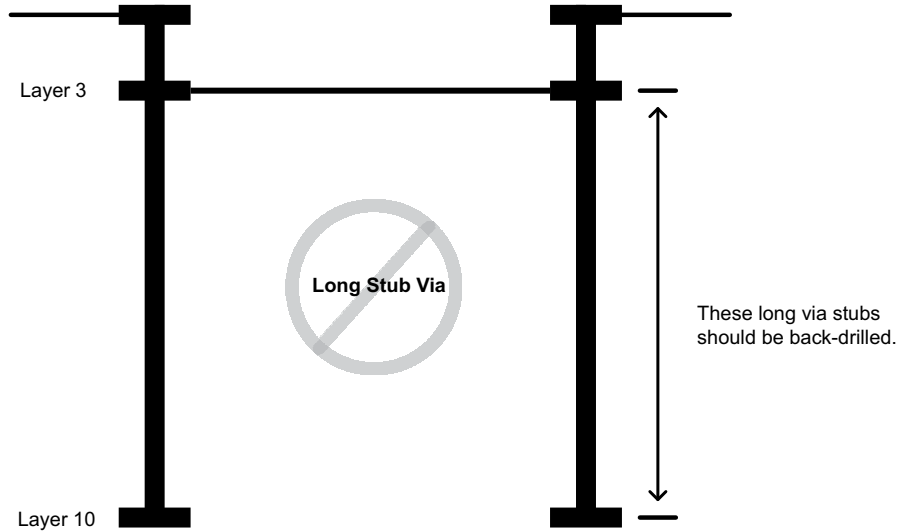


图 2-11. 过孔长度（长残桩）

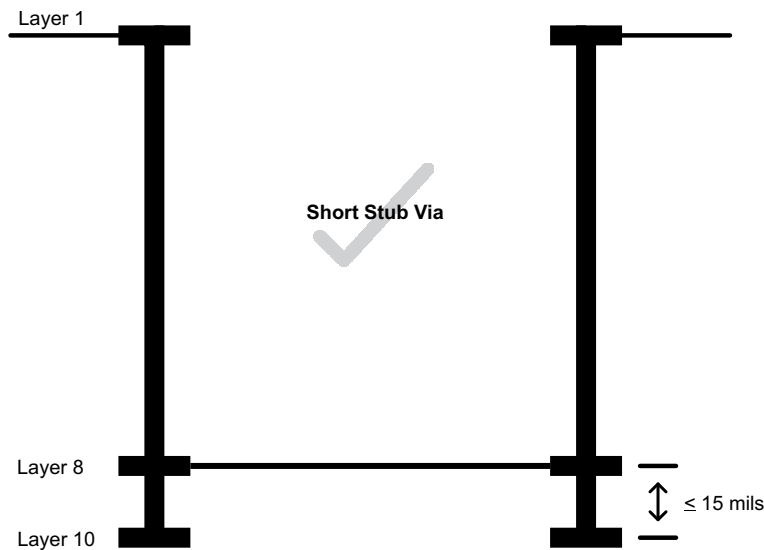


图 2-12. 过孔长度（短残桩）

2.10 背钻过孔残桩

背钻是一种 PCB 制造工艺，即去除过孔残桩中不需要的导电镀层。若要进行背钻，请使用直径比钻出原始过孔的钻头稍大一些的钻头。这要求增加过孔的反焊盘直径以适合钻孔尺寸（对于那些待移除的层），以确保其他引线或平面不会受到钻孔的影响。当过孔转换导致残桩长于 15mil 时，对产生的残桩进行背钻可减少插入损耗并确保它们之间不会共振。

2.11 过孔反焊盘直径

过孔转换是布线阻抗变化的重要来源。还需要调整不同层上过孔的反焊盘尺寸，以确保阻抗保持一致的值。反焊盘过大会导致电感效应，并相应增加布线阻抗，而反焊盘过小同样会导致电容效应，从而使整体布线阻抗下降。在存在过孔的所有层（包括布线层和平面层）上，必须留有铜间隙，即用反焊盘表示。连接到过孔套管的布线包含此区域唯一允许使用的铜；不允许使用非功能性或未连接的过孔焊盘。有关过孔反焊盘直径的示例，请参阅图 2-13。

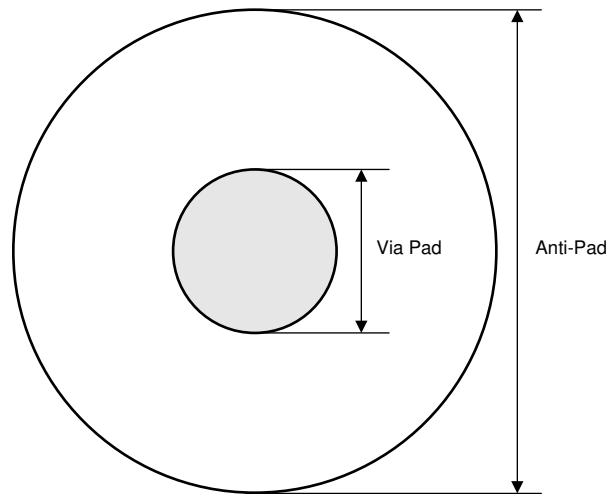


图 2-13. 过孔反焊盘示例

2.12 使过孔计数相等

如果在高速差分信号布线中需要使用过孔，确保差分对中每个成员的过孔计数相等，并且过孔的间距应尽可能相等。重要的是确保需要进行长度匹配的不同通道在其线路上拥有相同数量的过孔。在验证差分对间延迟差等参数时考虑过孔的长度。

2.13 表面贴装器件焊盘不连续性缓解

避免在高速信号布线中采用表面贴装器件 (SMD)，其原因在于这些器件会导致中断，从而对信号质量产生负面影响。当信号布线上需要 SMD (例如，USB 超高速传输交流耦合电容器) 时，允许的元件尺寸上限为 0603。TI 强烈建议使用 0402 或更小的尺寸。在布局过程中对称地放置这些元件，以提供最佳的信号质量并最大限度地减少信号反射。有关交流耦合电容器正确和错误放置的示例，请参阅图 2-14。

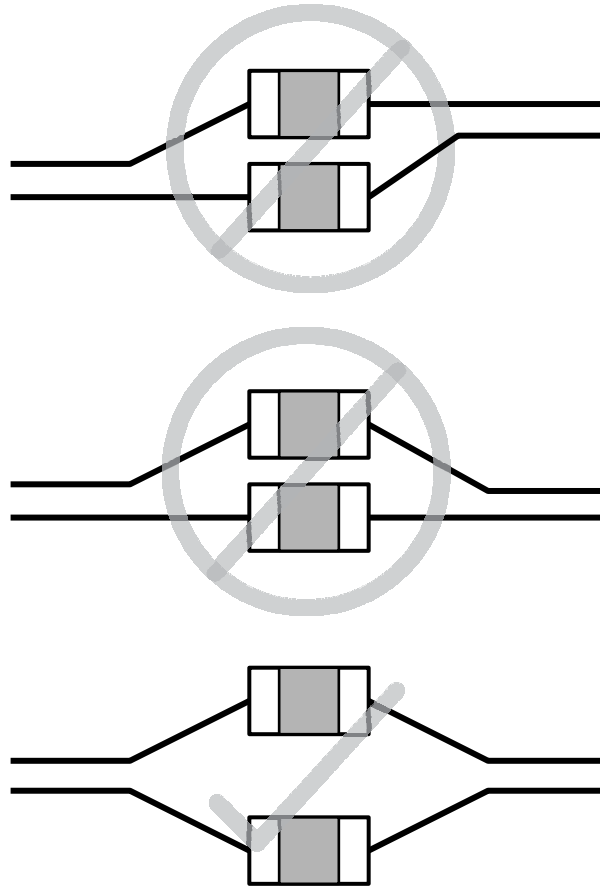


图 2-14. 交流耦合放置

为了最大限度地减少将这些元件放置在差分信号布线上所产生的不连续性，TI 建议将参考平面中 SMD 安装焊盘的空洞增加 100%。确保该空洞至少为两个 PCB 层那么深。有关表面贴装器件参考平面空洞的示例，请参阅图 2-15。

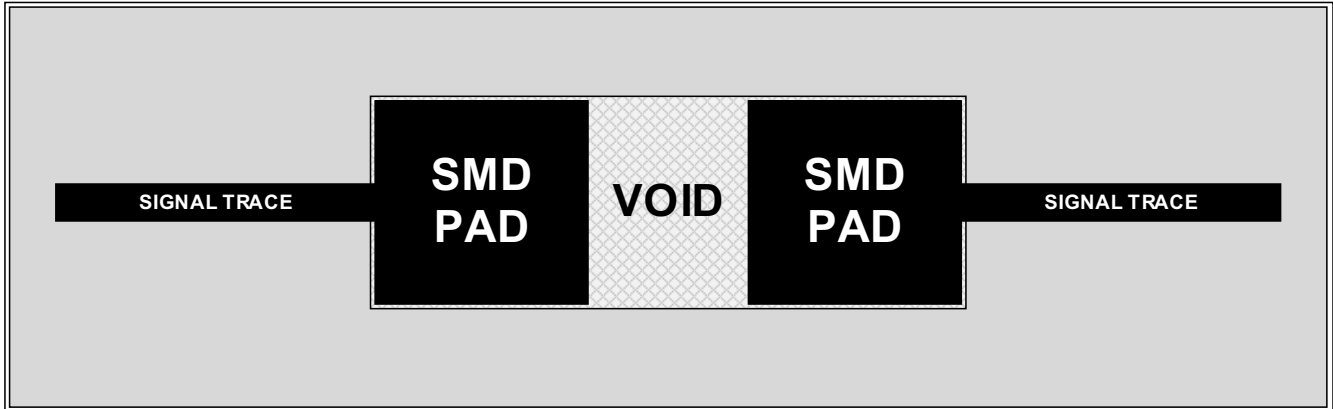


图 2-15. 表面贴装器件的参考平面空洞

2.14 信号线弯曲

避免高速差分信号线弯曲。当需要弯曲时，维持大于 135° 的弯曲角度，以确保弯曲尽可能缓和。有关高速信号线弯曲规则的示例，请参阅图 2-16。

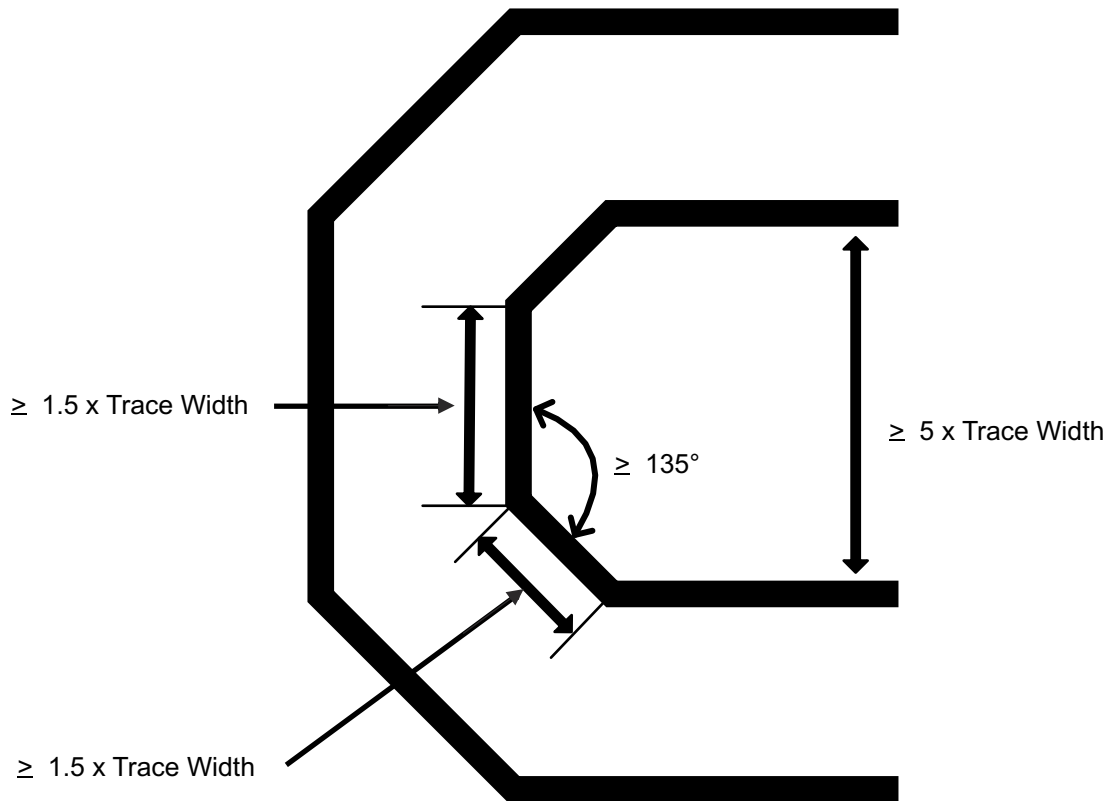


图 2-16. 信号线弯曲规则

2.15 ESD 和 EMI 注意事项

在选择 ESD 和 EMI 元件时，TI 建议选择允许 USB 差分信号对直通布线的器件，因为这些器件能够提供最干净的布线。例如，TI TPD4EUSB30 可以与 TI TPD2EUSB30 结合使用，为 USB2 和 USB3 差分信号提供直通 ESD 保护，而无需在信号对中弯曲。有关直通布线的示例，请参阅图 2-17。

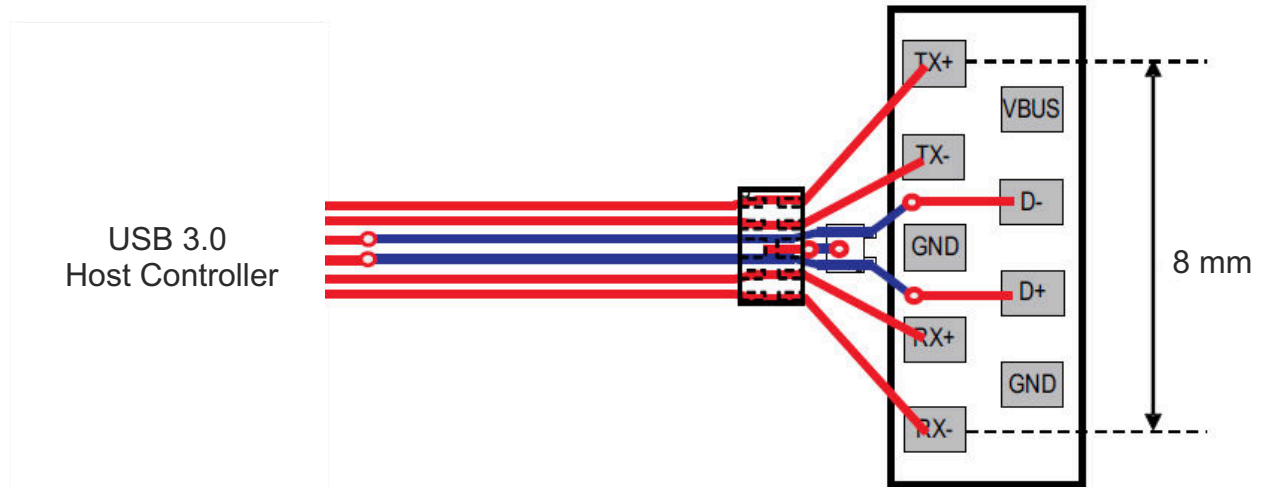


图 2-17. 直通布线

2.16 ESD 和 EMI 布局规则

- 将 ESD 和 EMI 保护器件放在尽可能靠近连接器的位置。
- 让任何未受保护的布线远离受保护的布线，以尽量减少 EMI 耦合。
- 在 ESD 和 EMI 元件信号焊盘下方留出 60% 的空隙以减少损耗。
- 将 0402 0Ω 电阻器用于共模滤波器 (CMF) 无填充选项，因为一般来说，元件越大，就会引入比 CMF 更多的损耗。
- 将所有必要的信号对交流耦合电容器放置在 CMF 的受保护侧，尽可能靠近 CMF。
- 如果需要过孔过渡到 CMF 层，请确保过孔尽可能靠近 CMF。
- 确保交流耦合电容 + CMF + ESD 保护部分的整体布线尽可能短，并尽可能靠近连接器。

3 特定于接口的设计指南

在设计系统布局时，需要考虑各种高速标准之间存在的众多差异。这些差异包括数据速率和频率、交流耦合电容器、对间延迟差、对内延迟差和布线阻抗等参数。本章的各节分别针对每种不同的高速标准进行了介绍。各节内容可用作指南，但其中包含的值并不总是准确的。

3.1 USB 电路板设计和布局布线指南

本节介绍设计通用串行总线 (USB) 系统时的指南。USB 接口通常用于板载和非板载通信，因此设计各不相同。本指南不会涵盖所有设计可能性，而只是提供一般性建议。本文档中所述的设计规则旨在满足设备模式电气合规性。不包含设备模式合规性测试所需的 3m USB 电缆和远端 11 英寸 PCB 引线的主机模式、系统 (或两者) 可能不需要本文档中显示的完整优化列表；不过，将这些优化应用于主机模式系统可实现最佳的设备模式性能。

可以使用与 USB 兼容的桥接器和开关来连接多个其他处理器或 USB 设备。

3.1.1 USB 接口原理图

USB 接口原理图不尽相同，但不同实现之间的通用连接是简单且一致的。图 3-1 说明了支持超高速的 USB 接口。器件的 USB 接口可以包括此处未讨论的其他信号，例如 usb_id、usb_vbus 和 usb_drvvbus。这些信号是低速接口，这些信号的 PCB 布局不需要任何特殊要求。

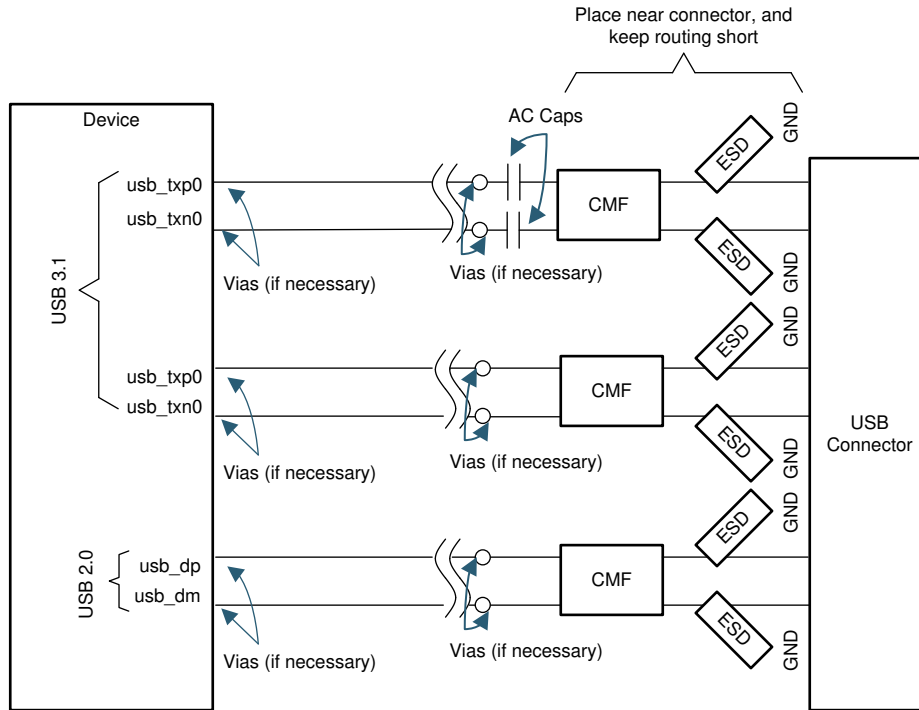


图 3-1. USB 接口概要原理图

3.1.1.1 支持元件

需要在发送超高速数据对上使用交流耦合电容器。表 3-1 显示了对这些电容器的要求。

表 3-1. USB 交流耦合电容器要求

参数	最小值	典型值	最大值	单位
PCIe 交流耦合电容器容值	175	220	265	nF
PCIe 交流耦合电容器封装尺寸		0402	0603	EIA (1)、(2)

- (1) EIA LxW 单位，例如 0402 是一种 40 × 20mil 表面贴装电容器。
- (2) 设计尽可能小的电容器物理尺寸。在并排放置的每个对中的两条线上使用相同的尺寸。

典型的 USB 接口还可能采用共模扼流圈来抑制高频噪声。由于 USB 可能连接到非板载外设，因此示例中还包括 ESD 保护。

表 3-2. USB 元件参考

器件	供应商	器件型号	备注
ESD	TI	TDP1E05U06	最大程度地减小电容
CMF	Murata	DLW21SZ900HQ2	支持目标数据速率

图 3-2 显示了 USB 3.1 超高速信号的放置图。

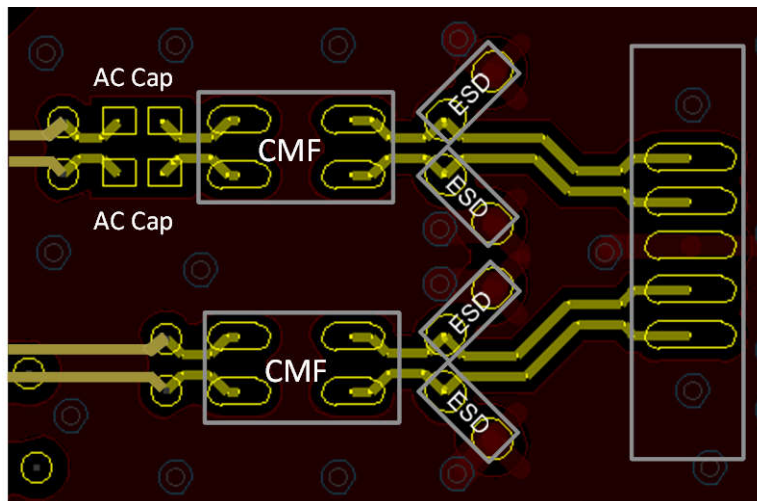


图 3-2. USB 3.1 超高速放置图

3.1.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将这些结果与节 4 中定义的仿真结果进行比较。

表 3-3. USB3.1 (超高速) 布线规格

参数	最小值	典型值	最大值	单位
USB3.1 Gen1 运行速度 (超高速信号)			2.5 ⁽¹⁾	GHz
USB3.1 信号布线长度			5000 ⁽²⁾	Mil
USB3.1 差分对延迟差			1	ps
USB3.1 差分阻抗	85.5	90	94.5	Ω
USB3.1 布线上允许的残桩数			0	个残桩
每条 USB3.1 引线上的过孔数			2	个过孔
过孔残桩长度 ⁽³⁾		20		Mil
USB3.1 差分对与任何其他引线之间的间距 ⁽⁴⁾	2×DS	3×DS		

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
- (2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (3) 在较高数据速率下运行时，可能需要过孔残桩控制。
- (4) DS = 引线的差分间距。SoC 封装 BGA 区域可能存在例外情况。

表 3-4. USB2.0 布线规格

参数	最小值	典型值	最大值	单位
USB2.0 运行速度			240	MHz
USB2.0 信号布线长度			7000 ⁽¹⁾	Mil
USB2.0 差分对延迟差			5	ps
USB2.0 差分阻抗	81	90	99	Ω
USB2.0 布线上允许的残桩数			0	个残桩
每条 USB2.0 引线上的过孔数			4	个过孔
USB2.0 差分对与任何其他引线之间的间距 ⁽²⁾	2×DS	3×DS		

- (1) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) DS = 引线的差分间距。SoC 封装 BGA 区域可能存在例外情况。

由于焊盘宽度增加，元件焊盘会产生阻抗不连续性。为了最大限度地减小阻抗不连续性，在元件焊盘下方的参考平面中形成空隙。图 3-3 提供了一个布局示例，说明“切割 GND”概念。在 TDR 图和仿真结果中可以看到参考平面空隙的前后影响。

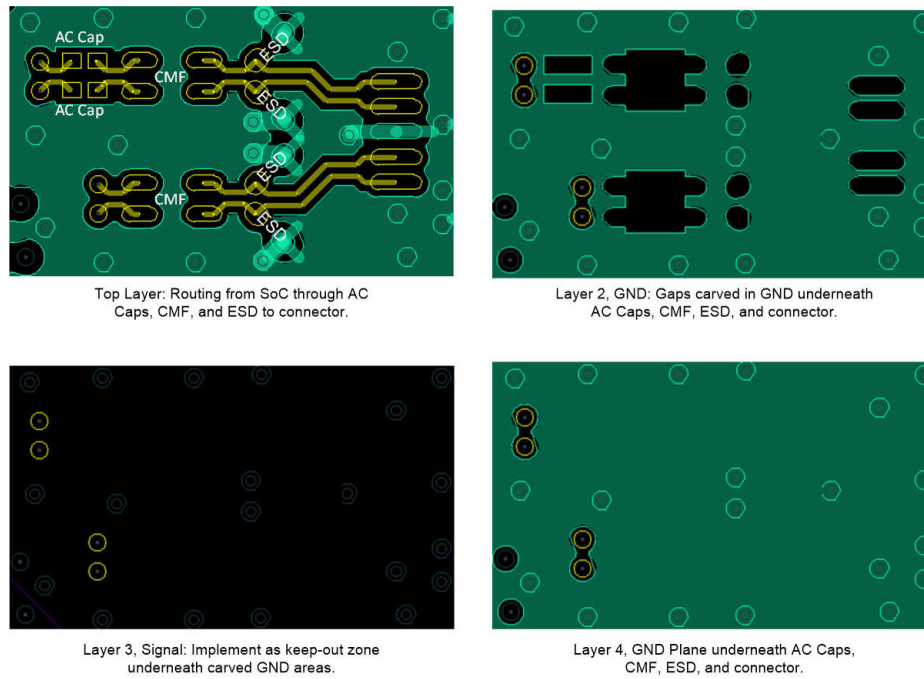


图 3-3. USB 3.1 示例“切割 GND”布局

3.2 DisplayPort 电路板设计和布局布线指南

器件上的 DisplayPort (DP) 接口符合 DP 1.3 规范。DP 信号是高速差分对，必须注意这些信号的 PCB 布局以提供良好的信号完整性。

3.2.1 DP 接口原理图

DP 接口原理图因实现的目标外设而异。实现之间的通用连接是简单且一致的。图 3-4 展示了一个典型的 DP 接口原理图。

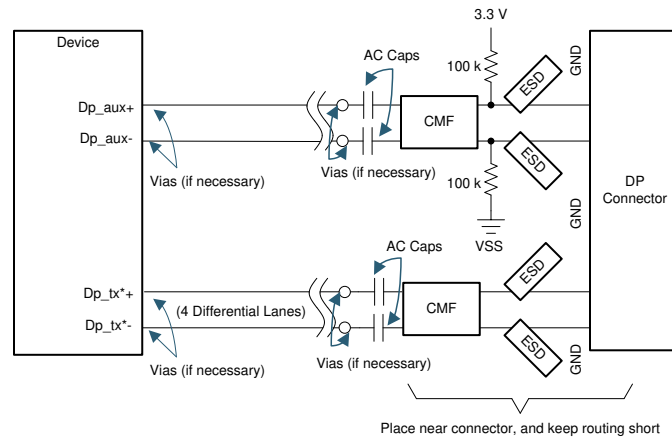


图 3-4. DisplayPort 接口概要原理图

3.2.1.1 支持元件

需要在所有 DP 数据对上使用交流耦合电容器。表 3-5 显示了对这些电容器的要求。

表 3-5. DP 交流耦合电容器要求

参数	最小值	典型值	最大值	单位
PCIe 交流耦合电容器容值	175	220	265	nF
PCIe 交流耦合电容器封装尺寸		0402	0603	EIA (1)、(2)

- (1) EIA LxW 单位，例如 0402 是一种 40 x 20mil 表面贴装电容器。
 (2) 使电容器的物理尺寸尽可能小。在并排放置的每个对中的两条线上使用相同的尺寸。

典型的 DP 接口还可能采用共模扼流圈来抑制高频噪声。由于 DP 可能连接到外部监视器，因此示例中还包括 ESD 保护。

表 3-6. DP 元件参考

器件	供应商	器件型号	备注
ESD	TI	TDP1E05U06	最大程度地减小电容
CMF	Murata	DLW21SZ900HQ2	支持目标数据速率

图 3-5 显示了 DisplayPort 接口的放置图。

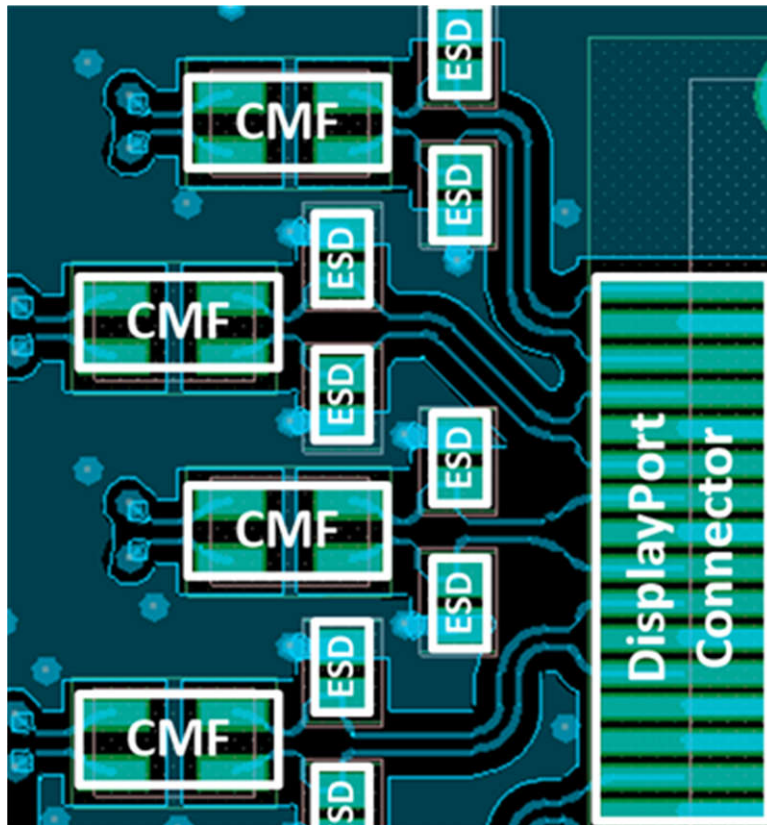


图 3-5. DisplayPort 放置

3.2.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将这些结果与节 4 中定义的仿真结果进行比较。

表 3-7. DP 布线规格

参数	最小值	典型值	最大值	单位
DP 运行速度			4.05 ⁽¹⁾	GHz
DP 信号布线长度			4000 ⁽²⁾	Mil
DP 差分对延迟差			1	ps
DP 通道延迟差 (示例 DP_TX0 至 DP_TX1)			1250	ps
DP 差分阻抗	90	100	110	Ω
DP 布线上允许的残桩数			0	个残桩
每条 DP 引线上的过孔数			2	个过孔
过孔残桩长度 ⁽³⁾		20		Mil
PCIe 差分对与任何其他引线之间的间距	2×DS ⁽⁴⁾			

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
- (2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (3) 在较高数据速率下运行时，可能需要过孔残桩控制。
- (4) DS = 引线的差分间距，SoC 封装 BGA 区域可能存在例外情况。

由于焊盘宽度增加，元件焊盘会产生阻抗不连续性。为了最大限度地减小阻抗不连续性，在元件焊盘下方的参考平面中形成空隙。图 3-6 提供了一个布局示例，说明“切割 GND”概念。在 TDR 图和仿真结果中可以看到参考平面空隙的前后影响。

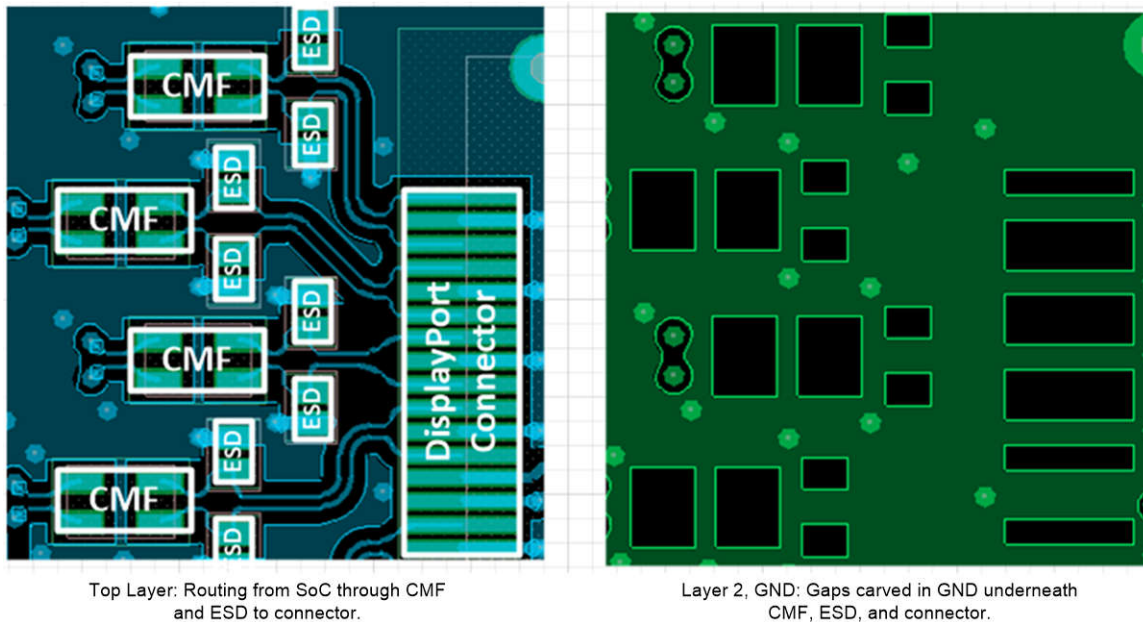


图 3-6. 示例“切割 GND”布局

3.3 PCIe 电路板设计和布局布线指南

设备上的 PCIe 接口符合 PCIe 3.0 版规范。有关所述的所有连接，请参阅 PCIe 规范。这些建议比本应用手册中的内容更具描述性并且更加详尽。也可以从 PCI-SIG (www.pcisig.com) 获取 PCIe 主板清单 1.0 文档。

以下各节包含针对官方 PCIe 规范中未描述的任何 PCIe 连接（例如板载设备到设备连接或设备到其他符合 PCIe 规范的处理器连接）的建议。

可以使用与 PCIe 兼容的桥接器和开关来连接多个其他处理器或 PCIe 设备。

3.3.1 PCIe 接口原理图

PCIe 接口原理图会有所不同，取决于所实现的通道数，也取决于基准时钟是在内部还是外部生成的。实现之间的通用连接是简单且一致的。图 3-7 说明了单通道通用 RefClk Rx 时钟架构，其中器件生成 RefClk（输出模式）。

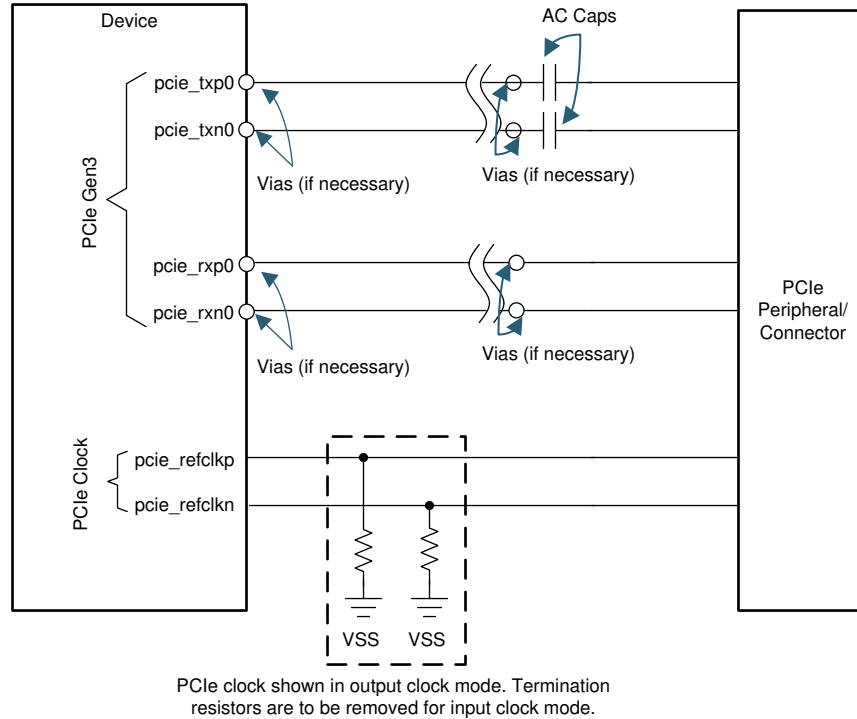


图 3-7. PCIe 接口概要原理图

备注

接收数据对上未显示交流耦合电容器，因为这些电容器通常位于 PCIe 差分对的发送端。

3.3.1.1 极性反转

PCIe 规范要求支持极性反转。这意味着对于布局目的而言，极性并不重要，因为每个信号都可以改变芯片内部裸片上的极性。这意味着通道内的极性对于布局不重要。

3.3.1.2 通道交换

PCI 接口支持通道交换，这意味着一个器件的通道 0 可以连接到第二个器件的通道 1。（这要求 TX 和 RX 信号保持分配到同一个通道。）这意味着对于布局目的而言，通道分配并不重要，因为每个通道都可以改变芯片内部裸片上的分配。这意味着通道分配对于布局不重要。

3.3.1.3 REFCLK 连接

器件 PCIe 接口需要使用通用 REFCLK Rx 架构。具体来说，支持两种通用 REFCLK Rx 架构模式：

- 外部 REFCLK 模式：通用外部 100MHz 时钟源同时分配给器件和链路伙伴
- 输出 REFCLK 模式：100MHz HCSL 时钟源由器件输出并由链路伙伴使用

在外部 REFCLK 模式下，在器件的 `refclkp` 和 `refclk` 输入上提供符合 PCIe REFCLK 交流规范的高质量、低抖动、差分 HCSL 100MHz 时钟源。或者，可以使用 LVDS 时钟源，但需满足以下附加要求：

- 在 `refclkp` 和 `refclk` 输入上组装表 3-8 中介绍的外部交流耦合电容器。
- 满足时钟源制造商的所有端接要求（并联 100 Ω 端接）。

在输出 REFCLK 模式下，器件的 100MHz 时钟可以在器件的 `refclkp` 和 `refclk` 引脚上输出，并由链路伙伴用作 HCSL REFCLK。在该模式下，两个 `refclk` 输出上都需要使用表 3-8 中介绍的外部近侧接地端接。

表 3-8. 外部 LVDS REFCLK 模式下的 REFCLKP、REFCLKN 要求

参数	最小值	典型值	最大值	单位
<code>refclkp</code> 、 <code>refclk</code> 交流耦合电容器容值		100		nF
<code>refclkp</code> 、 <code>refclk</code> 交流耦合电容器封装尺寸		0402	0603	EIA (1)、(2)

(1) EIA LxW 单位，例如 0402 是一种 40 x 20mil 表面贴装电容器。

(2) 使电容器的物理尺寸尽可能小。在并排放置的每个对中的两条线上使用相同的尺寸。

表 3-9. 输出 REFCLK 模式下的 REFCLKP、REFCLKN 要求

参数	最小值	典型值	最大值	单位
<code>refclkp</code> 、 <code>refclk</code> 近侧接地端接至值	47.5	50	52.5	Ω

3.3.1.4 耦合电容器

需要在发送数据对上使用交流耦合电容器。表 3-10 显示了对这些电容器的要求。

表 3-10. PCIe 交流耦合电容器要求

参数	最小值	典型值	最大值	单位
refclkp、refclkn 交流耦合电容器容值		100		nF
refclkp、refclkn 交流耦合电容器封装尺寸		0402	0603	EIA (1)、(2)

- (1) EIA LxW 单位，例如 0402 是一种 40 x 20mil 表面贴装电容器。
 (2) 使电容器的物理尺寸尽可能小。在并排放置的每个对中的两条线上使用相同的尺寸。

3.3.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将这些结果与节 4 中定义的仿真结果进行比较。

表 3-11. PCI-E 布线规格

参数	最小值	典型值	最大值	单位
PCIe 运行速度			4 (1)	GHz
PCIe 信号布线长度			5000 (2)	Mil
PCIe 差分对延迟差			1	ps
PCIe 通道延迟差 (示例 PCIe_TX0 至 PCIe_TX1)	无需匹配 (接收器中内置了延迟差消除功能)			
PCIe 差分阻抗	72.5	85	97.5	Ω
PCIe 单端阻抗	38	45	52	Ω
PCIe RefClk 差分阻抗	85	100	115	Ω
PCIe 布线上允许的残桩数			0	个残桩
每条 PCIe 引线上的过孔数			2	个过孔
过孔残桩长度 (3)		20		Mil
PCIe 差分对与任何其他引线之间的间距	2×DS (4)			

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
 (2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
 (3) 在较高数据速率下运行时，可能需要过孔残桩控制。
 (4) DS = 引线的差分间距，SoC 封装 BGA 区域可能存在例外情况。

3.4 MIPI® D-PHY (CSI2、DSI) 电路板设计和布局布线指南

器件上的摄像头串行接口 (CSI-2®) 和显示串行接口 (DSI®) 符合 MIPI® CSI、DSI 1.3 规范。有关规范中所述的所有连接 (尤其是“互连和通道配置”以及“附录 B 互连设计指南”章节)，请参阅 MIPI 规范。

DSI 是一种数据传输接口，通常用于连接显示面板。CSI-2 是一种数据接收接口，通常用于连接远程摄像头。从实现的角度来看，这些接口非常相似，因此归并在本节中一起介绍。

3.4.1 CSI-2®、DSI® 接口原理图

CSI-2 原理图因实现的通道数而异。每个 CSI-2 最多可以包括四个数据通道，具体取决于器件。实现之间的通用连接是简单且一致的。图 3-8 说明了使用单通道的 CSI-2 系统。

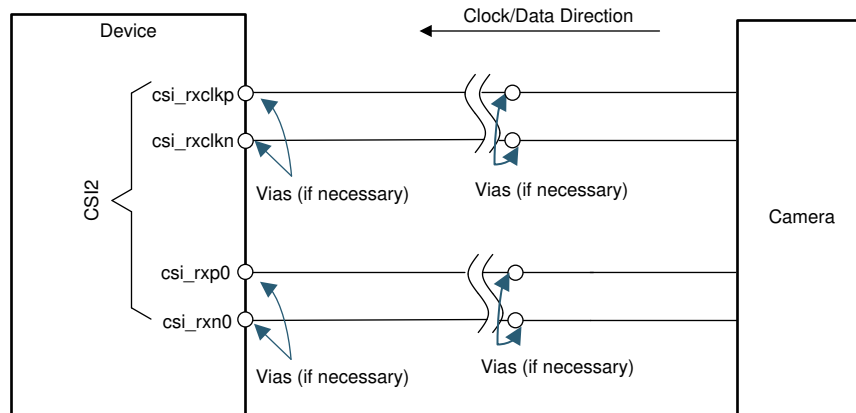


图 3-8. CSI-2® 概要原理图

DSI 原理图因实现的通道数而异。每个 DSI 最多可以包括四个数据通道，具体取决于器件。实现之间的通用连接是简单且一致的。图 3-9 说明了使用单通道的 DSI 系统。

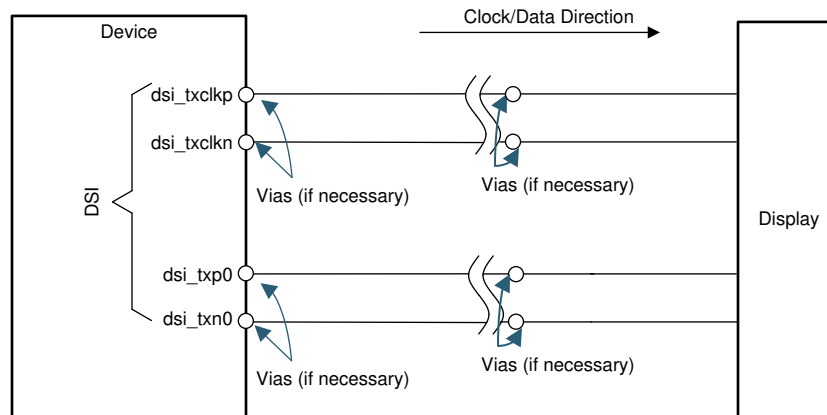


图 3-9. DSI 概要原理图

3.4.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将结果与节 4 中定义的仿真结果进行比较。

表 3-12. PCI-E 布线规格

参数	最小值	典型值	最大值	单位
CSI2/DSI 运行速度			1.25 ⁽¹⁾	GHz
CSI2/DSI 信号布线长度			10 ⁽²⁾	英寸
CSI2/DSI 差分对延迟差	必须满足模式转换 S 参数要求 ⁽³⁾			
CSI2/DSI 通道延迟差 (示例 DSI_TX0 至 DSI_TX1)			40 ⁽⁴⁾	ps
CSI2/DSI 差分阻抗 ⁽⁵⁾	85	100	115	Ω
CSI2/DSI 单端阻抗		50		Ω
CSI2/DSI 布线上允许的残桩数			0	个残桩
每条 CSI2/DSI 引线上的过孔数			2	个过孔
CSI2/DSI 差分对与任何其他引线之间的间距	2×DS ⁽⁶⁾			

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
- (2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (3) 在 MIPI D-PHY 规范中定义，包括 sdc12、scd21、scd12、sdc21、scd11、sdc11、scd22 和 sdc22。一般估算为 UI/50 (其中对于 1.25GHz，UI = 400ps)。
- (4) 由 MIPI 规范定义为 0.1 x UI (其中对于 1.25GHz，UI = 400ps)。
- (5) 由于 MIPI 信号除了用于高速差分实现之外，还用于低功耗单端信号，因此这些信号对必须松散耦合。
- (6) DS = 引线的差分间距，SoC 封装 BGA 区域可能存在例外情况。

3.4.3 频域规格指南

PCB 设计完成后，利用 3D 麦克斯韦方程求解器 (例如高频结构模拟器 (HFSS) 或等效工具) 提取 PCB 差分线路的 S 参数，并与 D-PHY 版本 v1-01-00_r0-03 的 MIPI 联盟规格的第 7 节中定义的频域规格进行比较。如果 PCB 符合频域规格，则设计完成。否则，设计需要改进。

3.5 UFS 电路板设计和布局布线指南

本节介绍设计通用闪存存储 (UFS) 系统时的指南。器件上的 UFS 接口符合 UFS 2.1 规范。UFS 接口通常用于嵌入式或可移动存储器访问。

3.5.1 UFS 接口原理图

UFS 接口原理图会有所不同，取决于所实现的通道数，也取决于存储器是嵌入式的还是可移动的。每个 UFS 接口最多可以包括两个数据通道（每个方向），具体取决于器件。实现之间的通用连接是简单且一致的。图 3-10 说明了使用单通道的 UFS 系统。TX 和 RX 信号以差分对的形式实现。REF_CLK 和 RSTN 信号是单端信号。这些单端信号是低速接口，这些信号的 PCB 布局不需要任何特殊要求。

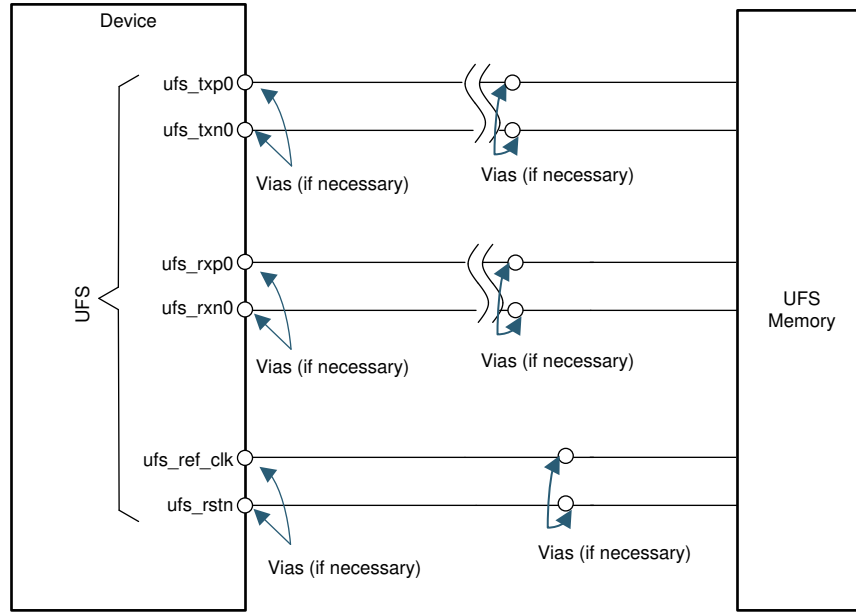


图 3-10. UFS 接口概要原理图

3.5.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将这些结果与节 4 中定义的仿真结果进行比较。

表 3-13. UFS 布线规格

参数	最小值	典型值	最大值	单位
UFS 运行速度			2.9 ⁽¹⁾	GHz
UFS 信号布线长度			4000 ⁽²⁾	Mil
UFS 差分对延迟差			2	ps
UFS 通道延迟差 ⁽³⁾ (示例 UFS_TX0 至 UFS_TX1)			300	ps
UFS 差分阻抗	85	100	115	Ω
UFS 布线上允许的残桩数			0	个残桩
每条 UFS 引线上的过孔数			2	个过孔
过孔残桩长度 ⁽⁴⁾		20		Mil
UFS 差分对与任何其他引线之间的间距	$2 \times DS$ ⁽⁵⁾			

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
- (2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (3) 单端布线相对于差分对或彼此没有延迟差要求。
- (4) 在较高数据速率下运行时，可能需要过孔残桩控制。
- (5) DS = 引线的差分间距，SoC 封装 BGA 区域可能存在例外情况。

3.6 Q/SGMII 电路板设计和布局布线指南

本节介绍设计包含串行千兆位以太网的系统时的指南。器件上的串行千兆位媒体独立接口 (SGMII) 接口通常用于与以太网 PHY 器件进行通信。四路以太网 (QSGMII) 是四个以太网 PHY 到单个串行流的组合。

3.6.1 Q/SGMII 接口原理图

实现之间的 Q/SGMII 接口连接是简单且一致的。图 3-11 说明了一个 Q/SGMII 系统。以太网 PHY 设计包括本指南中未包含的 MDIO 等其他信号。这些单端信号是低速接口，这些信号的 PCB 布局不需要任何特殊要求。

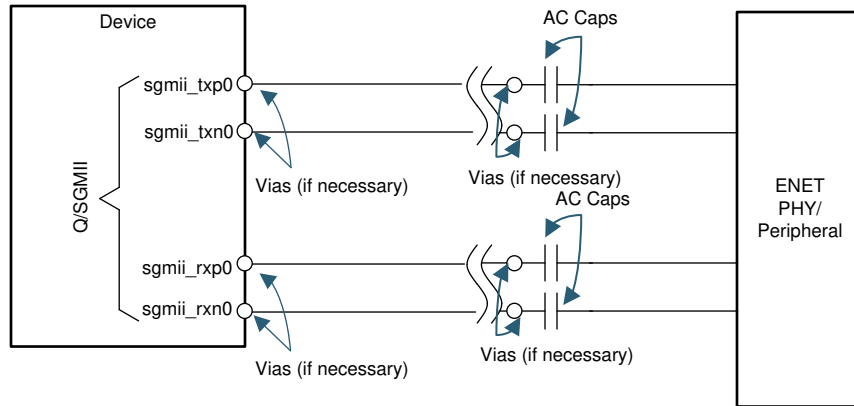


图 3-11. SGMII 接口概要原理图

3.6.1.1 耦合电容器

需要在发送和接收数据对上使用交流耦合电容器。表 3-14 显示了对这些电容器的要求。

表 3-14. Q/SGMII 交流耦合电容器要求

参数	最小值	典型值	最大值	单位
PCIe 交流耦合电容器容值		100		nF
PCIe 交流耦合电容器封装尺寸		0402		EIA (1)、(2)

- (1) EIA LxW 单位，例如 0402 是一种 40 x 20mil 表面贴装电容器。
- (2) 使电容器的物理尺寸尽可能小。在并排放置的每个对中的两条线上使用相同的尺寸。

3.6.2 布线规格

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将这些结果与节 4 中定义的仿真结果进行比较。

表 3-15. G/SGMII 布线规格

参数	最小值	典型值	最大值	单位
Q/SGMII 运行速度			2.5 ⁽¹⁾	GHz
Q/SGMII 信号布线长度			5000 ⁽²⁾	Mil
Q/SGMII 差分对延迟差			2	ps
Q/SGMII 差分阻抗	85	100	115	Ω
Q/SGMII 布线上允许的残桩数			0	个残桩
每条 Q/SGMII 引线上的过孔数			2	个过孔
过孔残桩长度 ⁽³⁾		20		Mil
Q/SGMII 差分对与任何其他引线之间的间距	2×DS ⁽⁴⁾			

(1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。

(2) 最大值基于保守的信号完整性方法。仅当详细信号完整性分析确认运行和预期一致时，才能扩展该值。

(3) 在较高数据速率下运行时，可能需要过孔残桩控制。

(4) DS = UFS 引线的差分间距。SoC 封装 BGA 区域可能存在例外情况。

4 电路板设计仿真

本节旨在概述高速串行接口的基本系统级电路板提取、仿真和分析方法。这是确保 PCB 设计满足以目标速度运行的所有要求的必要步骤。

4.1 电路板模型提取

下列板级提取指导原则适用于任何 EDA 提取工具，而非特定的工具。在完成检验标准模型提取之后，务必立即执行节 4.2 至节 4.4 中概述的步骤。运行 IBIS 仿真之前，应执行这些步骤来检查设计。

- 对于高速串行接口提取，无需在 3D-EM 求解器中同时提取电源和信号网络。仿真仅用于信号完整性。
- 使用宽带模型。建议提取频率范围为直流到至少 6 倍的奈奎斯特频率（对于 USB3.1 第 1 代，提取模型的频率上限至少为 15GHz）。
- 检查电路板堆叠，以获取准确的层厚度和材料特性。
 - 建议使用 Djordjevic-Sarkar 模型进行电介质材料定义。
- 对堆叠中所有层的信号布线使用准确的蚀刻剖面 and 表面粗糙度。
- 如果在提取之前切断电路板布局布线（以减少仿真时间），请在离信号和电源网至少 0.25 英寸的位置定义切断边界。
- 检查过孔焊盘定义。
 - 确保信号过孔上非功能性内层焊盘的建模方式与其制造方式相同。
 - TI 不建议在信号过孔上使用这些非功能性内层焊盘。
- 使用 Spice/S 参数模型（供应商通常会提供）对系统内的所有无源器件进行建模。

4.2 电路板模型验证

需要检查所提取电路板模型的以下特性：

- 无源性：这可以确保电路板模型为无源网络，不会产生能量。
- 因果性：这可以确保电路板模型遵循因果关系（先有输入，然后有输出）。

可以在任何标准 EDA 模拟器或提取引擎中执行此类检查。

4.3 S 参数检查

在提取的 S 参数被验证为具有因果性和无源性后，应检查 S 参数图。建议针对以下几点进行检查：

- 插入损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下将单端插入损耗保持在 0 至 10dB 范围内。例如，如果目标频率为 8Gbps (4GHz 奈奎斯特频率) ，则单端插入损耗应在最高达 12GHz 的频率下保持在 10dB 以下。
- 回波损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下使单端回波损耗小于 15dB。
- 近端和远端串扰 (FEXT/NEXT)：建议在最高达奈奎斯特工作频率 3 倍的频率下使 FEXT 和 NEXT 低于 25dB。

4.4 时域反射法 (TDR) 分析

许多设计修正旨在保持一致的布线阻抗，因此时域反射法 (TDR) 分析是用于评估设计质量的一种重要分析方法。该方法绘制布线的阻抗与其长度之间的函数关系。这种情况的一个示例如图 4-1 所示。

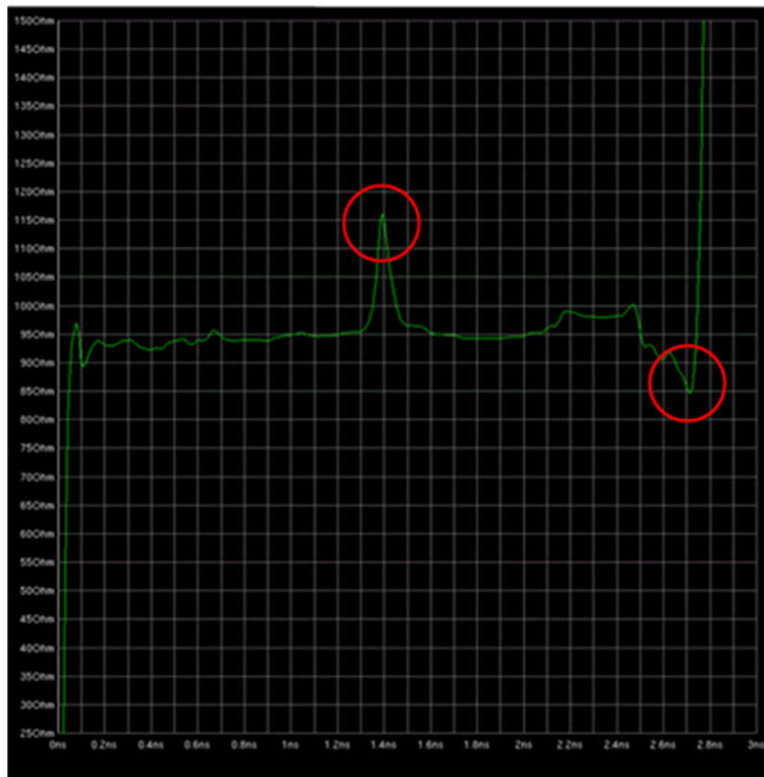


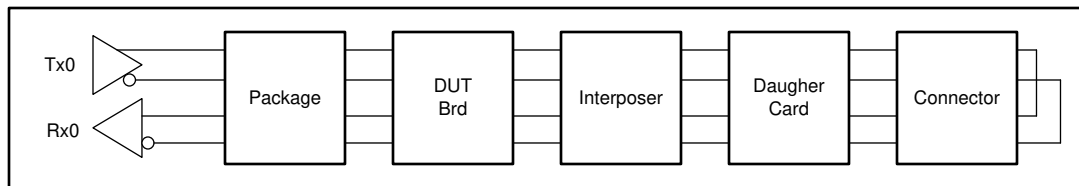
图 4-1. 阻抗不匹配的 TDR 图示例

如图 4-1 (TDR 图示例) 所示，TDR 图突出显示了布线中从一端到另一端的阻抗不连续性。此方法依赖于来自布线远端的反射波形。由于存在往返时间，图中对应于布线中特定点的延迟实际上相当于该点到源的距离的 2 倍。在评估阻抗不连续性的原因时需要考虑这一点。

可通过读取由提取工具生成的 S 参数模型并在“时域”模式下对其进行评估来生成 TDR 图。HyperLynx 等标准 EDA 模拟器可以执行此功能。建议优化设计，使其与标称布线阻抗的偏差处于 $\pm 5\%$ 以内。

4.5 仿真完整性分析

图 4-2 说明了评估高速串行器/解串器接口信号完整性的一般方法。这涉及到为串行链路运行通道仿真。该方法针对 Tx/Rx 块使用 IBIS-AMI (算法建模接口) 模型。此处介绍的基本设置可用于验证所有串行器/解串器链路，也可用于各种 EDA 信号完整性模拟器。该通道仿真应作为所有高速串行链路接口的签核检查执行。


图 4-2. 信号完整性分析设置 - 通道仿真

4.5.1 模拟器设置和模型使用

执行通道仿真时需要注意以下事项：

- 奇数模式串扰用于定义相反方向的干扰源和受扰对象开关。如果对多个通道进行仿真，则需要执行此操作。
- 需要牢记的一点是，Tx/Rx 块的抖动和噪声不应重复计算。IBIS-AMI 模型已经包含了各种抖动源，因此必须在所选的 EDA 仿真引擎中关闭在这些块中包含附加抖动的选项。

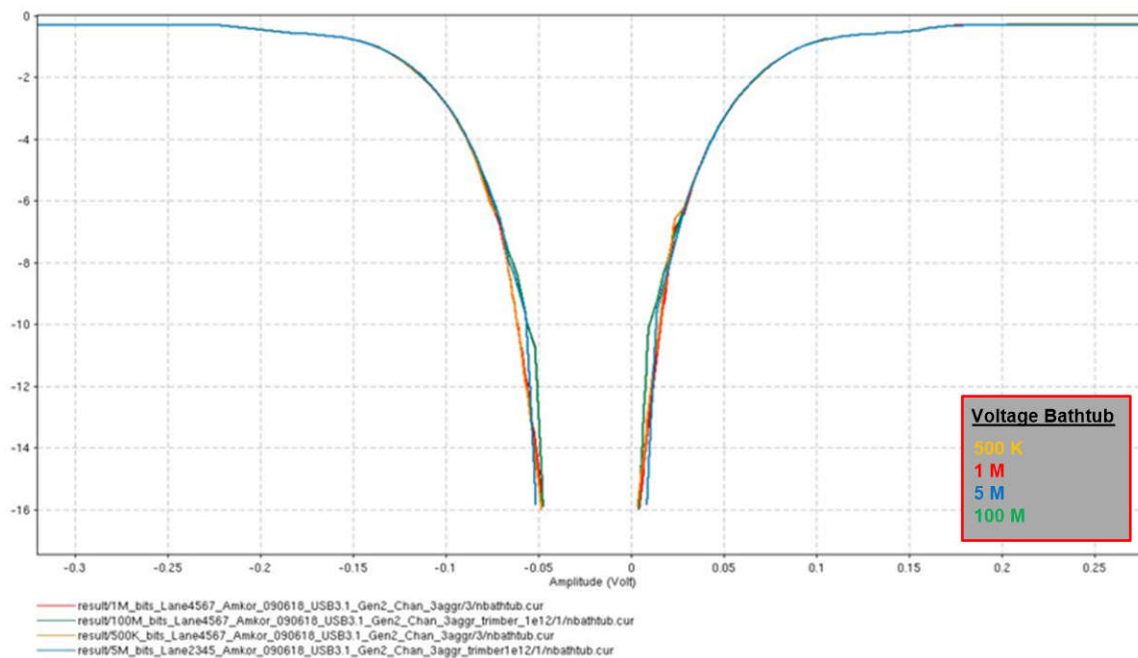
4.5.2 仿真参数

串行链路仿真涉及参数扫描：

- 工艺角：Tx/Rx 的 IBIS-AMI 模型被表征为快/典型/慢工艺角。不同的确定性和随机抖动预算通过这些工艺角内置到模型中。
- 发送器预设：这些预设特定于每个标准，控制发送器 DFE (判决反馈均衡器) 中的系数。这些预设还对发送放大器中的去加重功能等级进行建模，这是均衡不同频率上的整体系统级响应和抵消 ISI (码间串扰) 影响所必需的。建议对给定串行链路协议的所有不同发送器预设使用参数扫描和仿真。这是因为观察到的最佳眼图在很大程度上取决于系统脉冲响应，因此不同的预设可以在不同的系统上产生最佳结果。
- 数据模式：建议使用 PRBS23 或 PRBS31 模式来验证系统，以便激发更高级别的 ISI。

4.5.3 仿真方法

对于根据 BER 目标指定眼罩的接口，建议运行大约 100K 位的初始通道仿真，并观察模拟器报告的相应目标 BER 的推断浴盆曲线。可以重新运行另一个大约 500K 和 1M 位的仿真，并且可以叠加浴盆曲线，以观察运行更大位序列的影响。图 4-3 显示了叠加的电压浴盆曲线示例。可以对抖动浴盆曲线执行类似的叠加。


图 4-3. 浴盆曲线叠加

通常，应该在仿真的前 100K 位中考虑所有 ISI，并且在此点之后，如果模型中的随机抖动 (Rj) 足够小，则所有浴盆曲线应该汇聚在一起。建议通过对 100K、500K 和 1M 位序列分别运行至少一组系统级通道仿真来预先确认该汇聚。如果每个仿真的电压和抖动浴盆曲线几乎相同，则其余仿真可在 100K 位下运行以优化运行时间。

对于没有为任何特定 BER 目标指定眼罩的接口，100K 位仿真应该足够了。

4.6 查看仿真结果

前面几节中所述的通道仿真生成的结果与眼罩规格进行比较。表 4-1 总结了该眼罩。这用作系统的通过/失败检查。请注意，某些协议在不同的缓冲器类型上受到支持。请参阅器件数据手册引脚属性，以确定每个 IO 的缓冲器类型。

表 4-1. 不同标准的眼罩规格

协议	缓冲器类型	眼高 (mV)	眼宽 (pS)	注释
PCIe Gen3/4	SierraPhy	70	5	均衡后的眼罩。BER 目标 1E-12
USB3.1	SierraPhy	70	5	
DP/eDP	TorrentPhy	不适用	不适用	TP3_EQ 眼罩 (eDP_v1.4b_E1 规格的第 4.6.1 节) BER 目标 1E-09
XFI	SierraPhy	70	5	均衡后的眼罩。BER 目标 1E-12
QSGMII	SierraPhy	70	5	
	TorrentPhy	50	25	
SGMII	SierraPhy	70	5	
	TorrentPhy	50	25	
CSI (Rx)/DSI (Tx)	D-Phy	300mV/700 mV	不适用	均衡器输入端为 300mV；均衡器输出端为 700mV
UFS	M-Phy	±50mV	0.7*UI	远程/本地 EQ 后
		±45mV	0.6*UI	EQ 后的完整环回

5 参考资料

- 德州仪器 (TI) : [信号调节器和 USB 集线器高速布局指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)

6 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2019) to Revision A (June 2024)	Page
• 更新了文档标题：添加了其他器件.....	1
• 添加了 节 1.2 。.....	3

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司