

Application Note

混合迟滞控制 LLC 转换器的数字控制实现



Aki Li, Desheng Guo, Peter Luong, Chen Jiang

摘要

HHC (混合迟滞控制) 方案为应对 LLC 传统电压模式控制在满足高负载瞬态响应要求方面的挑战而生, 旨在通过模拟控制器实现出色的瞬态性能。本应用手册从软件和硬件角度讨论了有关如何使用 C2000 设计 HHC LLC 的关键实施细节。

内容

1 简介.....	2
2 HHC LLC 控制架构和逻辑图.....	2
2.1 CMPSS.....	4
2.2 EPWM.....	4
2.3 可配置逻辑块 (CLB).....	4
3 HHC LLC 中的 C2000 配置.....	4
3.1 CMPSS 配置.....	4
3.2 EPWM 配置.....	5
3.3 CLB 配置.....	5
4 系统控制方法.....	7
4.1 软启动.....	7
4.2 突发模式控制.....	9
4.3 最小和最大钳位频率.....	9
5 谐振电容器电压检测设计.....	10
6 总结.....	11
7 参考资料.....	11
8 修订历史记录.....	12

商标

所有商标均为其各自所有者的财产。

1 简介

电压模式控制通常用于 LLC 谐振转换器，其中输出电压环路直接控制开关频率。不过，由于使用电压模式控制的 LLC 转换器的频率响应表现出非常复杂的多极点特性，并且极点位置随输入电压和负载条件的变化而变化，因此补偿设计相对具有挑战性。[1]

随着电源应用对负载瞬态响应的要求越来越高，在 LLC 转换器中，HHC（混合迟滞控制）或电流模式控制等一些控制方法赢得了越来越多的关注。HHC 方案旨在通过克服充电控制的弊端，并通过增加频率斜坡补偿来避免出现不稳定的情况，实现出色的瞬态性能 [2]。该方案将 LLC 被控对象传递函数更改为等效的一阶系统，其特征是交叉频率相对稳定且直流增益变化小，这使得环路设计很容易实现更高的带宽，并且具有足够的相位裕度。

UCC25640x 系列等模拟控制器是采用 HHC 控制方案的成熟设计，在市场中得到广泛应用。然而，长期以来，市场上一直存在使用数字控制器实施 HHC LLC 控制方案的要求，尤其是在服务器 PSU 领域，因为服务器 PSU 需要使用数字控制器来实现更灵活的系统设计。本应用报告讨论采用新款 F2800x C2000 器件的 HHC LLC 方案的设计细节。PMP41081 参考设计中提供了更多详细信息，而且最新的 C2000Ware Digital Power SDK 中提供了此设计的软件。

2 HHC LLC 控制架构和逻辑图

图 2-1 是采用 HHC 方案的 LLC 转换器的简化原理图。与电压模式控制相比，该方案需要检测谐振电容器 (VCR) 的电压并控制 HHC 的摆幅幅度，HHC 作为电压控制环路之外的内部环路。与峰值电流控制类似，VCR 控制用于控制从谐振回路传输到 LLC 输出的能量。对于 VCR 检测电路，还可以利用现有的电流检测变压器，稍后的章节对此进行了说明。

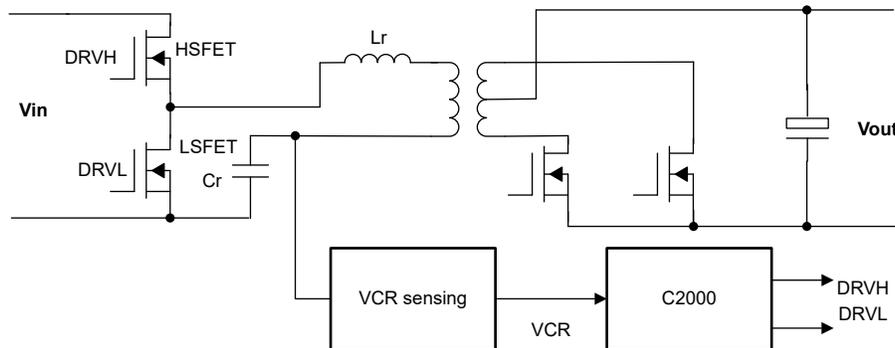


图 2-1. HHC LLC 原理图

图 2-2 展示了 C2000 MCU 内的 HHC 控制架构，其中包括外部电压环路和基于硬件的 VCR 环路。电压环路补偿器根据所检测电压和基准电压的误差，为比较器子系统模块 (CMPSS) 的斜坡发生器生成控制值。CMPSS 将检测到的 VCR 电压与斜坡发生器值进行比较，并生成事件来控制高侧 FET 的 PWM 信号。CLB 用于通过来自高侧 PWM 的特定逻辑为低侧 FET 创建 PWM 信号。

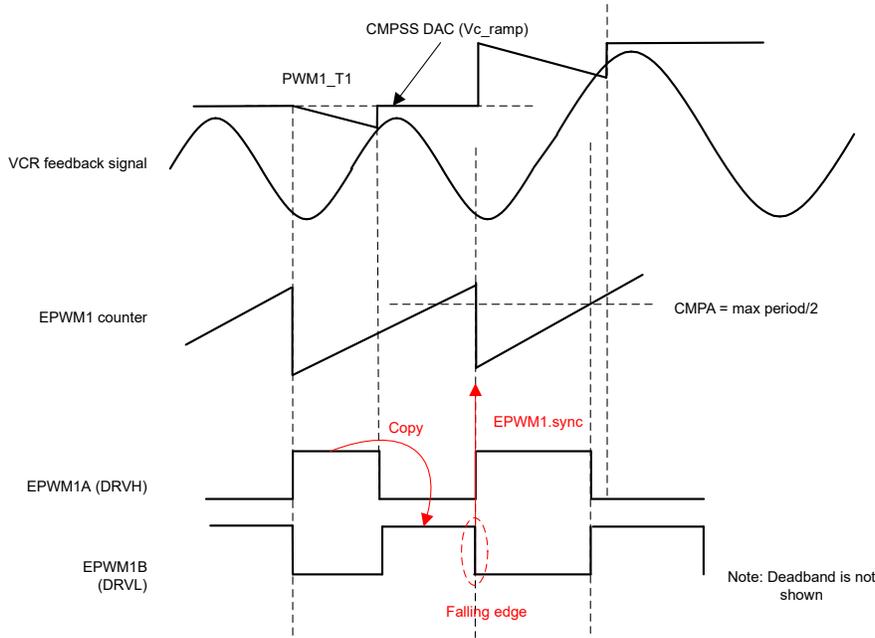


图 2-2. HHC LLC 控制架构

与以固定开关频率运行的降压、升压或相移全桥拓扑中的传统峰值电流模式控制不同，HHC LLC 可针对可变开关条件实施峰值电流模式控制。图 2-2 展示了 HHC 开关波形。当 VCR 电压上升且触发了比较器事件时，可以关断高侧 FET，并可以导通低侧 FET。在后半个周期中，低侧 FET 的导通时间与高侧 FET 保持相同。与峰值电流模式控制类似，增加了补偿斜率，以便在 VCR 摆幅非常小的时候，在轻负载时使控制环路保持稳定。

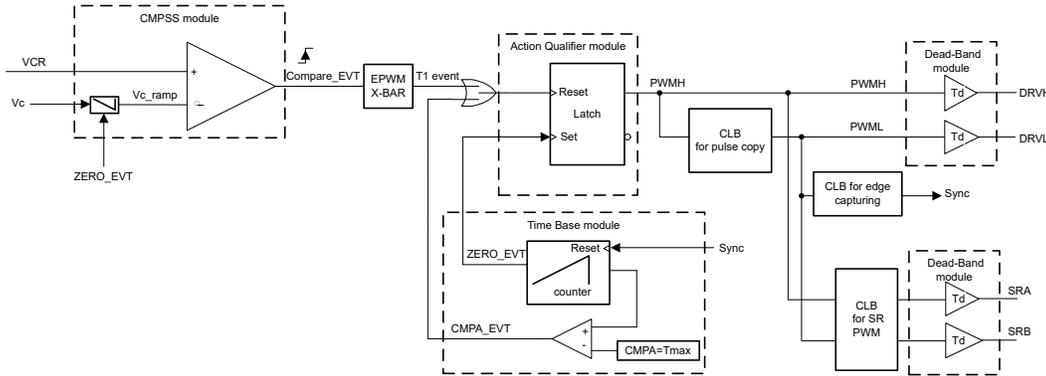


图 2-3. C2000 内系统控制逻辑的方框图

图 2-3 展示了 HHC 控制逻辑的方框图，其中主要包括 C2000 的三个外设。

2.1 CMPSS

CMPSS 模块接收由电压环路 ISR (中断服务例程) 计算的控制值 (Vc), 并设置为内部斜坡发生器的初始值, 该初始值可根据斜率设置提供下降斜率 VCR 限制值 (VC_RAMP) 作为 DAC 值。CMPSS 模块比较 VCR 的模拟信号, 并生成触发事件 (COMPARE_EVT), 以便通过 ePWM X-BAR 触发 ePWM 模块。

2.2 EPWM

动作限定器 (AQ)、时基 (TB) 和死区 (DB) 的所有子模块都属于 C2000 中的 ePWM 外设, 在 HHC 控制逻辑中发挥不同的作用。DB 模块通常用于在高侧和低侧 PWM 之间插入死区。死区也可用来调整占空比, 并且通过将死区设置为较大的值可关断 PWM。AQ 模块主要用作 RS 触发器, 并在 T1_event 发生时将 PWMH 设置为低电平, 这与 ePWM XBAR 之前的 COMPARE_EVT 相同。TB 模块用于设置 PWMH 的最大导通时间 (Tmax), 这是指最小开关频率的设置。当时基计数器等于 CMPA 值时, CMPA_EVT 事件也可以将 PWMH 清除为低电平。

2.3 可配置逻辑块 (CLB)

一个 CLB 模块用于生成从 PWMH 至 PWML 的对称脉冲, 并为所有 ePWM 模块生成同步事件以开始下一个开关周期。使用另一个 CLB 模块为次级 FET 创建 SR PWM 信号, 该信号独立于 HHC 控制。

3 HHC LLC 中的 C2000 配置

3.1 CMPSS 配置

为了避免次谐波振荡, 需要在内部电流环路中引入斜率补偿 [1]。对于 C2000 器件, 每个 CMPSS 都提供专用于斜率补偿的斜坡发生器。如图 3-1 所示, 斜坡发生器为高基准 12 位 DAC 生成下降斜坡波形, 作为 CMPSS 的负输入。使用从电压控制环路补偿器计算出的值来确定斜坡寄存器 RAMPSTS 的初始值。收到选定的斜坡源信号 (在本例中为 EPWM1SYNCPER) 后, 就会在每个后续 CPU 周期从 RAMPSTS 中减去定义的斜率值。此外, 为了滤除 VCR 信号上的意外噪声, 建议启用数字滤波器, 这有助于避免因开关噪声而引起意想不到的比较器操作。因为无论同一开关周期内是否有任何进一步事件, 锁存功能可确保只有第 1 个比较器事件才会生效, 所以建议选择 CMPSS 的锁存输出选项来进行进一步的 PWM 控制。为了在新开关周期内监控 VCR 信号, CMPSS 的锁存输出状态需要通过同一个 EPWMxSYNCPER 信号来清除。

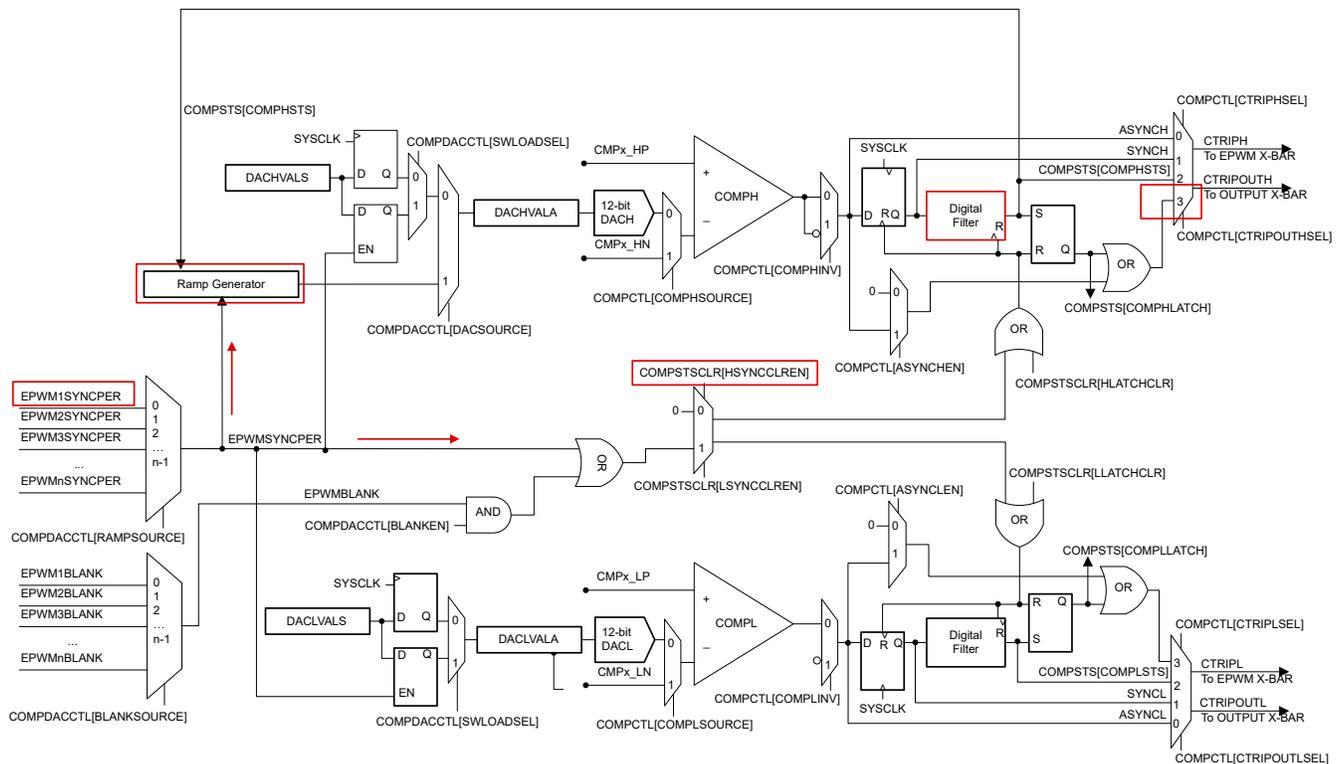


图 3-1. CMPSS 方框图

3.2 EPWM 配置

EPWM 的动作限定器 (AQ) 子模块配置为 RS 锁存器，该锁存器仅控制高侧 FET 的行为。在此示例中，如图 2-2 所示，在 AQ 模块内，EPWM1A 配置为在 CTR = 0 事件时设置为高电平，并在 VCR 信号与 CMPSS 斜坡值相交时在比较器事件中清除低电平。要将比较器事件与 ePWM 关联，最新的 4 类 ePWM 提供了选项，可选择比较器事件作为 AQ 模块 T1 事件的源。请注意，因为 TZ 子模块是 ePWM 的最后一级，因此不能在具有死区 (DB) 模块的 EPWM1A 和 EPWM1B 之间增加死区时间，而 AQ 模块就在 DB 模块之前，所以使用跳闸区 (TZ) 模块进行峰值电流模式控制的传统跳闸动作不适用于这种情况。有关新的 T1/T2 功能的更多详细信息，请参阅技术参考手册。

对于 EPWM1B，需要生成与 EPWM1A 相同的脉冲宽度来实现对称控制。在目前的 EPWM 功能中，很难确保 EPWM1B 自动具有相同的脉冲宽度。因此，在此设计中使用 CLB 模块为 EPWM1B 生成 AQ 输出信号。

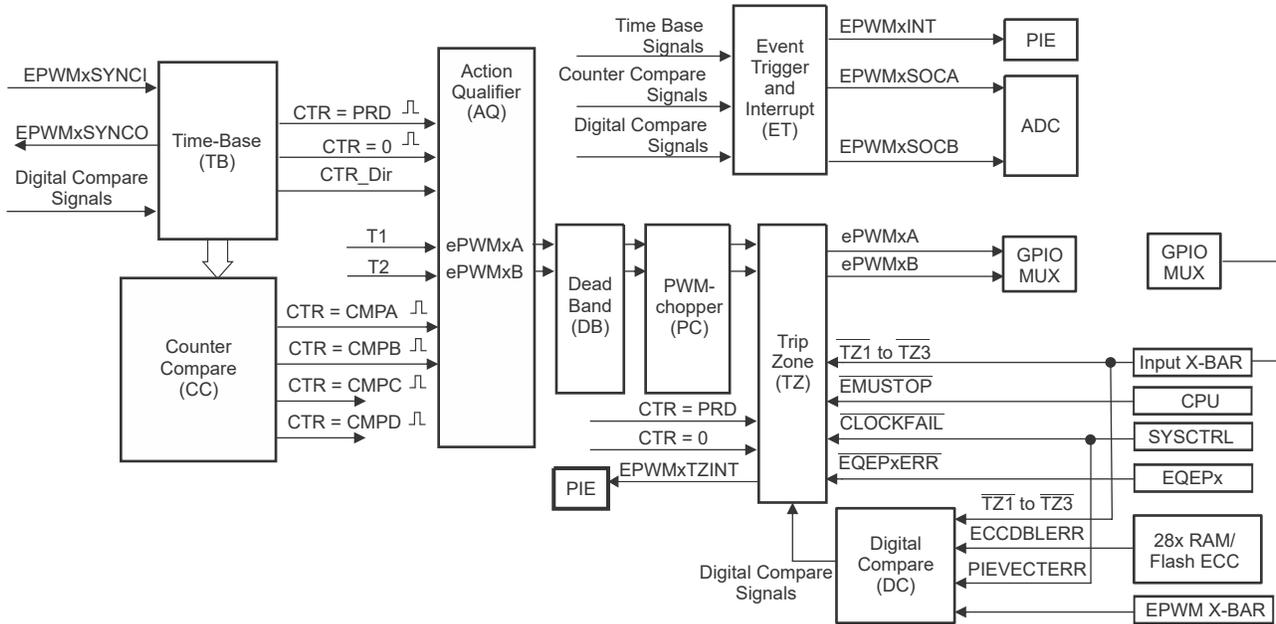


图 3-2. 动作限定器子模块

3.3 CLB 配置

CLB 是 C2000 MCU 上的外设，包含若干查询表 (LUT)、有限状态机 (FSM) 和计数器，可配置用来执行复杂逻辑运算。LUT 子模块可用于实现简单的组合逻辑，例如使信号反相或对多个信号进行“与”操作。FSM 子模块可用于实现基于状态的逻辑，例如 SR 锁存器。计数器子模块包含一个 32 位计数寄存器，可用于执行一些运算，例如计算信号处于高电平的周期数以及对时钟信号进行分频。将这些子模块互连可以在各种应用中实现许多不同的功能。每个 CLB 逻辑块包含一个高级控制器 (HLC)，可由 CLB 内的信号触发来执行预设的指令。这些指令包括添加寄存器、减去寄存器、在 CLB 中的寄存器之间移动数据、向 CPU 发送中断信号以及向 CPU 发送数据和从 CPU 接收数据。

在 HHC LLC 设计中，需要 2 个 CLB 逻辑块。对于同步整流 (SR) 控制，因为比较器事件决定了初级侧 PWM 的关断时序，所以挑战在于如何提前使用正常的 EPWM 配置来定义 SR PWM 的导通时间。因此，使用 CLB 来简化 HHC LLC 的 SR 控制。有关更多详细信息，请参阅 [利用 CLB 实现基于硬件的同步整流控制](#)。

对于初级侧 PWM 配置，CLB 用于确保高侧和低侧 PWM 信号 (EPWM1A 和 EPWM1B) 的脉冲宽度相同。如图 3-3 所示，CLB 用于根据 EPWM1A 的 AQ 模块输出信号为 EPWM1B 生成 AQ 模块输出信号。EPWM1A 的 AQ 模块输出信号用于控制 CLB 计数器的计数器方向，该计数器可在 EPWM1A 清除低电平后开始递减计数。通常使用的方法是生成对称计数器信号。然后，通过利用 EPWM1A 的下降沿和计数器 = 0 事件，FSM 可生成 EPWM1B 的预期信号。

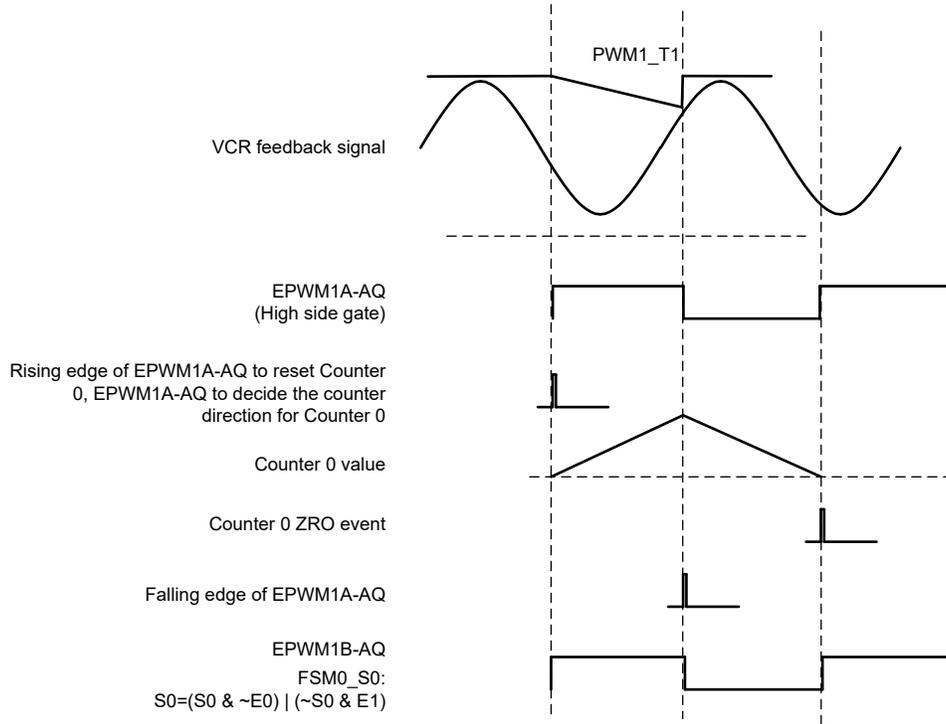


图 3-3. 初级侧 PWM 的 CLB 逻辑

如表 3-1 所示，可以通过使用 CLB 多路复用器输出使能寄存器 `CLB_OUT_EN` 将 `FSM0_S0` 直接分配到 CLB1 模块的输出 5，从而使用 `FSM0_S0` 来覆盖 EPWM1B 的 AQ 模块输出。

表 3-1. CLB 输出信号多路复用器

CLB 输出	CLB 输出	CLB1Destination	CLB2Destination	CLB3Destination	CLB4Destination
0	OUTLUT0	EPWM1A	EPWM2A	EPWM3A	EPWM4A
1	OUTLUT1	EPWM1A_OE	EPWM2A_OE	EPWM3A_OE	EPWM4A_OE
2	OUTLUT2	EPWM1B	EPWM2B	EPWM3B	EPWM4B
3	OUTLUT3	EPWM1B_OE	EPWM2B_OE	EPWM3B_OE	EPWM4B_OE
4	OUTLUT4	EPWM1A_AQ	EPWM2A_AQ	EPWM3A_AQ	EPWM4A_AQ
5	OUTLUT5	EPWM1B_AQ	EPWM2B_AQ	EPWM3B_AQ	EPWM4B_AQ
6	OUTLUT6	EPWM1A_DB	EPWM2A_DB	EPWM3A_DB	EPWM4A_DB
7	OUTLUT7	EPWM1B_DB	EPWM2B_DB	EPWM3B_DB	EPWM4B_DB

请注意，要将上升沿延迟添加到 EPWM1B 最终输出信号，首先使 CLB 生成的 FSM 输出反相，然后可以在 DB 模块内启用下降沿延迟。

此外，还需要在 EPWM1B 的下降沿为 EPWM1 模块生成同步事件，这可通过将 `FSM_S0` 输出路由到 CLB 输出（输出 4），然后通过 EPWM X-BAR 配置同步方案来实现。

图 3-4 展示了完成的 CLB 配置方框图。

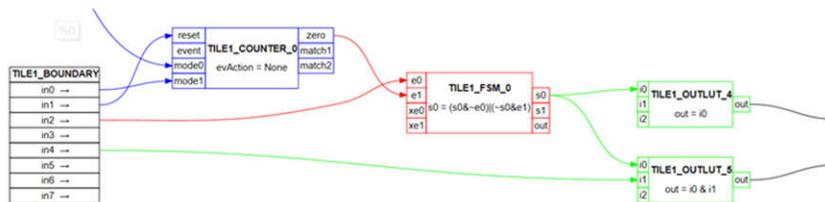


图 3-4. CLB 配置图

4 系统控制方法

由于 HHC LLC 控制不直接控制开关频率，因此需要采用不同的方式来控制系统，特别是在软启动、突发模式和频率钳位方面。

4.1 软启动

软启动过程旨在通过受控的压摆率升高输出电压，从而可避免 LLC 的初级侧和输出侧出现电流浪涌。图 4-1 总结了软启动流程。

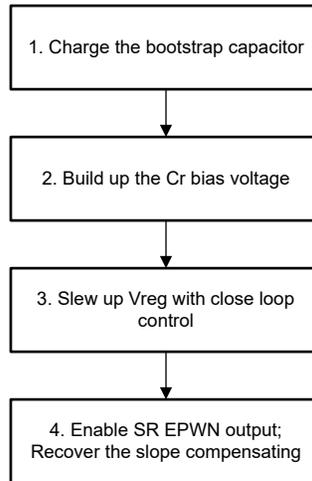


图 4-1. 软启动流程

在软启动的第一级，由于半桥为高侧栅极驱动器使用自举电源，因此需要导通低侧 FET 来为自举电容器充电。此充电脉冲会比驱动器的导通延迟长得多，并确保自举电容器完全充好电。

正如节 3.3 中所述，由于低侧 PWM (EPWM1B) 是由高侧 PWM (EPWM1A) 生成，因此不能单独将 EPWM1B 设置为高电平。为了生成到 EPWM1B 的自举脉冲，并使 EPWM1A 保持为低电平，PWML 的 CLB 包含了另一个输入来处理自举逻辑。如图 3-4 所示，利用具有 GPREG 位 (输入 4) 的 CLB 输入为 EPWM1B 创建 FSM0_S0 的与逻辑，以便无论 EPWM1A 状态如何，将 GPREG 位更改为逻辑“0”都可以将 EPWM1B 设置为高电平。用户可以根据系统要求定义 EPWM1B 的导通时间时序，同时在配置的 DB 模块中使用较大的上升沿延迟使 EPWM1A 保持低电平。

在第二级，需要将谐振电容器电压偏置到输入电压的一半，因为对于半桥 LLC 而言，HHC 控制算法中不包括 VCR 的偏移量。可通过高侧和低侧开关的多个对称脉冲形成此偏置电压。对称脉冲可通过较大的补偿斜率来生成，从而将 HHC 变为使用传统的频率调整来实现电压模式控制。

然后，在第三级，通过闭环路控制来调节输出电压，并逐渐将电压基准从 0V 增加至 12V。当基准电压转换到目标设置电压时，软启动过程完成。稍后的章节将详细介绍这一级的控制方案。

第四级是正常运行的开始。请注意，禁用 SR PWM 输出以避免在软启动过程中出现任何意外的反向电流，并扩大初始斜率补偿来维持稳定性控制。在这一级中，可以通过将 EPWM 的死区时间逐渐减少到最小设置值来缓慢导通 SR PWM 输出。此外，在这一级中，斜率和最小钳位频率值都会逐渐恢复。

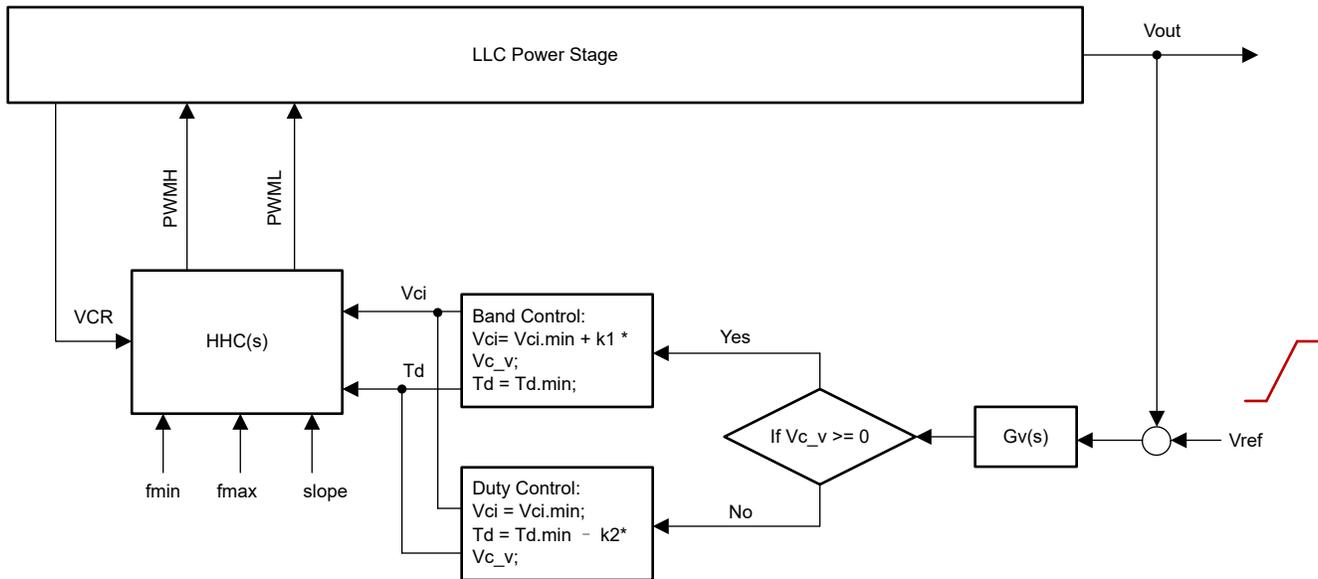


图 4-2. 软启动期间的控制算法

可以调整 HHC 控制算法中的五个控制参数，如图 4-2 所示。

1. 控制带, V_{ci}
2. 初级侧 EPWM 的死区时间, T_d
3. 补偿斜率, $slope$
4. 最小钳位频率, f_{min}
5. 最大钳位频率, f_{max}

在软启动过程中，包括死区时间调整，以便在输出电压不够高时减小浪涌电流。图 4-2 展示了死区时间和控制带调整的混合控制。当电压环路的补偿器输出 V_{c_v} 大于 0 时，死区时间 T_d 设置为最小值，并且控制带 V_{ci} 从最小边界开始增大。当 V_{c_v} 小于 0 时， V_{ci} 设置为最小值， T_d 从最小设置值开始增大。此外，如果实际应用需要钳制 PWM 脉冲的最短导通时间，则可以设置最大死区时间限制来实现此功能。这意味着，如果计算出的死区时间大于最大值，则直接关闭 PWM 输出，从而自然地进入突发模式控制。

在第三级，补偿斜率临时增大到一个更大的值，从而避免振荡并使控制环路保持稳定。 V_{ci} 达到最大限制后，斜率将减小 1 个单位，并可在软启动后逐渐降至目标值。

此外，在软启动开始时，最小开关频率钳位 f_{min} 会暂时增大至高于谐振频率，这可用于避免在输出电压不够高时进入电容区。而且，最大频率也会暂时增大，从而获得更低的电压增益。在软启动期间或之后，最小和最大钳位频率都会逐渐降至正常值。

4.2 突发模式控制

在软启动之后的正常运行条件下，实施突发模式控制，从而降低轻负载或无负载条件下的控制增益。与软启动中的控制方案不同，PWM 的死区时间值仅使用两个固定值（一个正常值，一个较大的值），用于禁用 PWM 输出。因此，与图 4-2 中的控制算法相比，当 V_{c_v} 低于 0 时，该方案通过将死区时间设置为最大值来消除占空比调整模式，如图 4-3 所示。

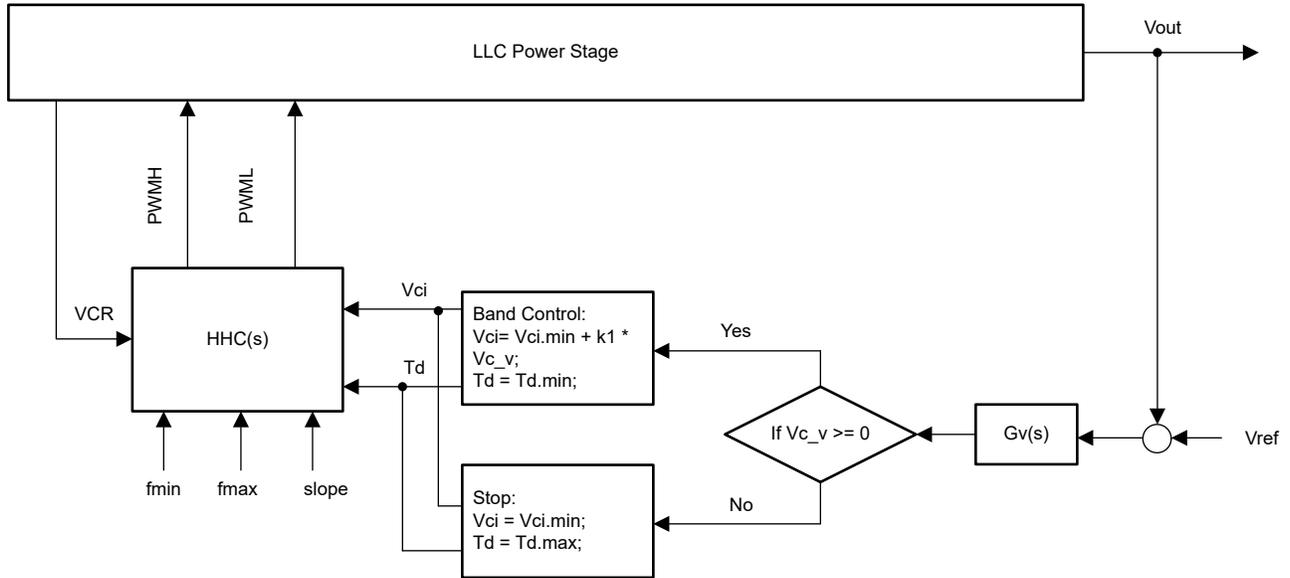


图 4-3. 正常运行期间的控制算法

4.3 最小和最大钳位频率

对于 LLC 转换器，为了避免出现电容区（ZCS 区）运行（可能会因二极管反向恢复而导致 MOSFET 损坏），需要根据功率级参数限制最小开关频率。因此，除了第 3.2 章中的配置外，还会引入另一个 AQ 模块设置，以便在 CTR=CMPA 事件时清除低 EPWM1A，其中 CMPA 值指的是最大开关周期/2。通过这种方法，如果尚未发生比较器事件，则可自动钳制最小开关频率。

此外，为了同时钳制最大开关频率，可以启用 DCxEVT 事件（来自 CMPSS）的消隐窗口，以便在消隐窗口内发生任何比较器事件时，只有在消隐窗口结束后对 PWM 信号清除低电平才会生效。因此，

消隐窗口的持续时间指的是最小开关周期/2，从 CTR = 0 脉冲开始。

5 谐振电容器电压检测设计

在 HHC LLC 控制中，控制对象是半个开关周期内谐振电容器上的电压变化，由于数字控制器通常位于次级侧，因此需要通过增强型隔离来检测 VCR 信号。在参考设计 PMP41081 中，由电流检测变压器 (CST) 和放大器来实现，如图 5-1 所示

通过对电容器 C_s 上的 CST 电流求积分来重新生成 VCR 信号。并且，因为谐振电流仅包括交流分量，所以仅获得谐振电压的交流部分。换句话说，忽略谐振电容器上的任何直流失调电压或低频纹波。

此外，使用运算放大器将差分电压转换为单端电压，并应用自定义增益。建议添加另一个电流检测电阻，用于检测谐振电流，从而实现系统保护。

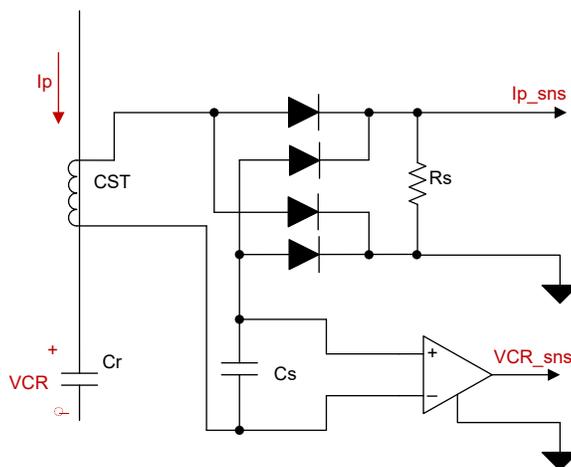


图 5-1. 简化的 VCR 检测电路

在设计 VCR 检测电路参数之前，需要了解具有最大 VCR 电压振幅的 LLC 运行条件，这通常是指具有最小输入电压和最大负载电流的最小开关频率。这可以通过仿真或基于实际功率级的开环测试来实现。

然后，我们需要选择检测电容，以确保 CST 在运行时不会接近饱和状态。根据数据表中的 CST 匝数比和伏秒参数，可以通过以下公式计算检测电容器值的限制。

$$C_s > C_r \times \frac{\Delta VCR_{max}}{N_{ct} \times \frac{1}{5} \times VT_{product} \times 4 \cdot f_{s.min}} \quad (1)$$

- C_s 为检测电容器值
- C_r 为谐振电容器值
- ΔVCR_{max} 为 VCR 电压的最大振幅
- N_{CT} 为 CST 的匝数比
- $VT_{product}$ 为 CST 的伏秒积
- $f_{s.min}$ 为最低工作频率

选择检测电容器后，可以通过在此设计中将最大 VCR 检测电压匹配到 2.0V 来决定放大器 K_{OPA} 的差分检测增益，此增益受控制器的 ADC 范围所限制。考虑到普通放大器的稳定性，建议将差分检测增益设计为大于 1。

$$K_{OPA} = \frac{2.0V}{\Delta VCR_{max}} \times \frac{N_{ct} \cdot C_s}{C_r} \quad (2)$$

总之，可以按照以下过程设计 VCR 检测参数：

1. 通过在最坏情况下进行仿真或测试来获得最大峰峰值 VCR 电压；
2. 选择合适的 CST，并检查匝数比 N:1 和伏秒积；
3. 选择检测电容器，确保 CT 远离饱和状态；
4. 调整检测增益比并使最大 VCR 检测电压在某个特定输入条件下能够达到 2.0V，建议使用 $K_{OPA} > 1$ ；

6 总结

为了帮助使用数字控制器实施 HHC LLC，本应用手册演示了有关关键 C2000 外设（包括 EPWM、CMPSS 和 CLB）的实施细节。此外，本文档还提供了有关系统控制和外部检测电路设计的指导。

7 参考资料

1. IEEE Xplore®, [Charge Current Control for LLC Resonant Converter](#).
2. IEEE Xplore®, [A Practical Analytical Small Signal Mode Applied for the LLC Converter Based on Hybrid Hysteric Charge Control](#).

8 修订历史记录

Changes from Revision * (June 2024) to Revision A (August 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了公式.....	10

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司