

## Application Note

**LMK5XXXXXS1 网络同步器针对 PTP 规范 G.8275.1 和 G.8275.2 的合规性测试报告****摘要**

本应用手册介绍了分别用于验证 TI 网络同步器器件 ( LMK5CXXXXXA、LMK5BXXXXX 和 LMK5XXXXXS1 ) ( 搭配 Oregano Systems syn1588® 技术 ) 是否符合精确时间协议 (PTP) 电信规范 G.8275.1 和 G.8275.2 的性能测试和测量结果。G.8275.1 规范涵盖具有全时序支持的网络, 这些网络中的所有网络器件都提供具有足够精度的 PTP 边界时钟或 PTP 透明时钟支持。同时, G.8275.2 规范定义了 PTP 在具有部分时序支持网络中的应用。在这些网络中, 只有部分网络器件需要 PTP 支持。LMK5xxxxS1 用于调节 PTP 硬件计时 (ToD) 时钟的频率, 符合 A 类 (100ns)、B 类 (70ns)、C 类 (30ns) 甚至 D 类的电信精度要求。

**内容**

<b>1 硬件架构</b> .....	<b>2</b>
1.1 时钟方案.....	2
1.2 FPGA 设计.....	5
<b>2 syn1588® 同步算法</b> .....	<b>5</b>
2.1 PTP 计时时钟调整算法.....	5
<b>3 测试设置</b> .....	<b>7</b>
3.1 FMC 适配器板.....	8
3.2 合规性测试设置.....	10
3.3 电信规范 G.8275.1 合规性测试 - 全时序支持.....	10
3.4 电信规范 G.8275.2 合规性测试 - 部分时序支持.....	18
3.5 电信规范 G.8262.1 合规性测试 - SyncE 瞬态.....	22
<b>4 PTP 系统应用</b> .....	<b>24</b>
<b>5 其他开发</b> .....	<b>24</b>
<b>6 结语</b> .....	<b>25</b>
<b>7 参考资料</b> .....	<b>25</b>

**商标**

syn1588® is a registered trademark of Oregano Systems.  
Intel® and Arria® are registered trademarks of Intel.  
所有商标均为其各自所有者的财产。

## 1 硬件架构

该软件采用 syn1588<sup>®</sup> PTP 技术进行设置，并移植到 Intel<sup>®</sup> Arria<sup>®</sup> 10 SoC FPGA (10AS066K3F40E2SG) 上。选择 terasic 提供的商用 HAN Pilot 平台是为了更大程度地减少该项目的总体设计工作量。完整的 FPGA 和时钟（使用单个 10G 以太网端口）方框图如图 1-1 所示。对于 10G 以太网接口端口，相应的硬 IP 内核（PMA、PCS）也要进行相应的配置。Oregano Systems 开发的 MAC IP 内核与 32 位宽 XGMII 接口相连。PTP IP 内核包含 PTP ToD 时钟以及一组用于搜索 PTP 事件报文的数据包扫描引擎。为了顾及不同的网络通信协议（Layer 2、IPv4、IPv6 VLAN 等），用户可以使用相应的模式和掩码 RAM 块对扫描引擎进行配置。所有单元和模块都通过 AXI 总线接口连接到嵌入式 ARM CPU。

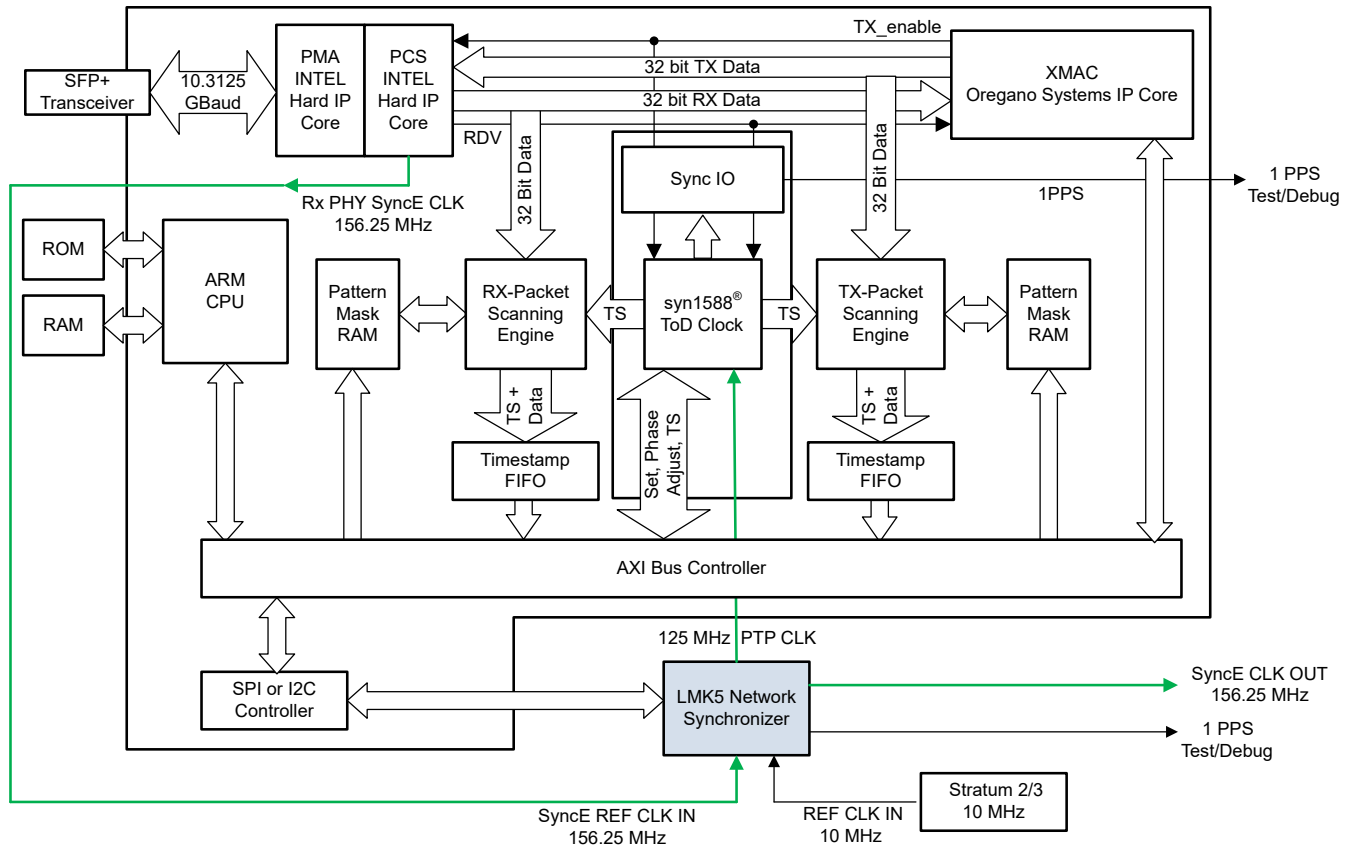


图 1-1. Arria<sup>®</sup> 10 FPGA 和基于 syn1588<sup>®</sup> IP 内核和 MAC 的时钟系统方框图

将 Oregano syn1588<sup>®</sup> 技术移植到 Arria<sup>®</sup> 10 FPGA 之后，syn1588<sup>®</sup> 技术的硬件和软件均得到增强，以使用数字可调网络同步器 (LMK5XXXXXS1)。Arria<sup>®</sup> 10 SoC FPGA 提供的标准 SPI 端口用于与 LMK5XXXXXS1 建立双向通信，以进行配置、状态监控并通过数控振荡器 (DCO) 进行相位和频率调优。

### 1.1 时钟方案

LMK5XXXXXS1 配置为以 LVDS 输出格式为 syn1588<sup>®</sup> 计时时钟提供差分 125MHz 网络时序 PTP 时钟。使用网络同步器中数字锁相环 (DPLL) 的内置 DCO 功能，以数字方式调整 125MHz 频率和相位。DPLL 的基准输入频率配置为 10MHz 和 156.25MHz。10MHz 信号由 OCXO 或铷原子稳定实验室基准时钟在外部生成，优先于 156.25MHz 信号，后者是源自 10G 以太网收发器的 PHY 恢复时钟频率。

156.25MHz 恢复 PHY 时钟信号从 PCS 模块中提取，并以 LVDS 格式提供给 LMK5XXXXXS1 的 DPLL 基准输入。如果提供时间信息的 PTP 器件能够为 SyncE 提供足够稳定的载波频率，则选择 156.25MHz 时钟作为 LMK5XXXXXS1 内 PTP DPLL 的主基准。

图 1-2 提供了 LMK5XXXXXS1 配置的方框图。可以使用 LMK5XXXXXS1 的相应 TICS Pro 配置文件测试网络同步器的数字频率调整以及输入和输出时钟配置。可以使用 TICS Pro 软件直观地呈现 LMK5XXXXXS1 的寄存器配置，如图 1-4 所示。

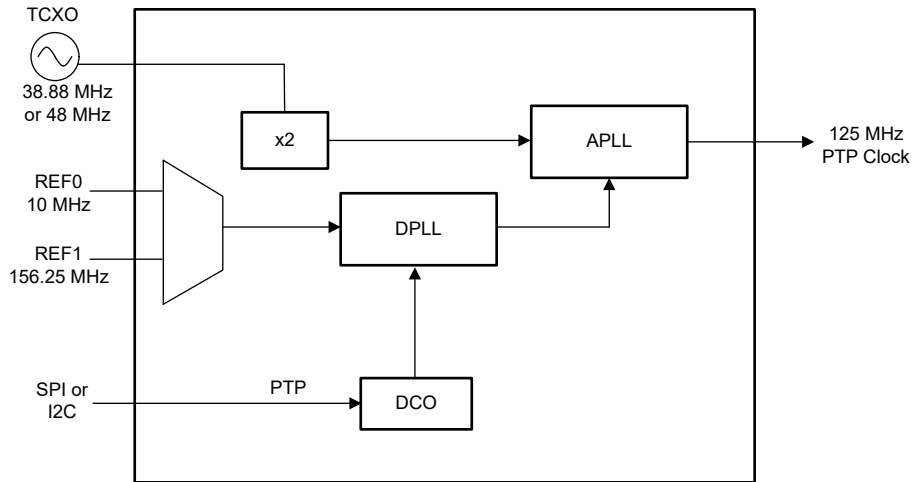


图 1-2. LMK5XXXXXS1 输入和输出时钟配置概述

根据 IEEE-1588 PTP 的要求，为 DPLL 环路启用 DCO，以对输出时钟进行相位和频率调制。所需频率步长的频率精度为万亿分之一 (ppt)。描述 DPLL2 和 APLL2 之间互连的更详细概述如图 1-3 所示。DPLL2 和 APLL2 的 TICS Pro 配置如图 1-4 所示。

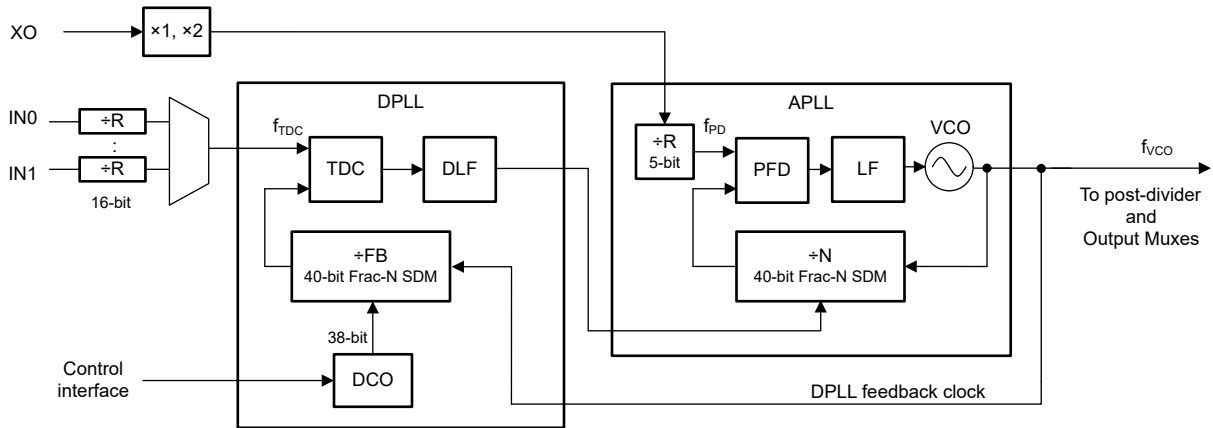


图 1-3. LMK5XXXXXS1 中 DPLL 和 APLL 方框图

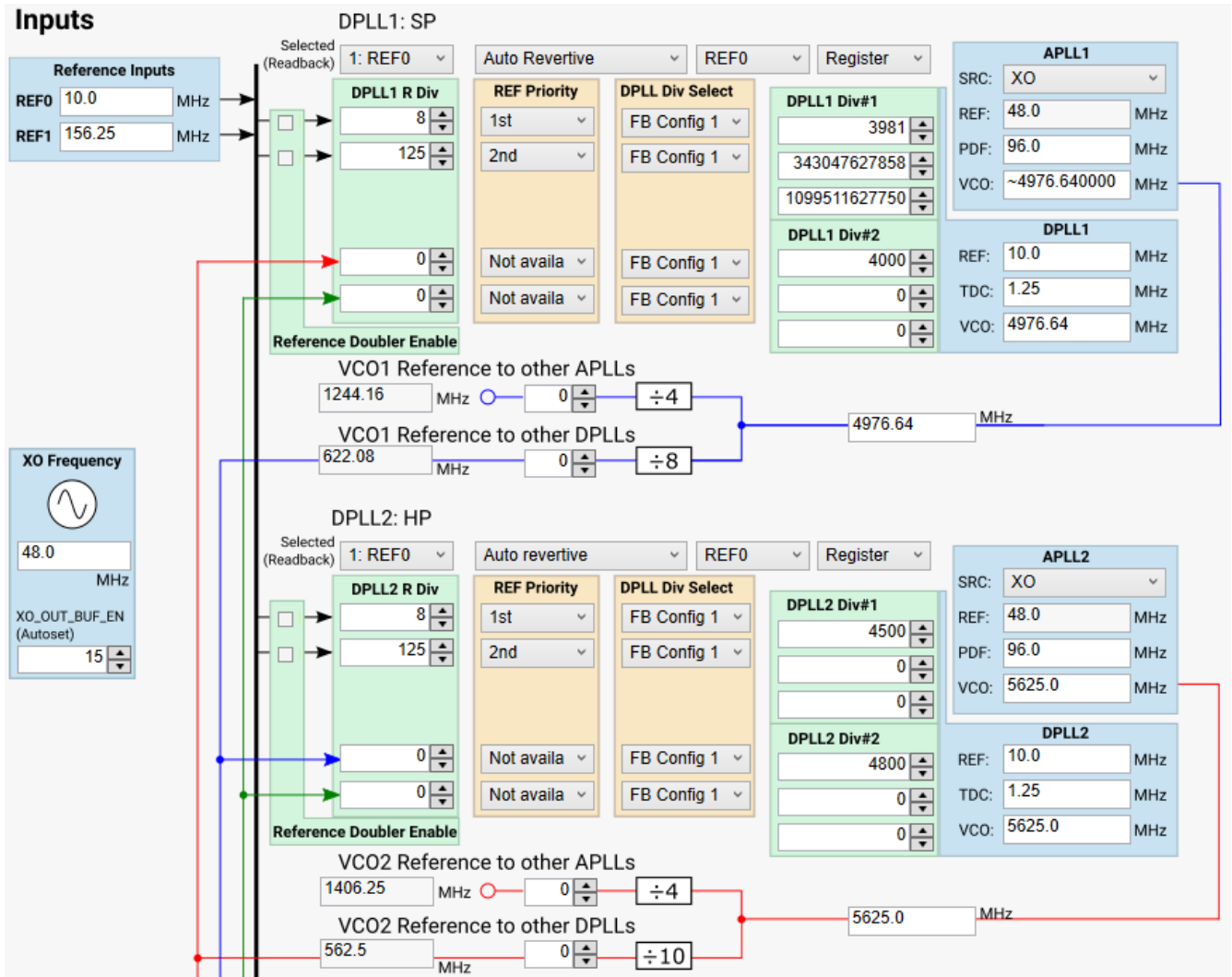


图 1-4. DPLL 配置

出于合规性测试目的，在 LVDS 模式下只启用一个差分输出端口 OUT7，如图 1-5 所示。网络同步器器件参数在器件启动时通过 SPI 或 I2C 加载到控制寄存器中。

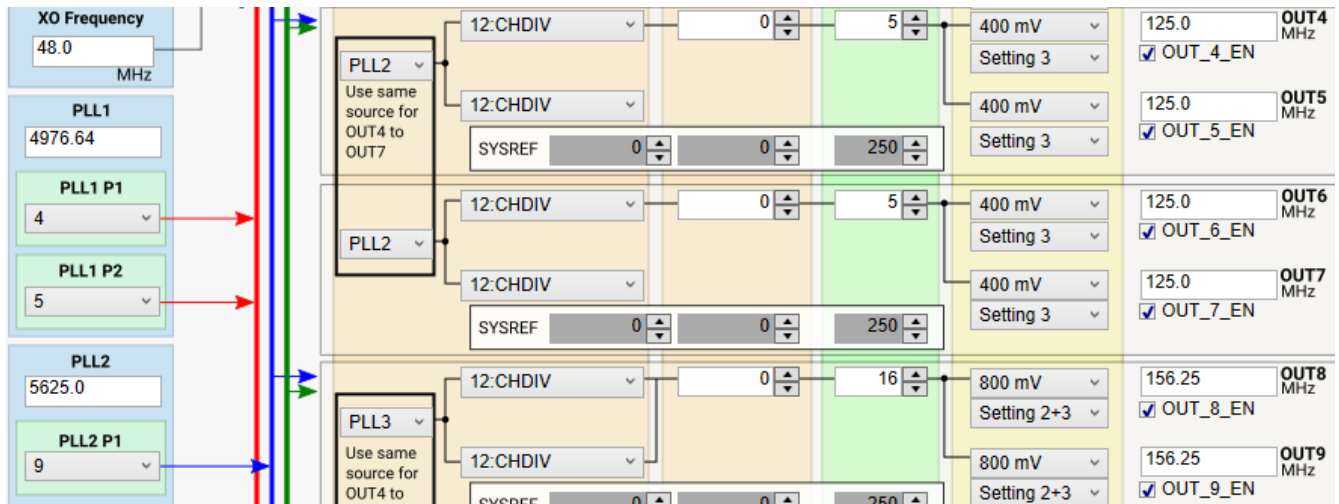


图 1-5. 频率输出配置

## 1.2 FPGA 设计

使用标准软件工具链，可以轻松将 syn1588® IP 内核移植到 FPGA 器件。编译设计的时序报告显示，内部 syn1588® ToD 时钟可以在高达 250MHz 的系统频率下运行。选择 125MHz 作为首次实现的频率，因为该频率是 ToD 实现方案的常用频率。通过将 LMK5XXXXXS1 中的输出分频器设置减少 2，或通过 Arria® 10 FPGA 中的内部 PLL 将 125MHz 时钟增加一倍，可将 125MHz 网络时序 PTP 时钟提高到 250MHz。将频率提高到 250MHz 可以提高 PTP 时钟的分辨率和时间戳的分辨率，而不会引入任何明显的抖动。

以下列表摘自 FPGA Fitter 报告，显示了带有两个 10G 以太网端口并完全支持 PTP 的 FPGA 设计的资源利用率。对于此实现，将第二对 PCS PMA 模块实例化，并连接一个 XMAC IP 内核。第二个 10G 以太网端口需要一对独立的数据包扫描引擎，而以太网端口则共享 syn1588® 硬件 ToD 时钟，该时钟通过两个额外的时间戳寄存器进行扩展。

- Fitter 状态：成功 - 2021 年 12 月 14 日 13:37:50 周二
- Quartus Prime 版本：21.3.0 内部版本 170，2021 年 9 月 23 日
- 系列：Arria 10 器件：10AS066K3F40E2SG
- 最终逻辑利用率（以 ALM 为单位）：33,223/251,680 (13%)
- 寄存器总数：55308 引脚总数：464/864 (54%)
- 块存储器总位数：5,402,112/43,642,880 (12%)
- 总 RAM 块数：364/2,131 (17%)
- 总 DSP 块数：0/1,687 (0%)
- HSSI RX 通道总数：2/36 (6%)
- HSSI TX 通道总数：2/36 (6%)
- PLL 总数：10/80 (13%)

## 2 syn1588® 同步算法

syn1588® PTP 协议栈在执行基本的初始化任务（如初始化网络同步器）之后，会等待 PTP Grandmaster 发送 PTP 报文。建立双向时间传输后，PTP 协议栈会计算本地时钟相对于主时钟的偏移量。对于超过用户可定义边界的较大初始偏移，PTP 协议栈会通过直接更新时间信息来异步调整硬件 ToD 时钟。然后，PTP 协议栈通过一系列 SYNC 报文计算和调整本地振荡器的频率偏移。随后，PTP 协议栈会校正残余频率偏移。调整过程的最后两步通过 IP 内核的专用硬件模块同步完成。因此，PTP 协议栈能够在启动 PTP 控制伺服环路之前，将 PTP 跟随节点的时钟同步精度调整到小于 20ns。

### 2.1 PTP 计时时钟调整算法

当 PTP 协议栈在冷启动模式下初始化时，所有硬件寄存器（网络同步器和 PTP 计时 (ToD) 硬件时钟）都必须保持未初始化状态。使用相应的启动值更新 PTP 硬件时钟寄存器后，将写入网络同步器的完整寄存器集以初始化器件。可以使用 TICS Pro 软件，以十六进制文件格式生成启动寄存器初始化值。

仅通过改变网络时序 PTP 基准输入频率，即可调节处于稳定状态的 PTP 硬件计时时钟。PTP 时钟伺服环路通过在 LMK5XXXXXS1 中对内部 DCO 进行编程来修改输出频率。syn1588® PTP 协议栈软件的相应示例代码段如下所示。在下面的示例代码中，实现了两个函数：getDrift 和 setDrift。getDrift 函数从网络同步器读取频率调整的当前值，而 setDrift 函数使用用户提供的值更新频率调整。

从时间戳中提取的原始输入数据会重新进行格式化，并使用源自 TICS Pro 软件的比例因子调整为 ns/s。包含 PTP 事件报文的时间信息通过预滤波器传播，并发送至相位内插 (PI) 伺服器，由其计算新的频率调整值。新的频率值传递给函数 setDrift，后者从网络同步器读取当前频率偏移，计算新的漂移值，相应地重新调整漂移的大小和格式，并使用新的 DCO 调整值以及是递增还是递减 DCO 频率来更新 DPLL。

```

static constexpr double magic_factor = 247390116249 / 100000.0;

ptp::scalednanoseconds ptp::ti::Osc::getDrift() const
{
    auto values = readRegs(ptp::ti::Register::DPLL2_FB_NUM_STAT_4, 4);
    std::uint64_t value = 0;
    value |= values[0];
    value |= static_cast<std::uint64_t>(values[1]) << 8;
    value |= static_cast<std::uint64_t>(values[2]) << 16;
}
  
```

```

value |= static_cast<std::uint64_t>(values[3]) << 24;

// if MSB is 1 handle two's complement
if (value > (1ull << 39)) value = -((value ^ 0xffffffff) + 1);

auto drift = std::chrono::duration<double>(value / magic_factor);
return std::chrono::duration_cast<ptp::scalednanoseconds>(drift);
}

void ptp::ti::Osc::setDrift(ptp::scalednanoseconds drift)
{
    // check for absolute limits
    if(drift > std::chrono::microseconds(400)) drift = std::chrono::microseconds(400);
    if(drift < std::chrono::microseconds(-400)) drift = std::chrono::microseconds(-400);

    ptp::scalednanoseconds drift_diff = drift - getDrift();
    if(drift_diff == std::chrono::seconds(0)) {return;} // nothing to do

    // check for limit per change
    if(drift_diff > std::chrono::nanoseconds(40000)) drift_diff = std::chrono::nanoseconds(40000);
    if(drift_diff < std::chrono::nanoseconds(-40000)) drift_diff = std::chrono::nanoseconds(-40000);

    auto driff_f = std::chrono::duration_cast<std::chrono::duration<double,
std::nano>>(drift_diff).count();

    auto value = static_cast<std::uint64_t>(magic_factor * std::abs(driff_f));
    auto values = std::vector<std::uint8_t>(5, 0x00);
    std::copy(reinterpret_cast<std::uint8_t *>(&value), reinterpret_cast<std::uint8_t *>(&value)+5,
values.rbegin());

    writeRegs(ptp::ti::Register::DPLL2_FBFDEV_BY4, values);

    // if we have a positive drift, the PLL has to be slowed down 1 is decrement, 0 is increment speed
    std::uint32_t direction = drift_diff.count() > 0 ? 1: 0;
    writeReg(ptp::ti::Register::DPLL2_FBFDEVUPDATE, direction);

    m_currentDrift = m_currentDrift + drift_diff;
}

```



### 3 测试设置

通过将 LMK5XXXXXS1 M2 模块安装到接口连接器板上，以匹配 HAN Pilot 平台的 FMC 连接器，对 Intel® FPGA 上的 PTP 实现进行了功能测试。该设置如图 3-1 所示。

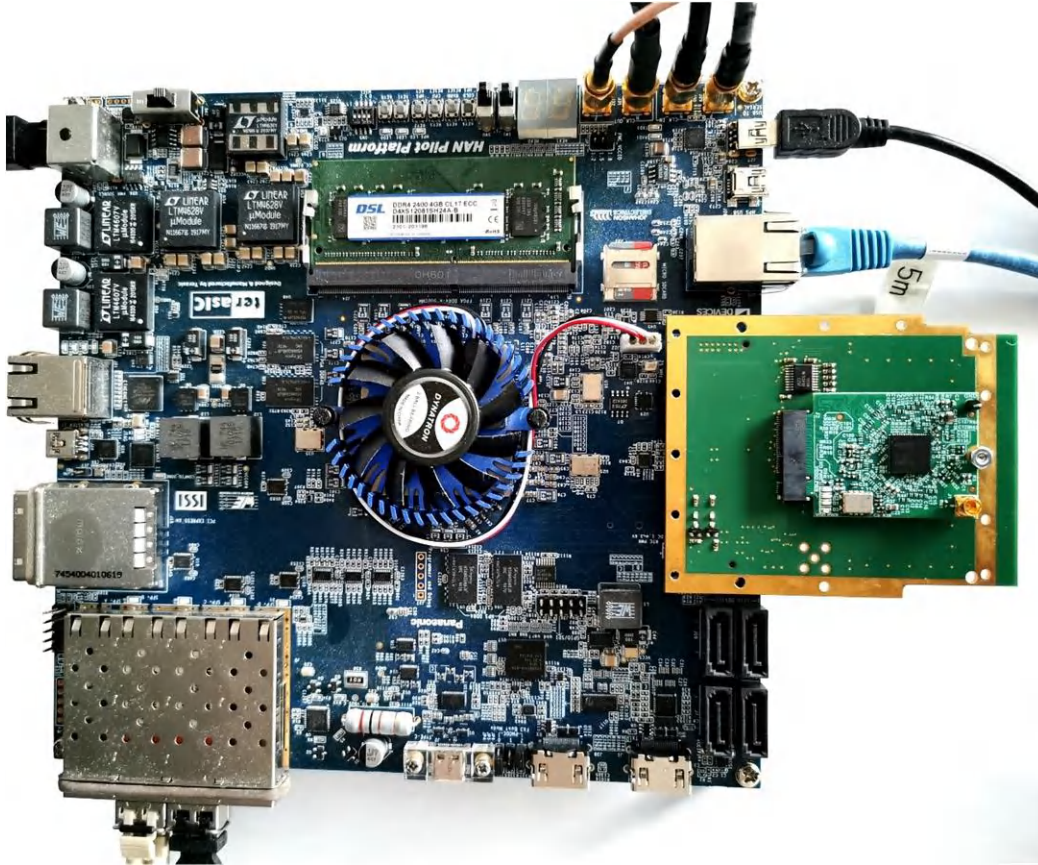


图 3-1. 实验室测量设置

### 3.1 FMC 适配器板

专用 FMC 适配器板设计用于将 LMK5XXXXXS1 M2 模块直接并联连接到 HAN Pilot 平台。该适配器板包含一个 M2 插座、多个无源器件（例如上拉/下拉电阻和交流耦合电容器）以及多个电平转换器。适配器板的顶部和底部如图 3-2 所示。

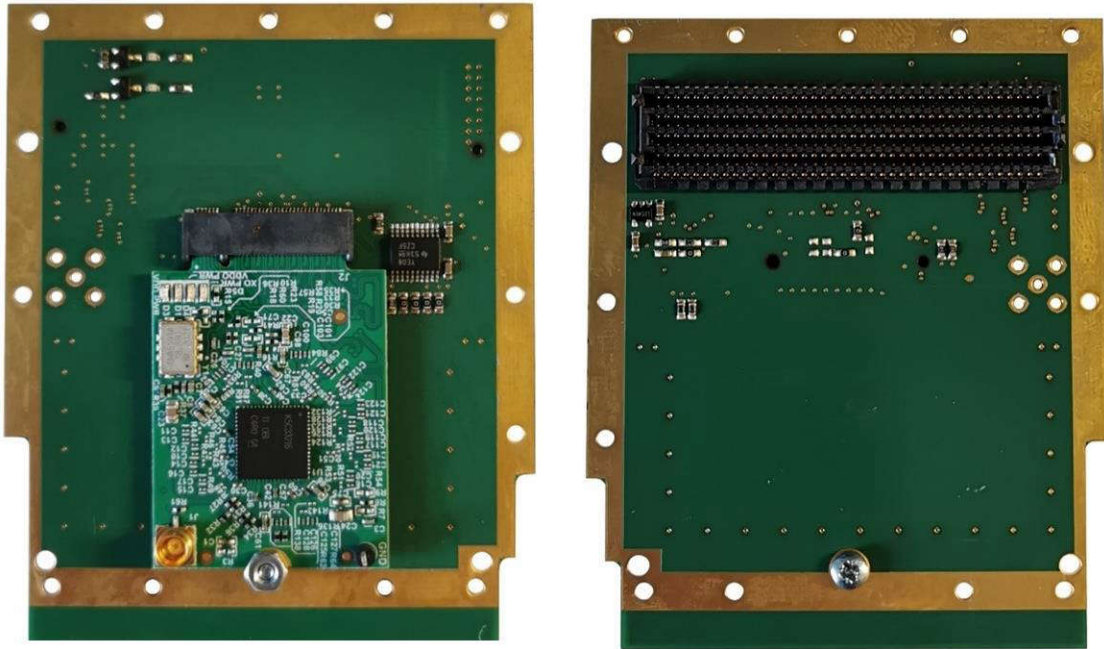
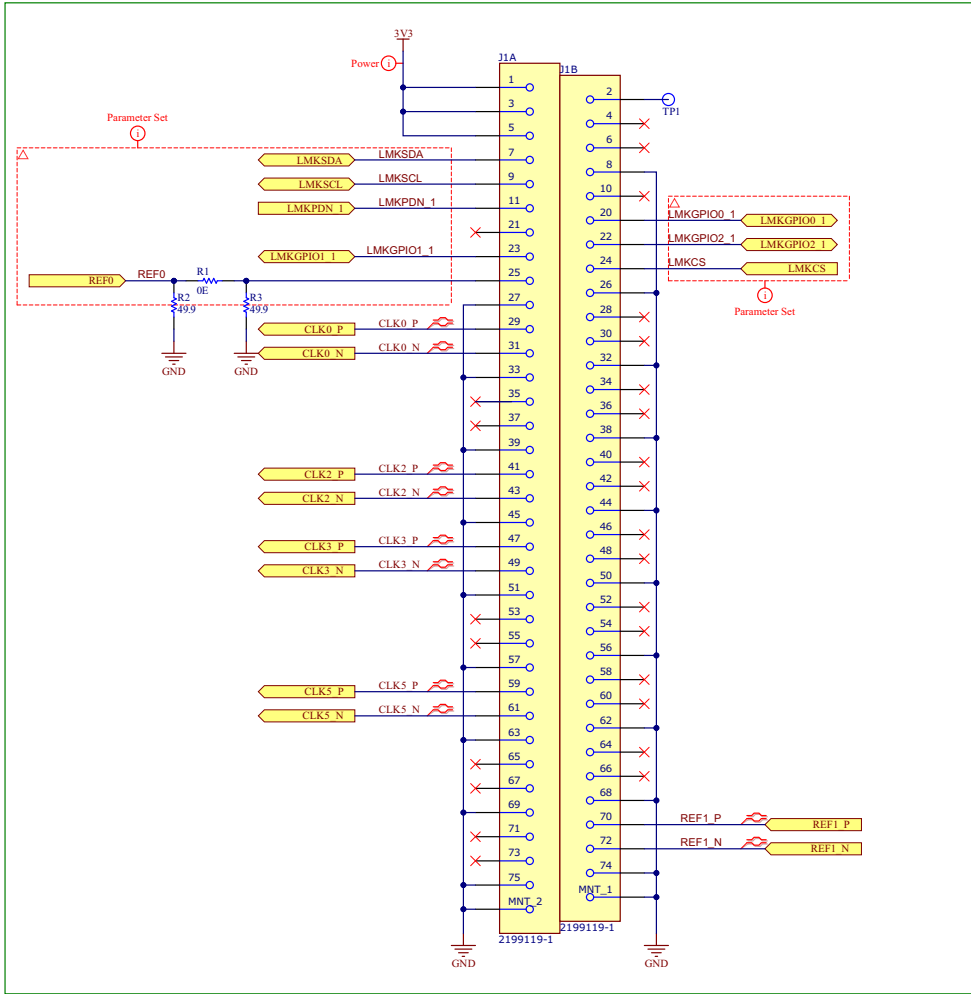


图 3-2. 包含 LMK5XXXXXS1 M2 模块的 FMC 适配器板 - 顶部 (左) 和底部 (右)

在图 3-3 中，连接器示意图提供了 LMK5XXXXXS1 M2 模块所用信号的更详细视图，其中 REF0 (10MHz) 是网络同步器的主输入频率。辅助输入 REF1 (156.25MHz) 是 FPGA 从 10G 以太网 PHY 端口提取的 SyncE 频率。OUT7 是 LMK5XXXXXS1 的主输出频率，直接提供给 PTP 硬件时钟。如图 1-3 所示，通过 PTP 协议栈调整网络时序 PTP 时钟的值。



M2 connector



FMC	M2	PLL
GTBCLK0	< CLK2	< OUT0
GTBCLK1	< CLK3	< OUT4
CLK0_M2C	< CLK0	< OUT2
CLK1_M2C	< CLK5	< OUT7
CLK2_M2C	> REF0	> REF0
CLK3_M2C	> REF1	> REF1

图 3-3. FMC 适配器板中使用的 FMC M2 模块引脚

Variant: DNI

### 3.2 合规性测试设置

图 3-4 显示了合规性测试设置。在某些测试案例中，用 Calnex Neo 取代 Calnex Paragon-X，可实现优化的纳秒级精度。

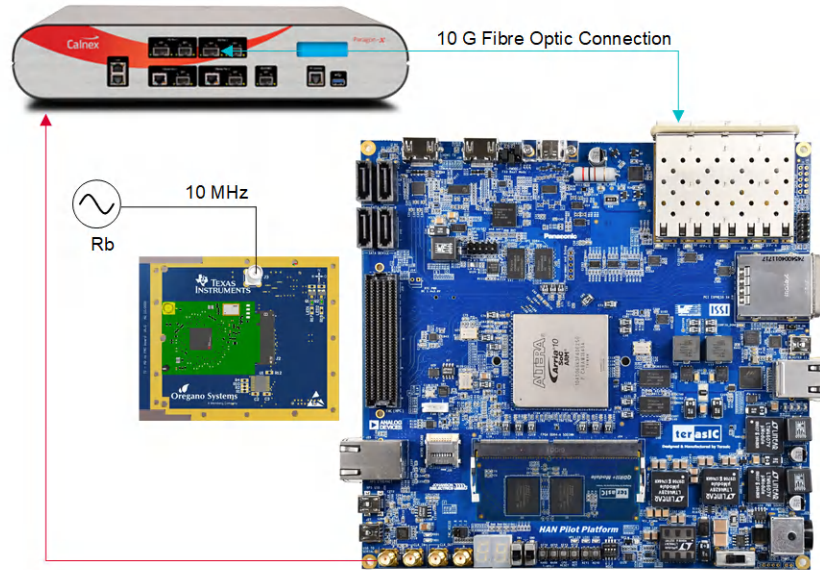


图 3-4. 合规性测试设置

### 3.3 电信规范 G.8275.1 合规性测试 - 全时序支持

对于具有全时序支持的网络，引导节点和跟随节点器件上的 PTP 协议栈均设置为遵循 PTP 电信规范 G.8275.1 的默认值：

- PTP 域号为 24。
- PTP 事件（同步、延迟请求、延迟响应）报文速率为每秒 16 个数据包。
- 通知报文速率为每秒 8 个数据包。
- 通知超时为缺失 3 条报文。
- 以太网地址类型为多播。
- 通信协议为 Layer 2。

syn1588<sup>®</sup> PTP 配置如下：

- PI 控制环路参数设置为快速模式，这是针对最小数据包延迟变化 (PDV) 进行优化的设置。
- 激活了采样率转换器滤波器
- 使用 4 秒的默认窗口大小激活了非线性尖峰预滤波器
- 伺服调整速率设为 1Hz

#### 3.3.1 传输特性

伺服噪声传输特性符合 G.8283.2 中规定的 A 类和 B 类规范。在测试过程中，PTP 事件报文包含的时间信息随测试中使用的 Calnex Paragon X 器件的频率线性增加而呈正弦模式变化。图 3-5 中的波特图显示了该测试的结果，规范符合性限制线用红色表示。

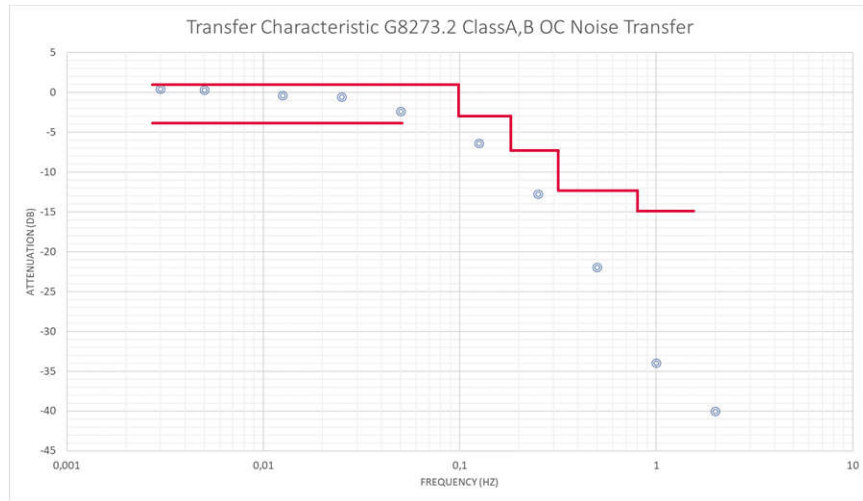


图 3-5. 具有全时序支持的网络的 PTP 伺服传输特性

### 3.3.2 绝对时间误差

在第二项测试中，通过比较 PTP Grandmaster 的 1PPS 信号与 HAN Pilot 平台上 PTP 实现所生成的信号，来测量精度（绝对时间误差）。由于 Calnex Paragon X 器件只能以 2ns 的分辨率测量 1PPS 信号，因此使用 Calnex Paragon Neo 进行此测量，以提高分辨率。

考虑到不同的同轴电缆长度和各自 PCS PMA 单元内的不同传输延迟，两个 1PPS 信号的偏移补偿量小于 2ns。

图中显示了双向时间误差的比较结果，其中信号扩展小于  $\pm 2\text{ns}$ ，超过了具有全时序支持的网络中 D 类性能的限制值。图 3-6 所示为相关结果。在 1PPS 信号上测量的时间误差表明，在不进行任何高通滤波的情况下，结果是相似的，如图 3-6 和图 3-6 所示。

最小时间间隔误差 (MTIE) 在一定范围内也表现良好，如图 3-9 所示

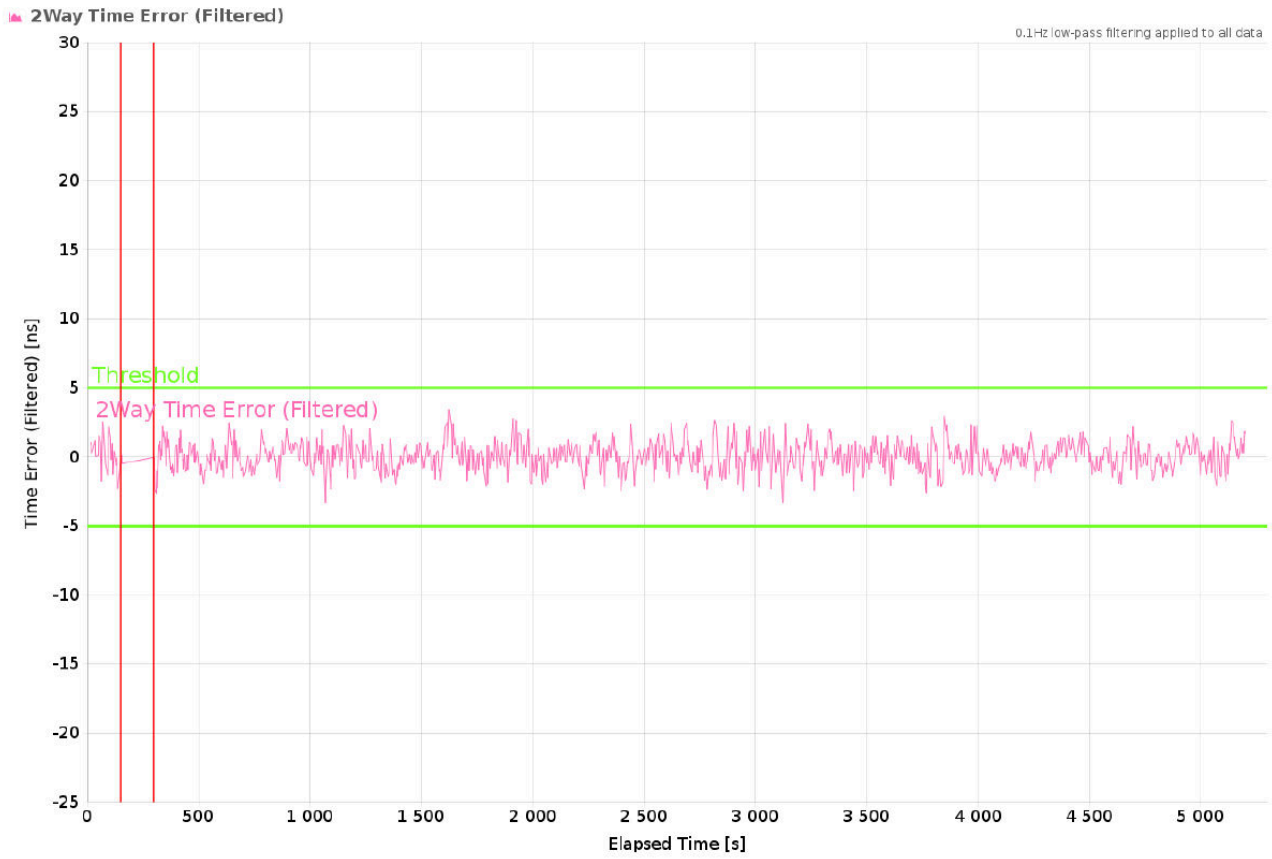
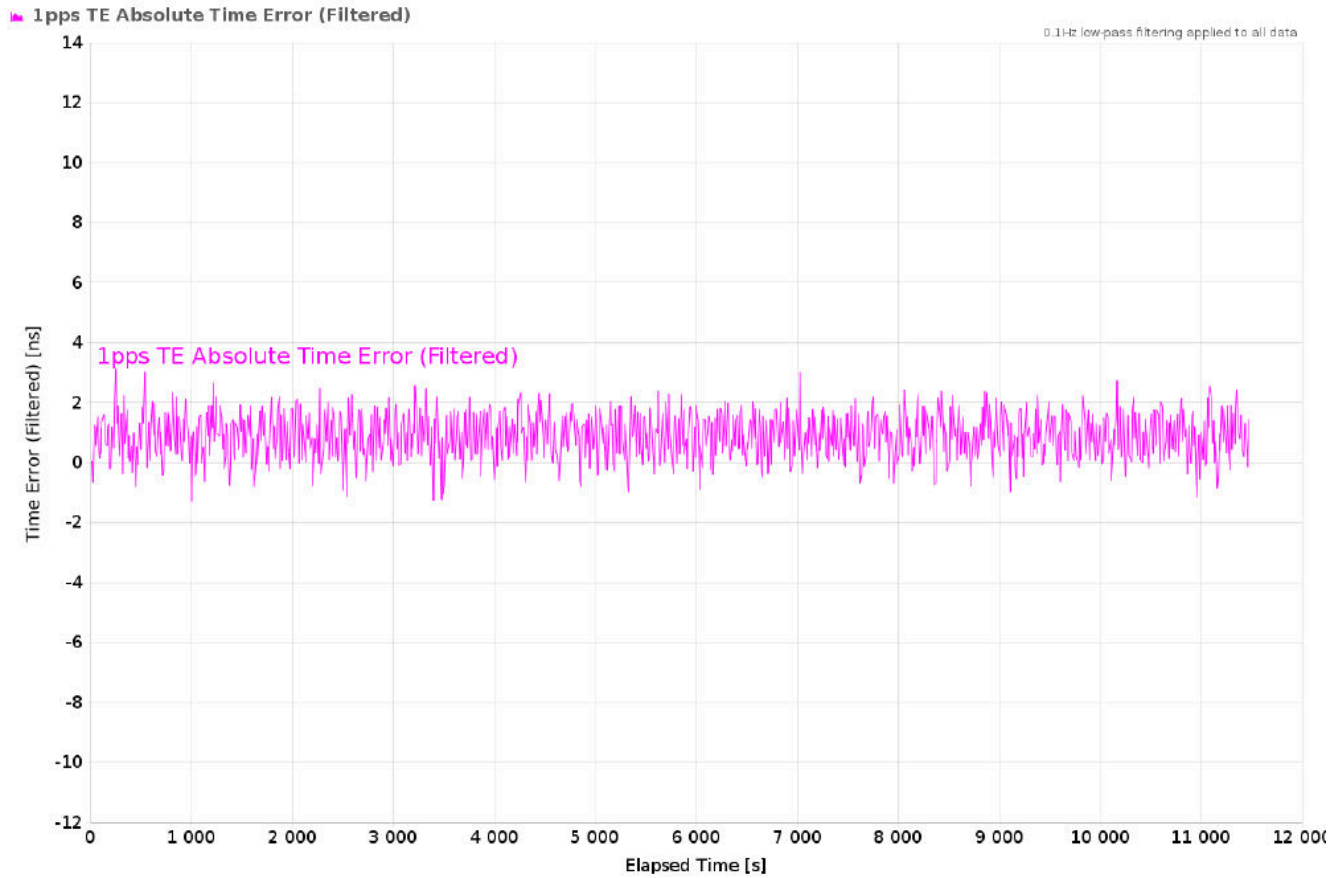


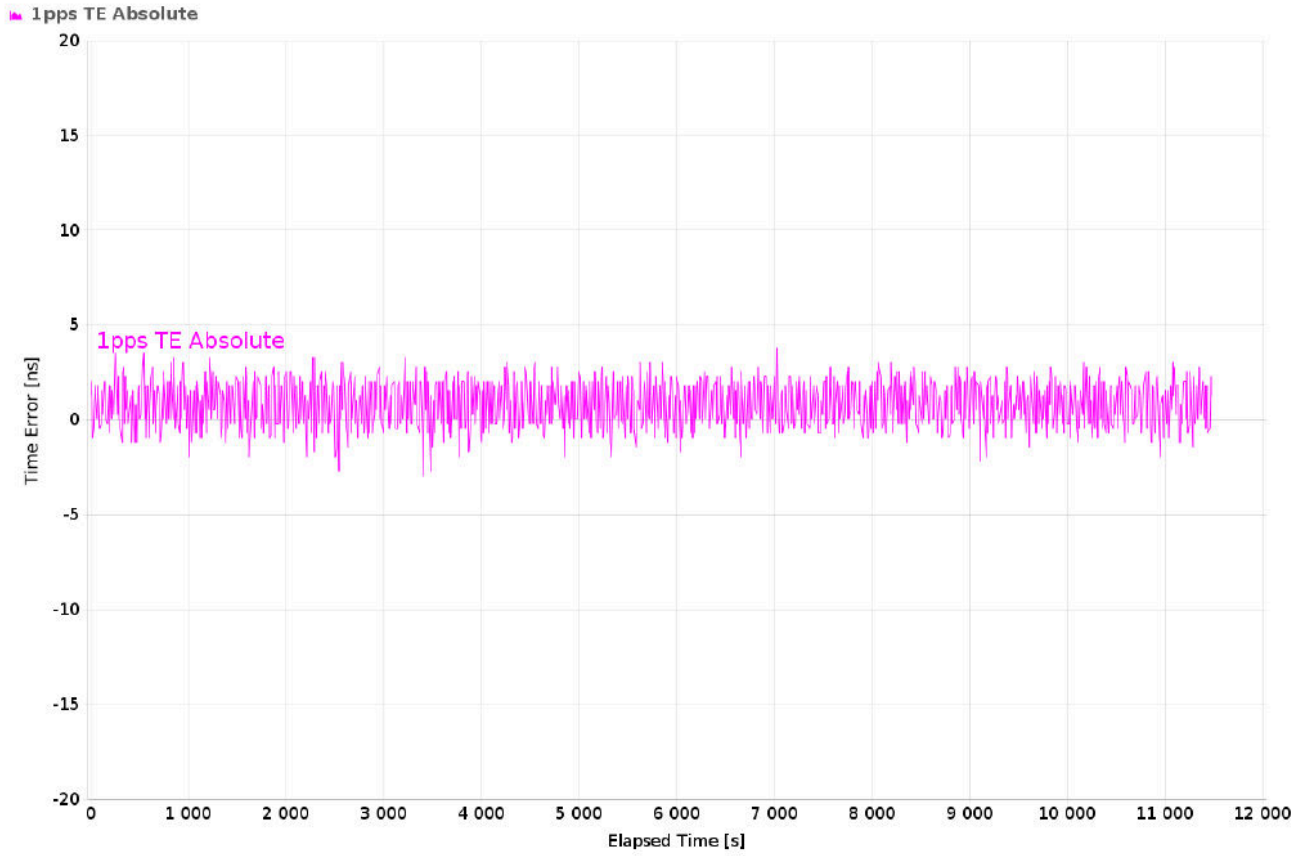
图 3-6. 采用 D 类限制线进行滤波的双向时间误差 ( $\pm 5\text{ns}$ )，典型测量值



<b>Mean</b>	0.914 ns
<b>Min</b>	-1.306 ns
<b>Max</b>	3.12 ns
<b>Max-Min</b>	4.426 ns

图 3-7. 采用 0.1Hz 高通滤波器进行滤波的 1PPS 绝对时间误差，典型测量值





<b>Mean</b>	0.914 ns
<b>Min</b>	-2.952 ns
<b>Max</b>	3.798 ns
<b>Max-Min</b>	6.75 ns

图 3-8. 1PPS 绝对时间误差 (无滤波器), 典型测量值

## MTIE Analysis

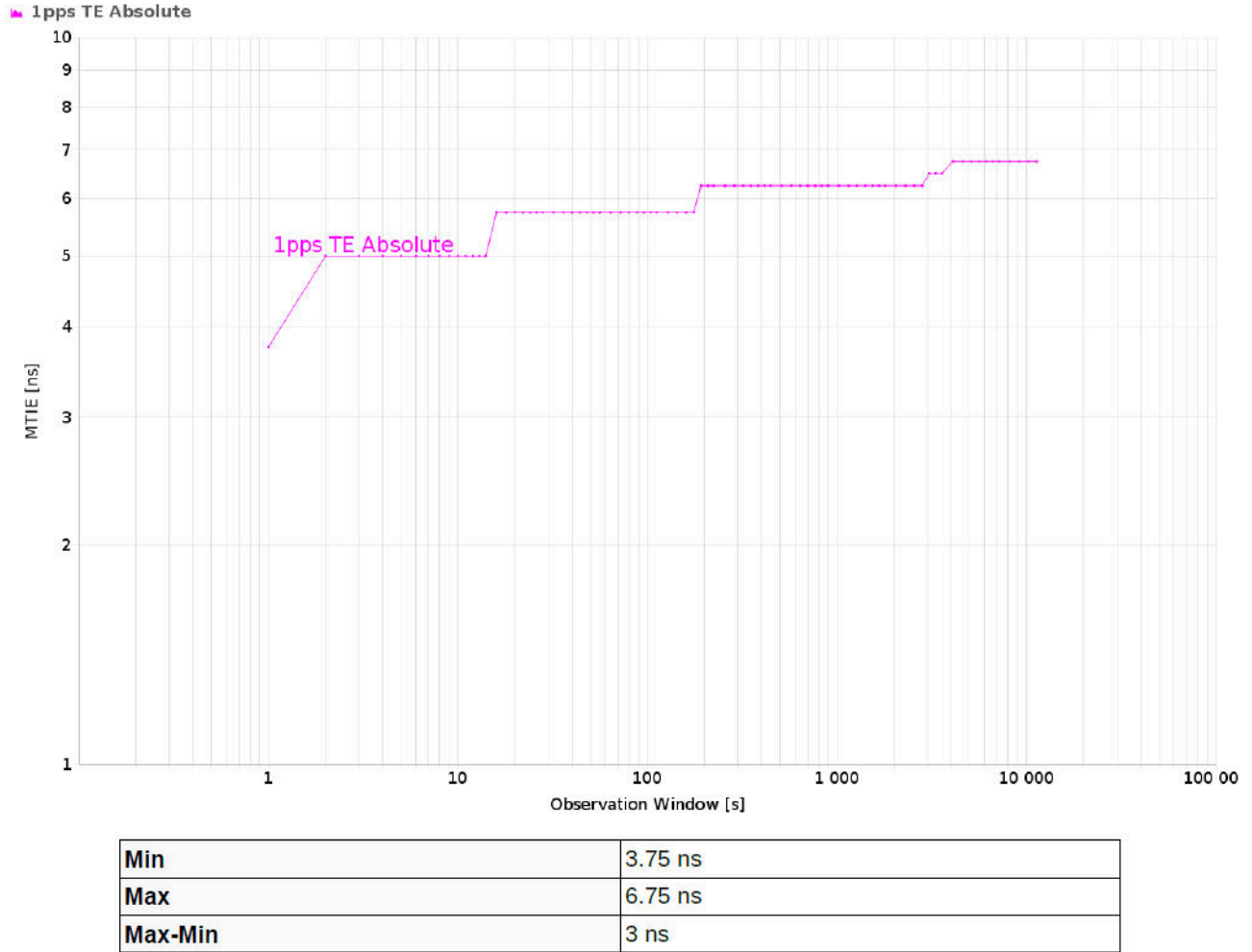


图 3-9. MTIE 分析，典型测量值

### 3.3.3 锁定时间

除了是否合规之外，合规性测试还会研究 syn1588® PTP 协议栈的锁定行为。总体锁定时间可分成两个区间。第一个区间从调用 PTP 协议栈开始，包括 PTP 协议栈在接受 PTP Grandmaster 作为时间源之前需要完成的初始报文处理。PTP 协议栈将处理一系列连续 PTP 通知报文中包含的数据。时间跨度由 PTP 协议栈在接受 PTP Grandmaster 之前必须考虑的连续报文总数以及 PTP 协议栈的速率确定。这些参数可由用户配置，大多数 PTP 规范中的每个都定义了子范围和默认值。

第二个区间取决于 PTP 协议栈的初始同步算法以及底层硬件的功能。上文的同步算法部分介绍了 syn1588® PTP 协议栈中实现的设计。通过评估 PTP 协议栈日志文件中的数据，可以非常有效地测量第二个区间。下面的日志输出中提供了典型启动过程的相应部分。

日志输出中的第一行指示 PTP 协议栈开始使用 PTP Grandmaster 时间信息的时间点。较大偏移 (-1646305347758870528ns) 会导致 PTP 协议栈异步设置由第 2 行的日志输出 *do epoch jump to ...* 指示的 PTP 硬件时钟。

残余偏移量 (以 -10ms 为单位) 显示在随后的行中。PTP 协议栈使用一系列下游 PTP 事件报文来计算频率偏移。收集足够的数后，PTP 协议栈会同步调整频率和偏移。最后一步，PTP 协议栈将启用 PI 控制环路，这可以从下面日志输出的最后 5 行中看到。

在此测试中，分别使用日志输出第一行和最后一行的系统时间戳来计算第二个区间的长度。

\*\*\* 以下文本是否在方程块内？如果这是方程，请在 **Word** 方程编辑器中创建方程，然后使用 **TI** 方程工具上传 \*\*\*

$$12:01:57.09895 - 12:01:53.57872 \approx 3.5s \quad (1)$$

如果使用通知速率和超时的默认值，则第一个区间的持续时间小于 1 秒。

```

12:01:53.57872 TimestampStats<meanTime=1996-02-01 06:31:16 ptp, pathDelay=577ns, offset=-
-1646305347758870528ns>
12:01:53.57875 do epoch jump to 2022-03-03 12:02:30 ptp
12:01:54.32878 do no adjust as filters are not ready
12:01:54.81291 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=596ns, offset=-10985308ns>
12:01:54.81294 change to CALIBRATE state
12:01:54.86872 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=591ns, offset=-10985333ns>
12:01:54.91748 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=590ns, offset=-10985367ns>
12:01:54.95272 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=570ns, offset=-10985410ns>
12:01:55.03707 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=586ns, offset=-10985460ns>
12:01:55.09210 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=580ns, offset=-10985494ns>
12:01:55.17129 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=588ns, offset=-10985541ns>
12:01:55.26151 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=575ns, offset=-10985619ns>
12:01:55.32995 do no adjust as filters are not ready
12:01:55.34612 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=591ns, offset=-10985666ns>
12:01:55.40650 TimestampStats<meanTime=2022-03-03 12:02:31 ptp, pathDelay=577ns, offset=-10985701ns>
12:01:55.46685 TimestampStats <meanTime=2022-03-03 12:02:31 ptp, pathDelay=578ns,
offset=-10985745ns>
12:01:55.50951 TimestampStats <meanTime=2022-03-03 12:02:31 ptp, pathDelay=576ns,
offset=-10985782ns>
12:01:55.60322 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=592ns,
offset=-10985832ns>
12:01:55.64053 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=576ns,
offset=-10985870ns>
12:01:55.77892 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=578ns,
offset=-10985957ns>
12:01:55.83618 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=578ns,
offset=-10985998ns>
12:01:55.89710 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=580ns,
offset=-10986037ns>
12:01:55.94715 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=572ns,
offset=-10986066ns>
12:01:56.02576 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=591ns,
offset=-10986119ns>
12:01:56.11254 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=582ns,
offset=-10986174ns>
12:01:56.16287 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=581ns,
offset=-10986208ns>
12:01:56.22994 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=587ns,
offset=-10986256ns>
12:01:56.30856 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=593ns,
offset=-10986300ns>
12:01:56.32965 do no adjust as filters are not ready
12:01:56.36520 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=591ns,
offset=-10986335ns>
12:01:56.42143 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=585ns,
offset=-10986379ns>
12:01:56.46719 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=582ns,
offset=-10986415ns>
12:01:56.56008 TimestampStats <meanTime=2022-03-03 12:02:32 ptp, pathDelay=588ns,
offset=-10986468ns>
12:01:56.65093 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=579ns,
offset=-10986542ns>
12:01:56.70391 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=573ns,
offset=-10986581ns>
12:01:56.77593 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=585ns,
offset=-10986615ns>
12:01:56.84436 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=583ns,
offset=-10986664ns>
12:01:56.93805 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=588ns,
offset=-10986722ns>
12:01:57.01258 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=570ns,
offset=-10986790ns>
12:01:57.01261 adjust drift -6.65936e-07s/s
12:01:57.01264 Adjust rate by -665.936 ns/s (speeding up)
12:01:57.01269 compensate Offset -0.0109868s
    
```

```
12:01:57.01274 change to COLLECT_DATA state  
12:01:57.09895 TimestampStats <meanTime=2022-03-03 12:02:33 ptp, pathDelay=577ns, offset=-10ns>
```

### 3.4 电信规范 G.8275.2 合规性测试 - 部分时序支持

对于具有部分时序支持的网络的测试用例，引导节点和跟随节点器件上的 PTP 协议栈均使用 PTP 电信规范 G.8275.2 的默认值进行配置。

PTP 事件报文速率详细信息如下所列：

- PTP 域号为 44。
- PTP 事件报文速率为每秒 64 个数据包。
- 通知报文速率为每秒 1 个数据包
- 通知超时为缺失 3 条报文。
- 以太网地址类型为单播。
- 通信协议为 IPv4

syn1588® PTP 配置如下：

- 控制环路参数设置为慢速模式，该设置针对高 PDV 进行了优化
- 激活了采样率转换器滤波器
- 停用了非线性尖峰预滤波器
- 启用了非线性 Lucky 数据包文件，数据包缓冲区为 4069 个数据包，中值滤波器宽度为 3 个数据包。
- 每 8 秒调整一次时钟。

初始测试运行表明，syn1588® PTP 协议栈需要进一步优化来应对 Calnex 系统引入的 PDV。执行了一项简单测试来分析信号上游和下游的噪声电平。被测器件的 ToD 时钟通过 Calnex 提供的 1PPS 信号进行外部同步。一旦器件充分同步并调用 PTP 协议栈的测试版本，该测试就会处理所有 PTP 报文，并相应地计算偏移和路径延迟，而不调整硬件时钟。使用日志文件中的时间戳数据，可以分析 Calnex Paragon X 生成的减损。

图 3-10 显示了同步报文的延迟变化 ( $T_2 - T_1$ )，而图 3-11 提供了延迟请求报文的相同数据 ( $T_4 - T_3$ )。使用以下公式计算了原始偏移量：

$$Clock\_Offset = \frac{(T_2 - T_1) - (T_4 - T_3)}{2} \quad (2)$$

生成的图如图 3-12 所示。图 3-13 提供了减损初始阶段的详细视图。

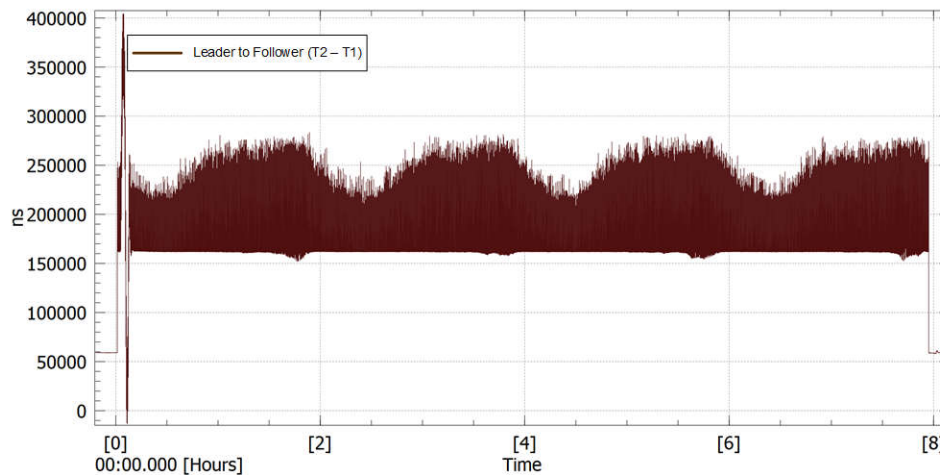


图 3-10. 减损期间引导节点到跟随节点的延迟 ( $T_2-T_1$ )



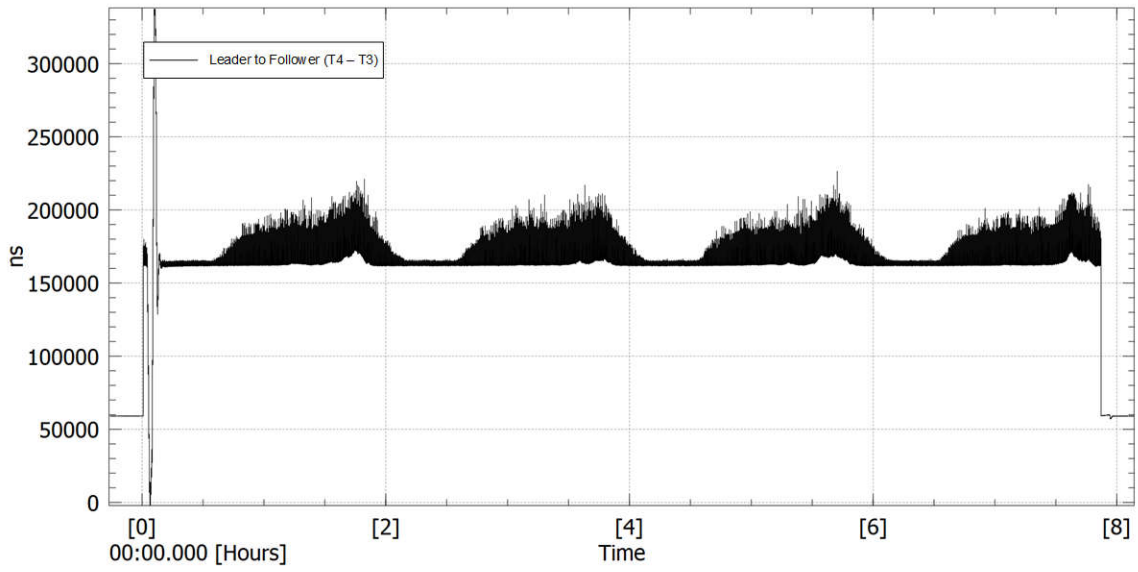


图 3-11. 减损期间跟随节点到引导节点的延迟 (T4-T3)

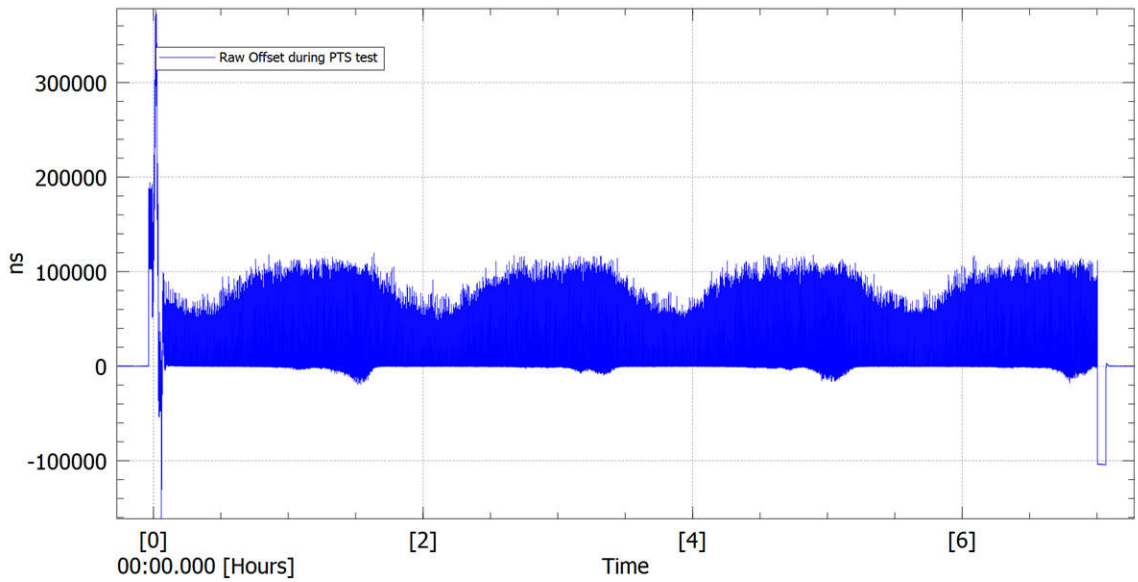


图 3-12. 减损期间使用 (T1 ... T4) 计算的偏移

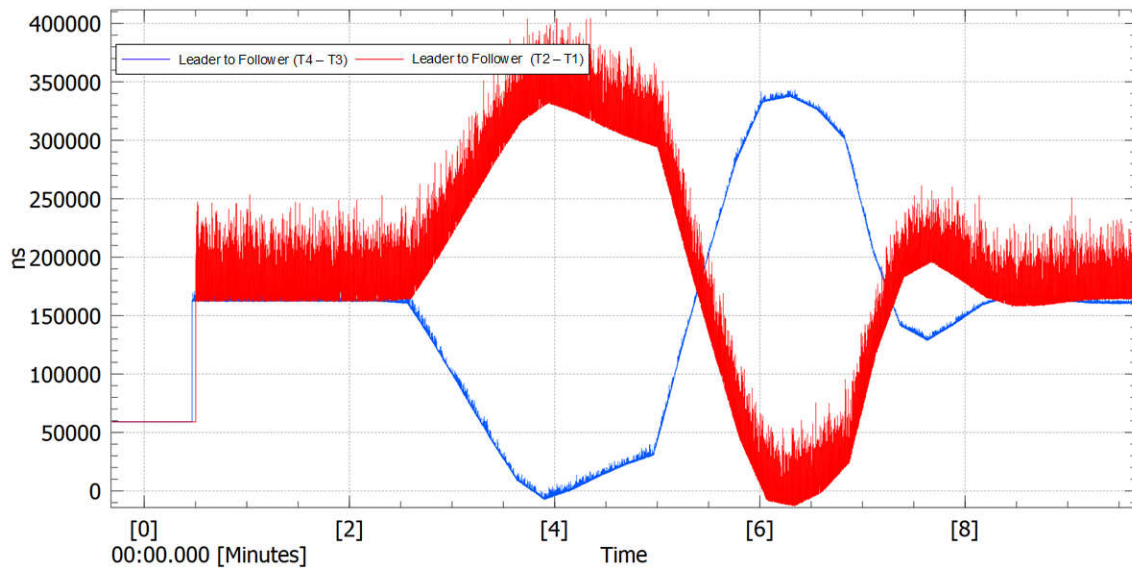
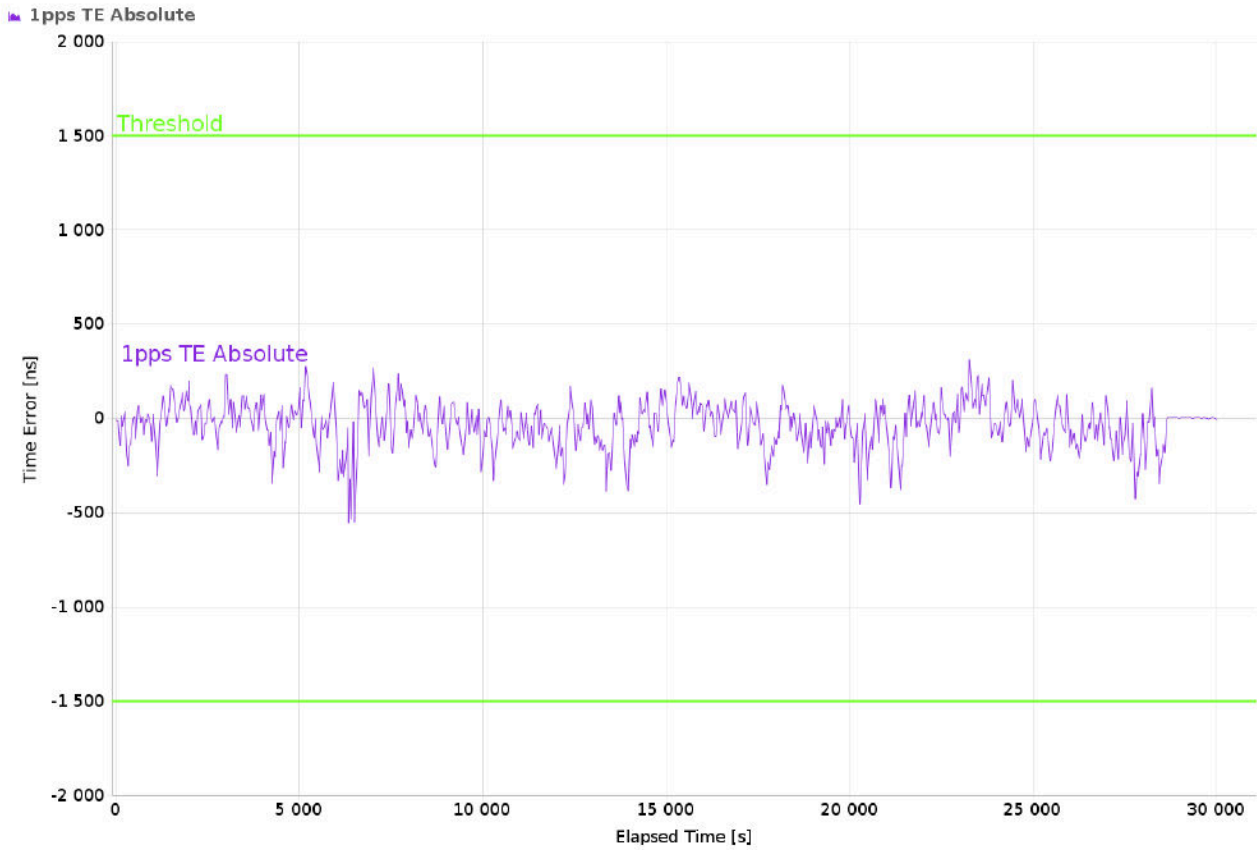


图 3-13. 减损期间的上游和下游延迟变化 (放大捕捉画面以显示测试周期的起点)

为了应对环境或设置条件的变化，PTP 协议栈配置为每 8 秒调整一次硬件时钟。此外，Lucky 数据包滤波器的搜索窗口扩展至 4069 个数据包。测试设置如下所示：

- 启用测试之前，PTP 协议栈需要稳定 10 至 15 分钟。伺服参数设置造成稳定时间较长。
- 启用减损功能，并监测引导节点和跟随节点的 1PPS 信号。

图 3-14 所示为相关结果。此测试重复多次，得到的结果相似。



Mean	-34.494 ns
Min	-554.702 ns
Max	314.048 ns
Max-Min	868.75 ns

图 3-14. 部分时序支持测试的绝对时间误差（1PPS 信号的比较），典型测量值

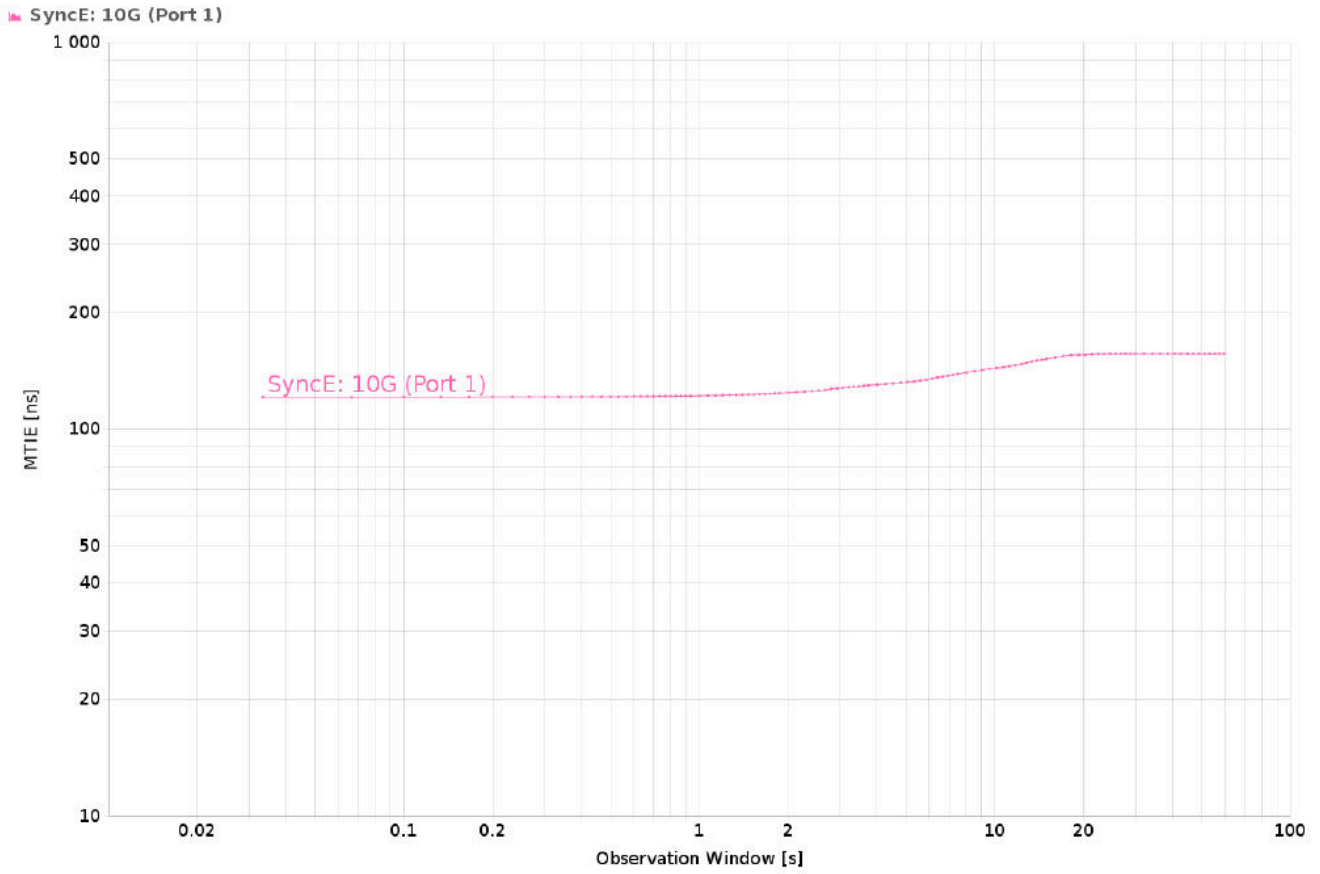
### 3.5 电信规范 G.8262.1 合规性测试 - SyncE 瞬态

短期瞬态响应是指时钟从一个输入基准切换到另一个输入基准时所产生的时间精度误差。基准切换必须遵守 G.8262.1 中所述的 SyncE 短期瞬态的限制和条件

图 3-15 和图 3-16 中显示了相应图形。



图 3-15. SyncE 瞬态 TIE



<b>Min</b>	120.76 ns
<b>Max</b>	156.348 ns
<b>Max-Min</b>	35.588 ns

图 3-16. SyncE 瞬态 MTIE



## 4 PTP 系统应用

通过在用于 DPPLL3 的 LMK5CxxxxAS1 上应用相同的 DCO 算法，可以针对 5G 无线应用调整 PTP 时钟，如图 4-1 所示。LMK5CxxxxAS1 配置用于实现 C 类及以上性能的电信精度，同时提供业界出色的无线电时钟抖动性能，491.52MHz 输出时钟的最大抖动为 57fs (12kHz 至 20MHz)。LMK5XXXXXS1 为 DPPLL 和 APPLL 域之间的内部反馈提供了灵活性，可根据是需要单独的 PTP 域还是单独的 SyncE 域，或者是否结合使用 PTP 和 SyncE，对这些域进行级联。

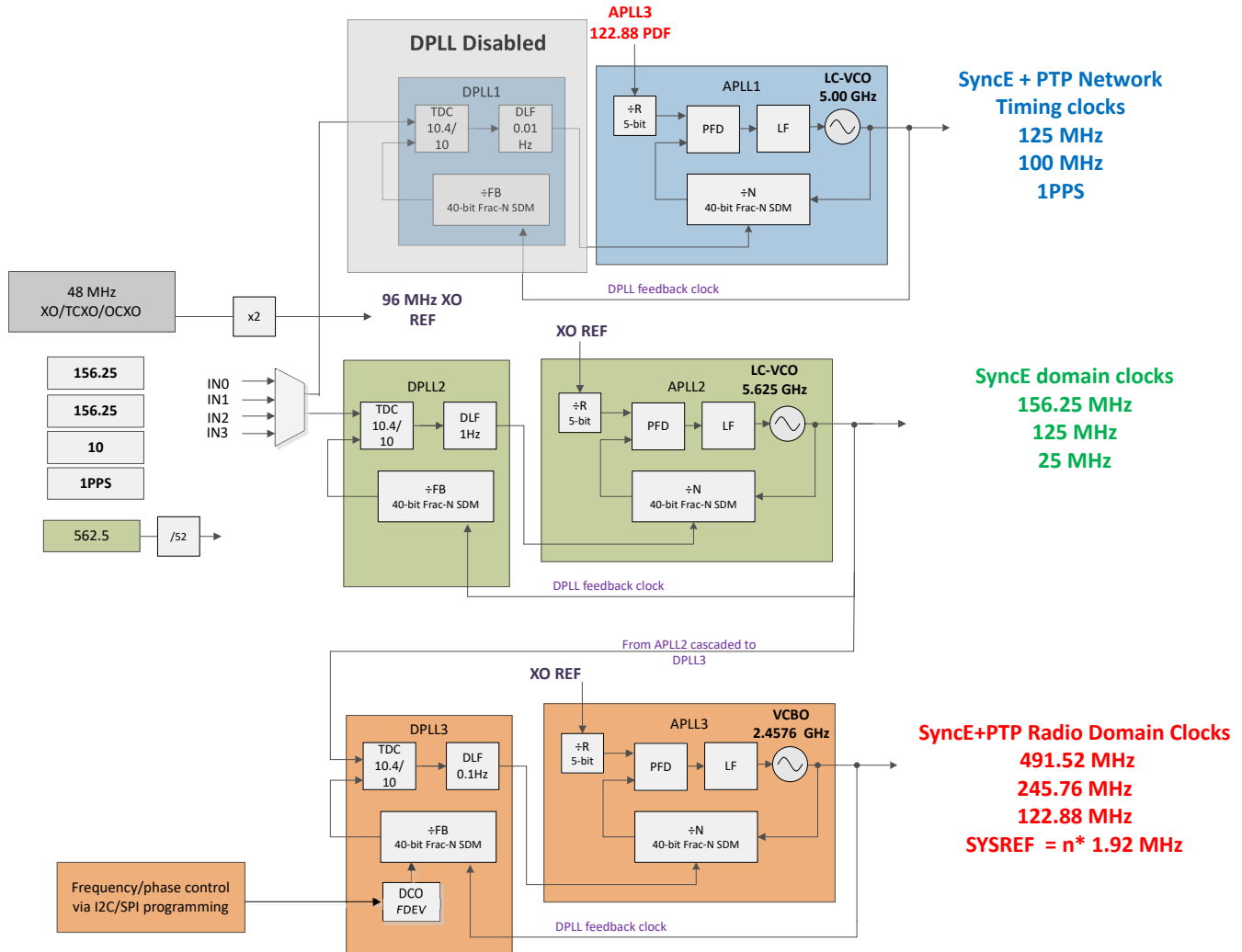


图 4-1. 用于 5G 应用的 PTP 和 SyncE

## 5 其他开发

通过将本地振荡器的质量考虑在内，可以进一步优化 syn1588® PTP 协议栈的初始稳定，从而改进网络受损时的稳定行为。此外，还可通过将网络同步器的特性考虑在内，进一步优化保持性能。最后，计划使用支持 SyncE 的器件进行扩展测试，以研究使用 LMK5XXXXXS1 的完整 PTP 系统的保持和开关性能。

## 6 结语

将 Arria® 10 上的 syn1588® 与 LMK5XXXXXS1 结合使用可满足 A 类 (100ns)、B 类 (70ns)、C 类 (30ns) 甚至 D 类 (5ns) 电信精度要求。1PPS 信号偏差不超过 2ns。要达到 D 类标准，必须使用能够在 5 秒内提供小于 1ns 的短期稳定性的高级本地振荡器。此外，所有测量均是在两个 PTP 器件之间使用直接连接进行，而不是连接一个或多个边界时钟或透明时钟。

对于具有部分时序支持的网络，PTP 协议栈配置经过优化，可处理超过 230µs 的 PDV，同时保持在请求的 ±1.5µs 范围内，且余量为 500ns。

## 7 参考资料

1. 德州仪器 (TI), [LMK5C33216A 产品文件夹](#)
2. 德州仪器 (TI), [LMK5C33216AS1 产品文件夹](#)
3. International Telecommunication Union (ITU), [G.8275.1 : Precision time protocol telecom profile for phase/time synchronization with full timing support from the network](#)
4. International Telecommunication Union (ITU), [G.8275.2 : Precision time protocol telecom profile for time/phase synchronization with partial timing support from the network](#)
5. terasIC, [Arria® 10 Han Pilot Platform](#)
6. 德州仪器 (TI), [TICS Pro 软件](#)
7. International Telecommunication Union (ITU), [G.8273.2 : Timing characteristics of telecom boundary clocks and telecom time slave clocks for use with full timing support from the network](#)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司