

Application Note

估算 Sitara MPU 产品的应用有效寿命 - 基于设计的方法



Lee McNally

摘要

本应用手册汇总了 AM625/AM623 系列处理器可实现的上电时间 (POH)，并概述了 AM62x ARM 处理器系列的固有可靠性功能和所应用的方法。

内容

1 简介.....	2
2 基于设计的方法.....	3
3 后台.....	4
3.1 流程交付套件 (PDK).....	4
3.2 电路行为的 SPICE 模型.....	4
3.3 电子设计自动化 (EDA) 工具.....	5
3.4 封装可靠性.....	5
4 基于设计的方法与 HTOL 方法的比较.....	5
5 AM625/623 寿命可靠性分析结果.....	7
6 结语.....	9
7 修订历史记录.....	9
A 附录 - 基于 HTOL 的方法.....	10
B 附录 - EM 可靠性估算的数学基础.....	11

商标

所有商标均为其各自所有者的财产。

1 简介

本应用手册适用于以下列出的器件系列。产品相关文档可在 TI.com 的产品页面上找到。

AM62x 处理器系列

AM625

- AM6254
- AM6252
- AM6251

AM623

- AM6234
- AM6232
- AM6231

备注

结温高于 105°C 但不超过 125°C 的内容仅适用于数据表“建议运行条件”中指定的高温器件。

本文档概述了 AM62x ARM 处理器系列的固有可靠性功能和所应用方法。TI 与 IP (知识协议)、计算机辅助设计 (CAD) 工具和代工合作伙伴一起，制定了稳健设计目标和基于设计 (和设计验证) 的先进方法，以满足或超越市场对应用任务寿命剖面的期望。术语“任务剖面”是指一个包含可变温度层级 (在固定电压和频率下) 的表格，每个温度层级对应固定的持续时间，所有层级的时间之和为总寿命。每层的寿命 (以及总寿命) 通常以上电小时数 (POH) 为单位。该表显示了在产品整个生命周期中暴露于这些不同条件下的情况。或者，可以用 POH (因变量) 与特定温度和/或电压或频率 (自变量) 的函数关系表或图来表示可靠性。

表 1-1. TI 数据表 (AM62Ax Sitara 处理器数据手册) 中的参考任务剖面 (多温度层) 示例

上电小时数 (POH) ^{(1) (2) (3)}		
	结温范围 (T _J)	使用寿命 (POH)
扩展	-40°C 至 105°C	100000
汽车级	-40°C 至 125°C	20000 ⁽⁴⁾

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。

(3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。

(4) 汽车曲线定义为 20000 小时通电时间，此时结温如下所示：-40°C 时为 5%，70°C 时为 65%，110°C 时为 20%，125°C 时为 10%。

表 1-2. 温度与 POH 间关系示例表 (AM243X 数据手册, TI 出版物)

温度额定值	温度范围	结温 (T _J) ⁽¹⁾	估算使用寿命 ⁽²⁾ POH ⁽³⁾
A	-40°C 至 105°C	105°C	100000
I	-40°C 至 125°C	105°C	100000
		110°C	64000
		115°C	41000
		120°C	26500
		125°C	17500

- (1) 除非另有说明, 否则器件在额定温度下支持所有电压域和工作条件。
 (2) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
 (3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。

2 基于设计的方法

以 HTOL 为基础的产品寿命估算测试面临着相当大的挑战, 特别是在样本大小和测试持续时间方面存在实际限制, 以及在某些突出故障机制 (特别是电迁移和热载流子降级) 方面难以实现有效的应力条件。有关这些问题的更全面说明, 请参阅后面的[基于设计的寿命估算方法与 HTOL 方法的比较](#)和[附录 A](#), 但图 3 进行了简单概述。TI 认为, 与业界更为常见的更典型的 HTOL 方法相比, 基于设计的产品寿命估算方法对于嵌入式处理器而言更精确、更可靠。本出版物中详细介绍了基于设计的方法和结果。

表 2-1. 可靠性磨损机制的高级评估 - HTOL 与设计 (EDA) 工具

磨损故障机制	是否可靠进行了可靠性评估?	
	HTOL	EDA 工具
TDDB (包括 GOI、漏极应力)	是	是
老化 - 偏置热不稳定性 (BTI)	可能 ⁽¹⁾	是
老化 - 通道热载流子 (CHC)	否	是
电迁移 - 金属/过孔	否	是

- (1) 是否与 HTOL 应力模式和 ATE 程序相关

备注

虽然本文档中讨论的基于设计的可靠性建模是以定量和统计为导向, 并且是基于 TI 对典型客户如何使用我们产品的理解, 但它无法预测所有可能的使用场景, 也不代表任何根据 TI 标准销售条款和条件延长保修期的保证。

虽然封装选项对产品的整体可靠性有一定影响, 但封装故障机制会因封装技术和用户的环境条件 (如温度循环曲线和湿度条件) 不同而有很大差异。这些条件可能差别很大。用户可以根据 TI 产品鉴定结果 (包括板级可靠性温度循环) 来估算封装可靠性。

3 后台

TI 嵌入式处理的寿命 (也称为固有) 可靠性的总体方法是将其嵌入到设计和制造过程中, 从元件级可靠性 (晶体管、二极管、电容器、电阻器等) 开始, 直到最终的片上系统 (SoC) 产品发布为止。此过程称为“建构中修正” (Correct by Construction), 图 3-1 中对其进行了概述。

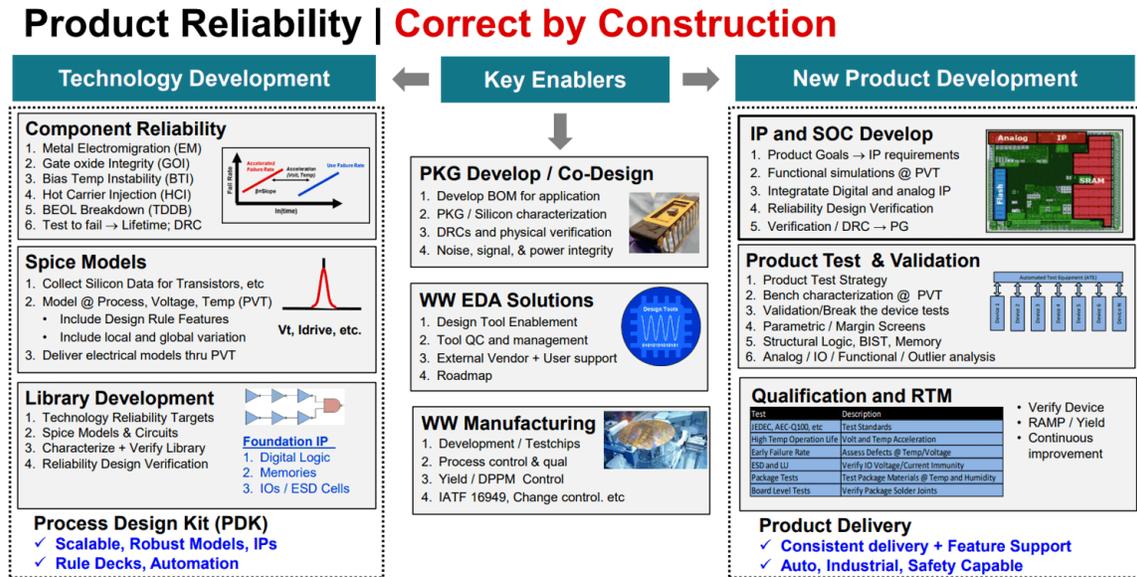


图 3-1. “建构中修正” 可靠性方法 - 从构思到产品发布

3.1 流程交付套件 (PDK)

设计流程的主干是在技术节点的流程交付套件 (PDK) 中定义的。从可靠性角度来看, 一旦定义了硅晶圆制造工艺基线流程, 晶圆厂就可以实现元件级可靠性。这些测试评估可能有效限制最终产品使用寿命的潜在内在磨损机制。通常, 测试速度非常快, 这意味着应力条件要比最终产品应用使用条件更为苛刻, 并且要进行故障测试以确定可靠性模型的特征 (可能需要测试多个应力条件来定义加速模型)。每项测试都有明确的通过/不通过标准, 与硅技术的总体可靠性目标相符。至关重要, 元件级测试可在比 HTOL 测试高得多的应力级别下执行, 从而实现细粒度可靠性模型 (需要观察故障情况) 并缩短执行时间。

3.2 电路行为的 SPICE 模型

下一步是生成 SPICE 模型库, 集成底层元件可靠性模型 (关键是老化效应)。这些电气模型在基本元件上的输出通过工艺、电压和温度 (通常称为 PVT) 范围进行表征。工艺是指元件的关键参数, 如晶体管阈值电压、驱动 (导通状态) 电流、关断状态电流 (亚阈值漏电流) 或金属片电阻。统计建模仿真还包括可能会显著影响最终性能的局部参数差异, 并进一步增强了模型的稳健性。

对于数字内核逻辑、存储器、(数字) IO 和 ESD 单元, 可在基本元件和报废 (老化) SPICE 模型的基础上, 构建由可重用单元构成的库。模拟电路不是直接由可重用单元元件构建, 而是具有单独的工作流程, 该流程也利用老化的 SPICE 模型, 并将运行保持在安全操作范围内。信号完整性和参数 (如增益、噪声、失调电压和线性度) 必须在规定的使用期限内将功能和参数性能保持在已发布的规格范围内, 这些规格通常发布在嵌入式处理产品的数据手册中。此外, 必须将包括存储器在内的所有数字和模拟元件都保持在 PDK 所涵盖的物理设计规则限制范围内, 而这些限制本身就包含了可靠性。在 IP 和 SoC 开发和集成阶段, DRC 再次得到应用。设计规则检查器 (PG) 在模式生成 (DRC) 之前严格执行这些规则, 生成掩码之前, 需要对任何违规行为进行操作和处理。图 3-2 展示了 PDK 范围的更详细视图。

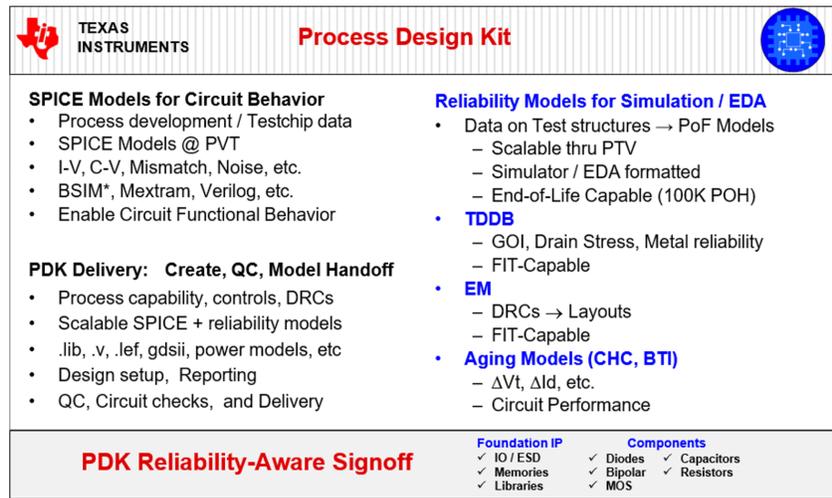


图 3-2. 流程设计套件概述

3.3 电子设计自动化 (EDA) 工具

重要的是，在 IP 和 SoC 发布阶段，TI 在当前先进 CMOS 技术（包括 AM6*）上使用的电迁移 (EM) 和栅极氧化层完整性 (GOI)/时间依赖型电介质击穿 (TDDB) 工具均可通过使用高级电子设计自动化 (EDA) 工具实现以 FIT 进行衡量。这意味着 FIT（时基故障，故障率的一种表示方法）是相对于“设计收敛”条件（通常为 105°C，100kPOH，在产品数据手册中公布的指定电压和频率条件下）报告的。此外，EM 流能够从仿真中报告关键的逐个元件平均电流密度（即所有互连和过孔的平均电流密度），从而能够根据客户任务剖面或替代温度条件对固定设计收敛条件进行精确的定量调整，这是稍后要讨论的一个重要特性。硬 IP（在物理设计布局固定的情况下合成）将作为独立实体进行 FIT 评估。软 IP（可重新合成，物理布局不固定）、顶层逻辑（在 IP 边界之外）和存储器的 FIT 汇总得到 SoC 级别的 FIT，然后与硬 IP（在 SoC 层面的使用仅限于 IP 的边界运行设计条件）相结合，得出总 FIT。这些 FIT 值分别计入 EM 和 GOI。相比之下，晶体管元件老化的影响通常与 FIT 计算无关，而是由设计流程来定义并执行安全运行条件和裕度要求，这样一来，在规定的任务剖面条件下，故障率实际上可以忽略不计。

3.4 封装可靠性

封装可靠性通过协同设计流程以及芯片（器件）设计包含在产品流程中。主要考虑因素是最大限度地降低噪声、确保信号和电源的完整性以及热效应。与器件设计相协调，制定并执行封装设计规则，以全面影响整个产品的性能目标。但是，封装可靠性还取决于对坚固材料和制造流程的选择。

在封装技术开发过程中，我们进行了大量的工作，以确定工艺差异的临界情况及其对可制造性和可靠性的影响。然后相应地设置工艺限制，并在生产中对关键参数的工艺能力进行监控，通常采用统计工艺控制 (SPC)。除了倒装芯片封装的芯片凸点电迁移可靠性之外，大多数封装的长期可靠性故障机制都包含在热机械应力或氧化/腐蚀反应中。在 JEDEC/AEC-Q100 规定的测试条件下进行产品鉴定时，会对这些风险进行评估，但样本量必然有限，从而限制了定量故障率评估的能力。（此问题也适用于 HTOL。）

在工艺开发阶段开展活动以增加利润，以及在生产中通过制造控制计划进行可靠的统计监测，这些都是关键所在。然而，可以定量评估 BGA 和凸点的焊点热机械可靠性。板级可靠性 (BLR) 温度周期 (T/C) 测试在产品鉴定范围内执行（尽管可以通过对任何特定产品的相似性进行鉴定）。BLR 应力通常继续至少 60%-70% 的样片发生故障，从而生成威布尔图并量化可靠性性能。（可能需要将 BLR 应力测试条件降额至应用温度循环条件。由于应用的循环条件可能会有很大差异，这通常要根据具体情况而定。）

4 基于设计的方法与 HTOL 方法的比较

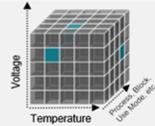
大多数情况下，精心设计的 HTOL 应力计划必须充分评估 TDDB 机制（如 GOI、ILD 故障）的寿命。这还可能包括检测导致 TDDB 过早故障的非固有缺陷。许多情况下，TDDB 机制并不是寿命可靠性的最终限制因素。

在 HTOL 过程中，即使在动态应力条件下（处理器的常规情况），通道热载波 (CHC) 和电迁移一般也不会明显加速。就 CHC 而言，（动态）HTOL 应力期间的时钟速率和压摆条件通常不利于 CHC 加速降级。偏置热不稳定性 (BTI) 会在 HTOL 中加速，这主要是由于高温和高电压造成，但 HTOL 期间在最坏情况电路上发生的动态开关活动并不能充分代表功能使用条件，特别是在考虑整体老化时，可以将 BTI 和 CHC 元件结合起来。

在 HTOL 偏置过程中，电迁移电流密度（也是时钟速率的一个重要函数）通常并不高，不足以证明在典型的 1000-2000 小时测试时间内（即使在电压升高的情况下），电迁移电流密度可达到 10 年以上的使用寿命。这需要更长的持续时间。通常情况下，结构应力模式（即基于 ATPG 的模式）与 HTOL 以及存储器或其他适用的 BIST 一起应用，时钟频率通常远低于最大工作频率。

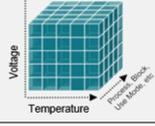
HTOL 覆盖的重点通常是更大限度地扩大节点的切换覆盖范围。通过磨损机制，了解设计中的相对薄弱点、最坏情况下的工作模式以及目标应力模式条件，从而更大限度地提高最坏情况下的 PVT 和频率角。不同的局部薄弱点（整个芯片上的 IP）可能有不同的最差边角。HTOL 中应用的典型 ATPG 和 BIST 模式很难加速目标电路上的所有最坏情况下的功能条件。图 6 进一步扩展了图 3，总结了 SoC 设计流程的关键方面，并比较了 HTOL 覆盖范围与 EDA 工具作为设计验证路径的有效性。指出了适用的可靠性故障机制。

Critical Design Flow Elements	HTOL	EDA Tools
Physical Design + Logic	Limited Coverage and Dedicated Effort	Robustly Covered ✓
IP, Memory, IO, Logic, Analog Integration		
Clock/Data, Timing (Aging), CDCs, etc		
Power Delivery (EM), Power Management		
Package Co-Design, PII/SI* (GOI), Thermal		
Structural: LVS, DRCs, Floating Nodes		
Analog Performance (Aging)		
Linearity, Offset, Gain, SNR, Distortion		
Power efficiency, ABSMAX, etc		



HTOL:

- Each block unique, no single, global corner
- Ineffective, not predictive



Design Covers Corners Naturally!

- Tools: DV / Regression / Monte Carlo
- Multimode Multicorner (MMMC)
- Many fail modes already 100% addressed by design: CDCs, EM, Timing, etc

图 4-1. HTOL 与 EDA 工具在关键设计流程要素设计验证中的功效对比

有关基于 HTOL 的产品可靠性估算的数学原理和缺点的更详细解释，请参阅附录 A。此外，附录 B 还介绍了电迁移可靠性的数学框架。

5 AM625/623 寿命可靠性分析结果

迄今为止，TI 对基于 AM62x ARM 处理器系列进行的可靠性分析设计一再表明，电迁移是限制寿命的故障机制。如前所述，TI 认为在合理的测试时间内，无法通过 HTOL 测试充分评估电迁移寿命可靠性。此外，作为 PDK 的一项重要附加增强功能，TI 用于 Sitara AM6* 产品线的 EDA 工具流程能够在我们的设计参考条件（105°C 芯片结温，100k POH 寿命）下集成并报告总 FIT/故障比例 (FF)。截至 2024 年初，已在 EDA 工具流程之外开发出一款软件应用，可精确地调节单个（组成）金属或过孔元件 FF 对其他特定单一温度或温度曲线的贡献。然后对整个 SoC 的贡献进行统计。调节比单个加速因子计算更为复杂，因为仿真显示了平均电流密度相对于 EM 设计规则限制的变化。实际上，这意味着每个分量都有一个单独的加速因子（通常遵循附录 B 中所述的布莱克定律）。

图 5-1、图 5-2 和图 5-3 显示了 AM62X 产品利基的 POH 与温度关系图。在图 5-1 和图 5-2 中，内核电压在 0.75V 至 0.85V 之间变化（根据数据手册，频率固定）。为便于阅读，我们将其分成两张图。可以观察到，与 0.01% 的故障比例相比，1% 的故障比例容差下的 POH 能力大约提高了 25%，这与温度基本无关。作为参考，100k POH 时，0.1% 的故障比例相当于 10FIT。图 5-3 说明了在 105°C 至 125°C 结温范围内的固定电压（和频率）下不同故障比例目标的效果。以 F=0.001 (0.1%) 为基准，弛豫到 1% 的故障容差会导致 105°C 和 125°C 时的 POH 大约增加 18%。

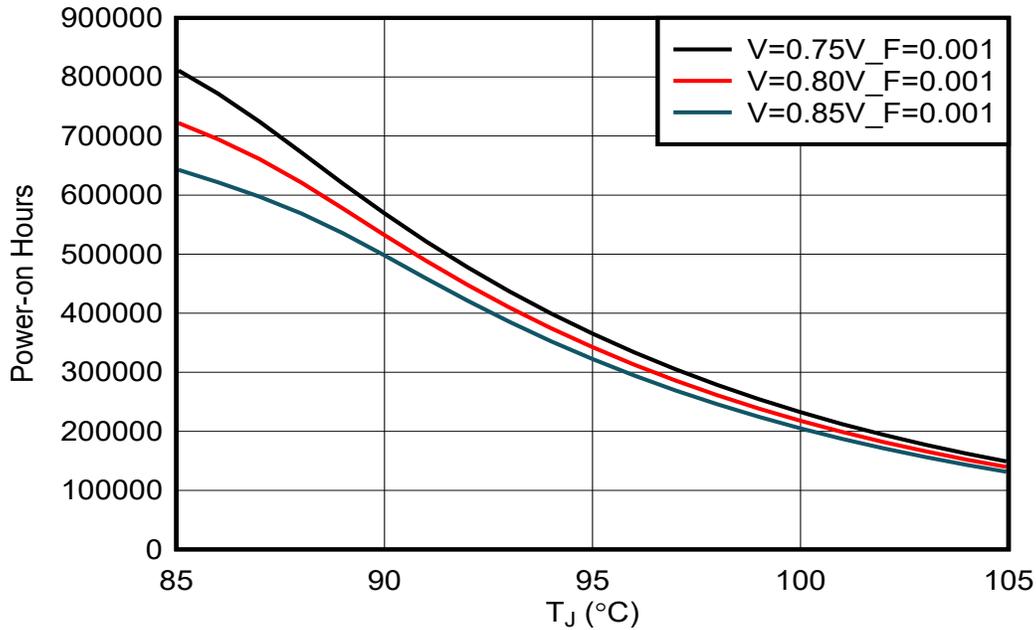


图 5-1. AM62X POH 与温度间的关系（固定故障比例 (0.1%)，最高 105°C）

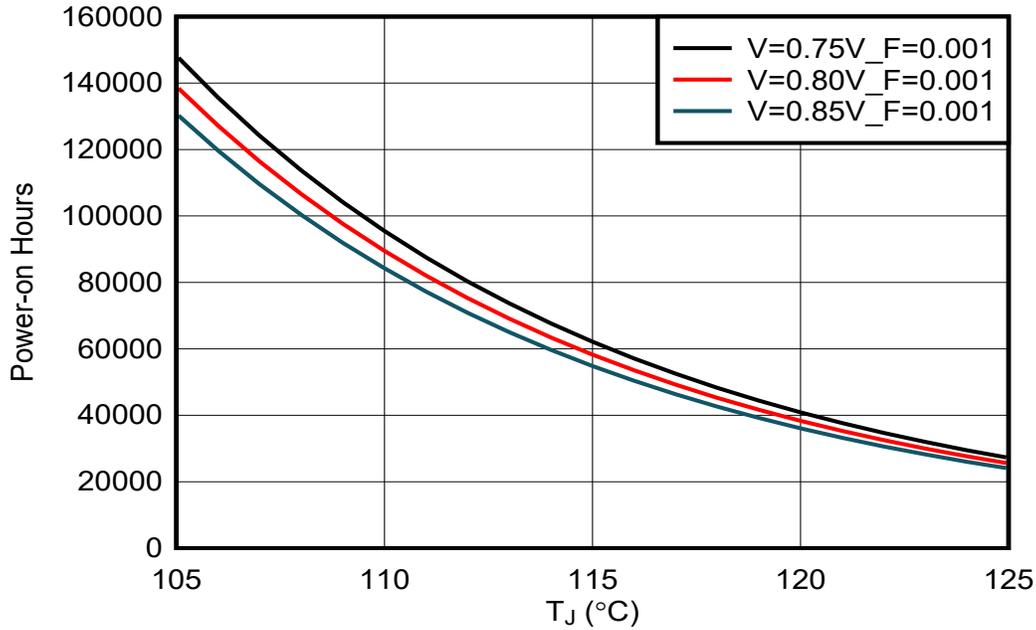


图 5-2. AM62X POH 与温度间的关系 (固定故障比例 (0.1%), 最高 125°C)

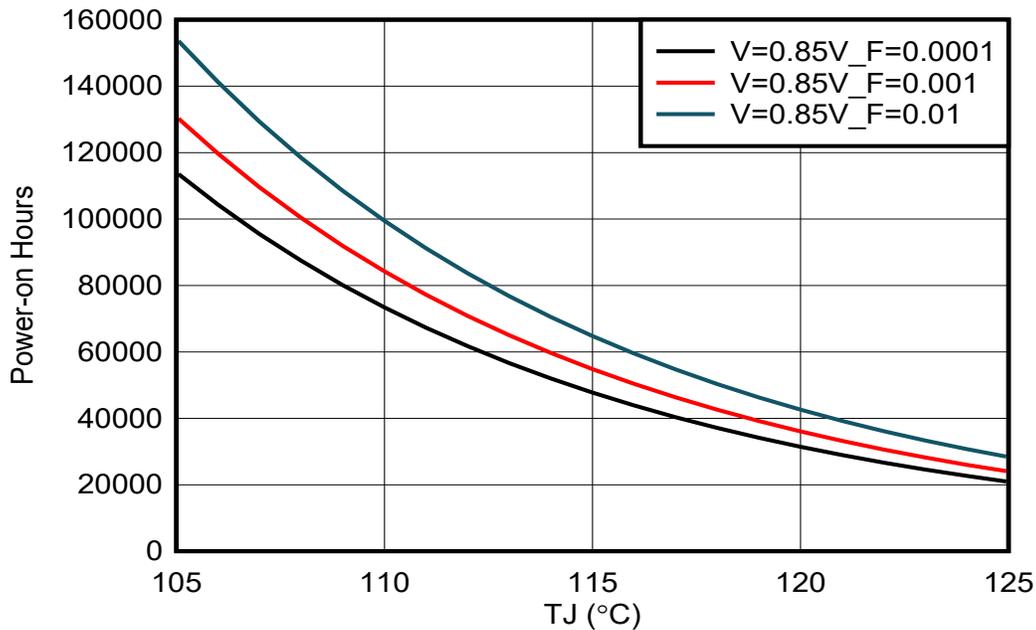


图 5-3. POH 与 T_J 间的关系 (EM 故障比例变化情况下)

备注

所有温度均以 (芯片) 结的形式表示, 与 TI 数据表一致。基于芯片机制的可靠性估算均基于结温进行。因此, 由用户进行的系统级散热工程 (包括封装、功率耗散、系统板结构和系统板上的其他元件) 对于管理结温以及使用寿命可靠性至关重要。

6 结语

本文介绍了 TI 基于设计的可靠性寿命评估方法，并与基于 HTOL 的典型方法进行了比较。TI 的方法可灵活改变温度和电压，并输出目标故障比例曲线。然后，可以改变目标故障分数，并显示了变化的影响。原则上，也可以考虑频率的影响，但这些影响取决于设计中最高电流设计元件的位置、适用的时钟域以及该特定时钟域是否在频率上进行了调节。由于这些因素带来的潜在复杂性，本出版物中省略了频率调节。

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2024	*	初始发行版

A 附录 - 基于 HTOL 的方法

基于 HTOL 的模型有两个方面的限制，而基于设计的可靠性方法则没有这些限制。

通常，基于 HTOL 的模型采用恒定故障率假设。这是浴缸曲线的底部，如图 A-1 所示。重要的是，这种模式并不能可靠地代表产品的使用寿命，因为从逻辑上讲，使用寿命与磨损阶段的开始相吻合，而磨损阶段的特点是瞬时故障率不断增加。

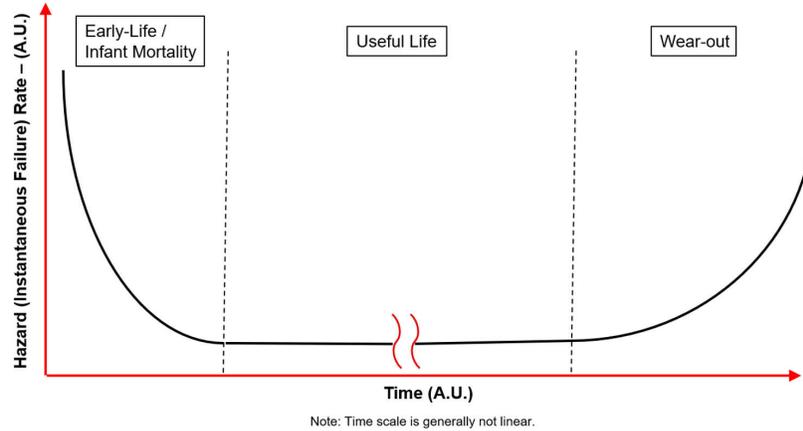


图 A-1. 浴缸曲线 - 产品可靠性生命周期助记符

可靠性估算受固定 HTOL 采样大小和测试持续时间的限制。通常，这两个因素中的一个或两个都会导致未观察到故障。这就限制了模型在描述使用寿命方面的可行性，因为没有故障意味着评估故障率随时间变化的信息极少。从数学角度来看，无论故障次数多少，以固定的持续时间（通常是由于实际原因）终止测试的情况均称为 I 型右删失。之所以使用“右删失”一词，是因为当测试终止时，不知道在该点的幸存者何时会失败。I 型右删失的故障率（以互换时间维度表示）由方程式 1 中的以下公式表示。

$$F.R. = \frac{X^2[2 \times f + 2, 1 - \alpha]}{2 \times SS \times t_{HTOL} \times AF} \quad (1)$$

其中

$$X^2[2 \times f + 2, 1 - \alpha] \quad (2)$$

- = 逆卡
- 方累积分布函数 (CDF)，以 (1 - a) 单边置信水平计算 f 故障次数
- SS - HTOL 样本大小
- t_{HTOL} = HTOL 测试持续时间 (小时)
- AF = 加速因子 (HTOL 至应用)

要将平均故障率 (AFR) 转换为 CDF (故障比例)，请使用以下通用标识：

$$F(t) = 1 - e^{-AFR \times t} \quad (3)$$

在这种情况下，平均故障率与恒定故障率相同。然而，更确切地说，AFR 是一个非恒定的时间函数。

B 附录 - EM 可靠性估算的数学基础

一般认为，电迁移故障遵循对数正态统计可靠性分布，加速因子遵循布莱克定律。这些参数使得瞬时故障率随着时间的推移而增加，反映了浴缸曲线的最新阶段。最好先以基本形式描述布莱克定律，然后再讨论对数正态 CDF。EM 对数正态故障的基本 CDF 方程见 [方程式 4](#)。

$$t_{failure} = AJ^{-n}e^{-\frac{E_a}{kT}} \quad (4)$$

- J 是通过导线或过孔的电流密度（实际的平均电流密度）。
- n 是电流密度指数，取决于所使用的金属化工艺。通常，对于铜 (Cu)， $n = 1$ ；对于铝， $n = 2$ 。Sitara 产品中使用了铜和铝金属，但金属化的限制性成分通常是铜。
- A 是一个拟合常数，在计算不同应力或使用条件下的故障时间比率时要除以它，这就是加速因子 (AF) 的定义。
- k 是玻尔兹曼常数， $8.617 \times 10^{-5} \text{ eV/}^\circ\text{K}$ 。 T 在本例中是以开尔文为单位的温度。

$$F(t) = \Phi \left[\sigma^{-1} \ln \left(\left[\frac{1}{s^{-n} t_{50-ref}} \right]^{\sum_{i=1}^N} \left[\frac{t_i}{\left(\frac{V_i}{V_{ref}} \right)^{-n} \left(\frac{f_i}{f_{ref}} \right)^{-n} e^{-\frac{E_a}{nk} \left(\frac{1}{T_{ref}} - \frac{1}{T_i} \right)}} \right]} \right) \right] \quad (5)$$

在 [方程式 5](#) 中，

- Φ 是标准正态 CDF。
- t_{50-ref} 是设计参考条件下的中位故障时间。
- σ 是故障时间自然对数的标准偏差，取决于技术节点，但通常为 0.2 至 0.5（随着磨损而保持恒定）。
- s 是特定导线或过孔的平均电流密度与允许的最大电流密度限值之比。该最大限值相当于单个元件允许的可靠性上限。随着 s 的降低（即平均电流密度的降低），有效 t_{50} 相对于基准条件的影响也随之增大。 t_{50} 越高，可靠性就越高。
- V 和 f 分别指电压和频率。

从 $i=1 \dots N$ (Σ 后面) 求和的项需要进一步解释。 E_a 和 n 是之前所述的布莱克定律参数。分子项 t_i 是指任务剖面中应用使用条件层的时间。例如， t_i 可以表示在 95°C Tj 温度、某些工作应用电压和频率下的 20000POH（数据表规格内的工作性能点 (OPP)）。

另一种情况：

$$t_2 \quad (6)$$

在 95°C Tj 下可以为 50000POH，并且与 $(T_{ref}, V_{ref}, f_{ref})$ 相比，它可以是 TI 数据表中允许的相同 OPP，也可以是不同的 OPP。相对于基准条件下的等效时间，每个层级的时间必须按比例增大或减小。最后，必须将整个任务剖面（所有应用使用层）的这些调整的时间求和。

到目前为止，我们已介绍了单根导线或过孔（元件）的（电迁移）可靠性。那么，如何计算 SoC 的总可靠性呢？从数学角度看，这一点相对简单。

使用可靠性函数的特性：

$$R = 1 - F \quad (7)$$

其中 F 是前面所述的 CDF。

如果总共有 N 个元件，则总可靠性函数就是每个单独元件可靠性函数的总乘积：

$$R_{tot} = \prod_{i=1}^N R_i \quad (8)$$

最后，总 CDF 等于 1 减去总可靠性：

$$F_{tot} = 1 - R_{tot} \quad (9)$$

标准正态 CDF 还有一个方便的数学特性，可以简单地将 F 转换为 R ，反之亦然。该特性为：

$$\Phi(z) = 1 - \Phi(-z) \quad (10)$$

如果

$$F = \Phi(z) \quad (11)$$

则

$$R = \Phi(-z) \quad (12)$$

在 [方程式 4](#) 中，通过取自然对数参数的倒数， z 的符号可以由正变负。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司