

Application Brief

使用 TI 可编程逻辑器件通过反馈实现电源时序控制



Malcolm Lyn

引言

在任何融合了 FPGA、MCU 或其他利用多个电源轨的处理单元的设计中，电源时序控制都是一项必要的应用。许多设计都要求在对下游元件进行时序控制之前，先对位于下游元件前面的元件进行时序控制，以避免反向供电或过早发生意外器件运行。TPLD1201 具有可配置逻辑和时序块，可为多个元件提供对称的上电和断电信号。本文档提出了两个电路：一个遵循图 1 的结构，其中 TPLD1201 配置为输出最大数量的上电和断电时序信号；另一个模拟图 2，其中外部反馈确保在位于下游器件之前的器件完全上电之前，TPLD1201 不会发出为相应下游器件供电的信号。

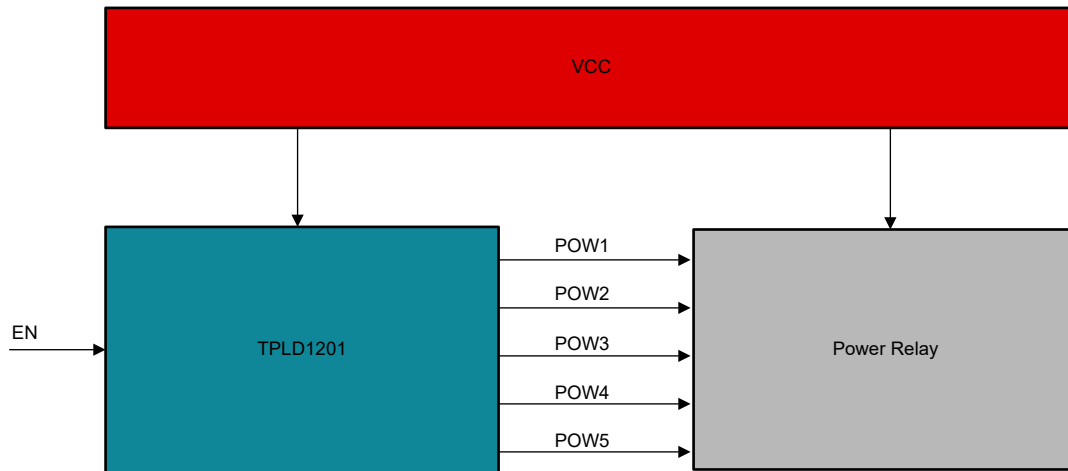


图 1. 具有五个输出的电源时序控制电路

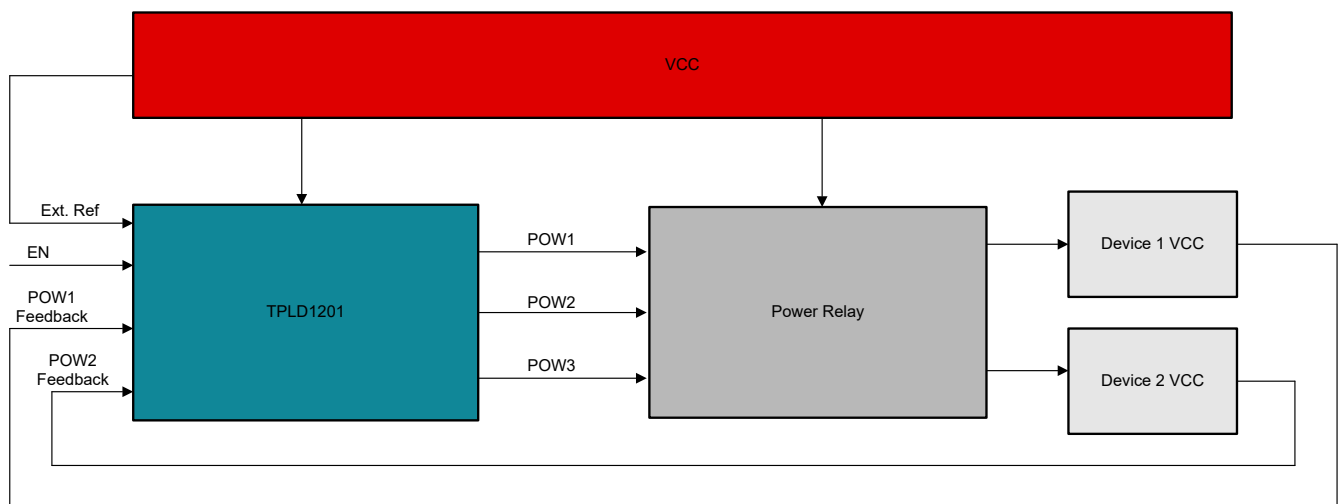


图 2. 具有反馈的电源时序控制电路

设计注意事项

- 在 VCC 至 GND 之间添加一个去耦电容器。典型值为 $0.1 \mu\text{F}$ 至 $1 \mu\text{F}$ 。电容器必须在位置上靠近器件放置。

- 为了获得更好的性能，每个输出端的容性负载不得超过 50pF。确保从器件输出到负载开关输入的布线不会过长，以避免负载电容过大。
- 输出端的电阻负载必须大于 $(VCC / I_{DC})\Omega$ ，以确保不超出绝对最大电流输出额定值。该负载取决于对输出引脚进行编程的输出结构类型（TPLD1201 引脚可以编程为推挽或开漏输出，具有 1 倍或 2 倍的增益）。
- 如果器件的输出引脚配置为开漏 NMOS 或 PMOS，请在 ICS 中选择合适的 10k Ω 下拉和上拉电阻，以避免输出上出现悬空信号。
- 数字输入引脚上的电压不得超过 VCC。
- 馈入模拟比较器的模拟输入和输出引脚对于正基准具有 0V-VCC V 的电压范围，对于负基准具有 0V-1.2V 的电压范围。在模拟比较器引脚上不得超过这些电压，如果设计中采用该引脚，则必须注意避免在负基准引脚上使用 VCC，同时不得超过最大值 1.2V。

对于此特定系统，进入 TPLD1201 的使能信号和模拟反馈信号（如果包含）不得超过 TPLD1201 的 VCC。大多数 TI 负载开关从 ON 信号汲取 10nA 至 30nA 范围内的电流，并防止 TPLD1201 输出引脚上发生过流。如果直接与 MCU 或 FPGA 连接，则必须注意确保所有引脚上的电压不超过 TPLD1201 的 VCC，以避免损坏器件。

工作原理

在这两个电路中，输入使能信号都被馈送到计数器块。计数器块的控制数据与来自内部振荡器的时钟相结合，设置每个序列信号之间的延迟。例如，如果振荡器被设定为 25kHz（与一个 40 μ s 周期相对应）并且计数器被赋予控制数据 30，那么每个序列开始和结束之间的延迟 t_d 为 $30 \mu s \times 40 \mu s = 1.2ms$ 。计数器复位在使能信号的上升沿和下降沿触发，因此器件在输入使能信号下降之前不会发出开始断电的信号。

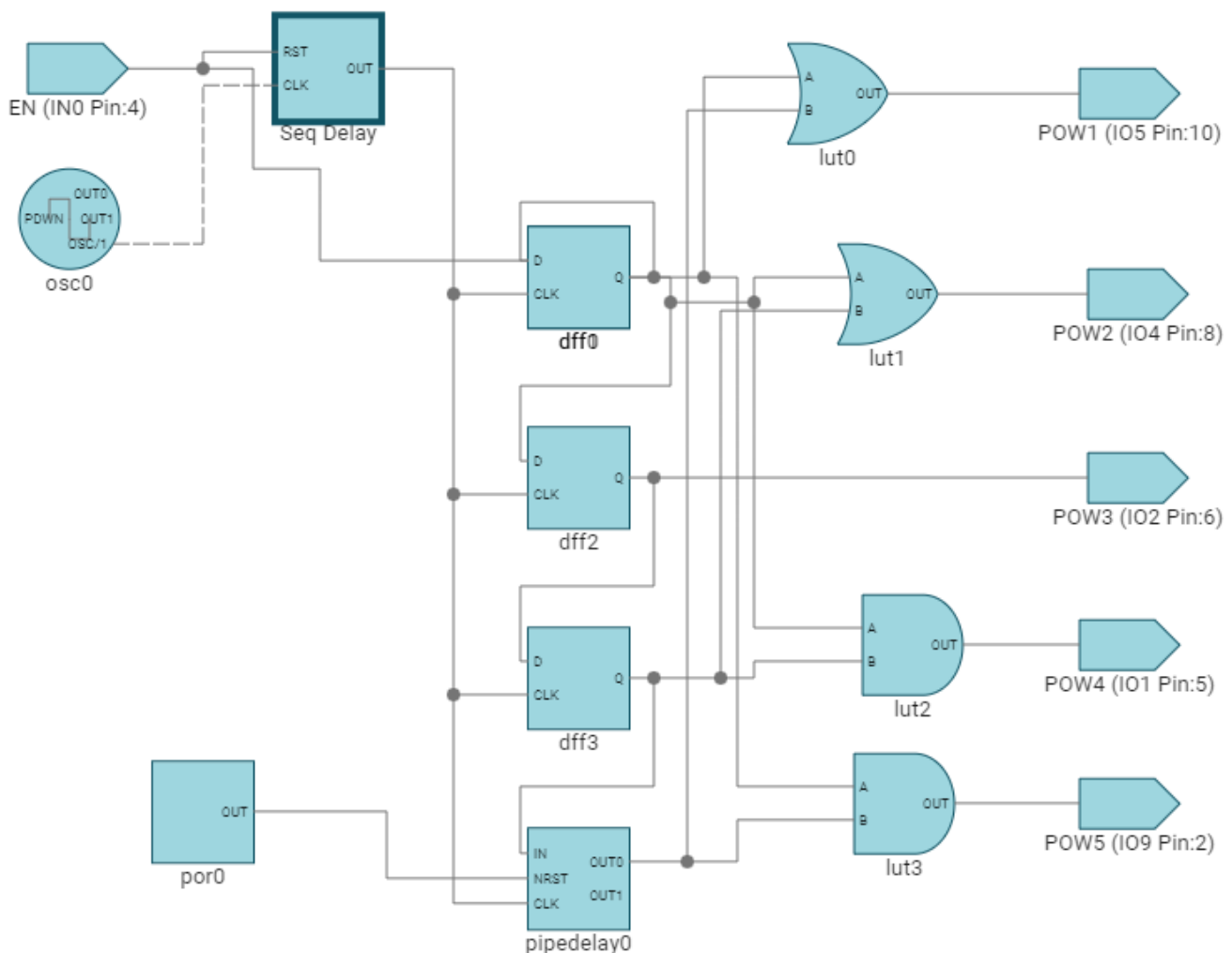


图 3. ICS 中的五个输出电路

在第一个电路 (图 3 给出了该电路的 ICS 设计) 中, 计数器连接到四个 DFF, 管道延迟的 OUT0 充当第五个 DFF。每个 DFF 并联连接, 当与两个或门和与门结合使用时, 会在每个输出端上发出上电或断电信号。每个额外的 DFF 和 LUT 门都允许从 TPLD 输出另一个电源时序控制, 需要使用或门和与门才能实现顺序断电。由于 TPLD1201 最多能够以菊链式连接五个 DFF, 因此通过该设计最多可以发送五个电源时序控制信号。图 4 给出了该电路的时序。如前面所述, 每个输出都在 t_d 设定的时间内对称地上升和下降。

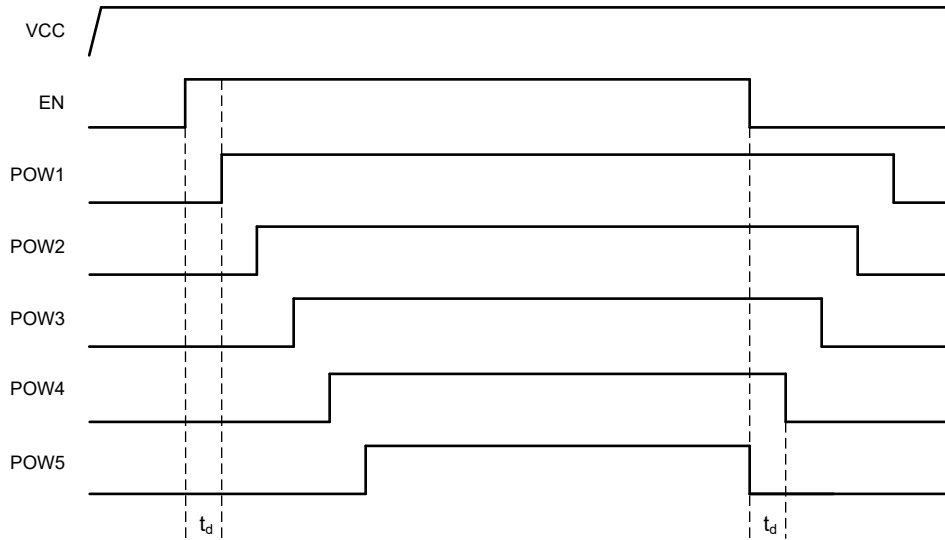


图 4. 五个输出电路时序

此外, 两个模拟比较器的存在允许创建一个外部反馈环路, 该环路仅在位于后续电源轨或器件之前的电源轨或器件上升到既定电压电平后, 才开始对后续电源轨或器件的电源进行时序控制。使用起始和以 50mV 为增量变化的内部基准电压或使用外部电压基准, 可将电压电平设置为最大 1.2V。在使用 FPGA 等器件时, 此应用特别有用, 因为模拟元件会在数字 I/O 电源轨之前通电, 并可防止 ESD 或短路损坏。图 5 给出了建议的电路, 图 6 提供了一个时序示例。

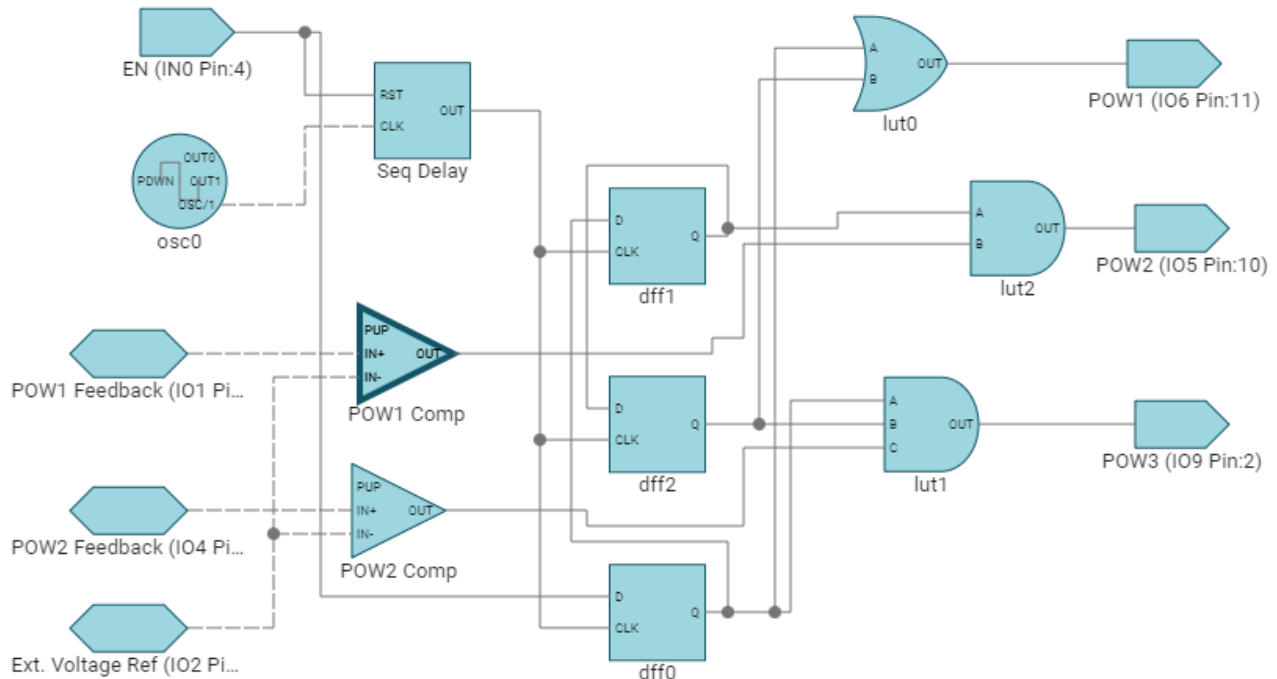


图 5. 使用 IC 中的反馈电路实现电源时序控制

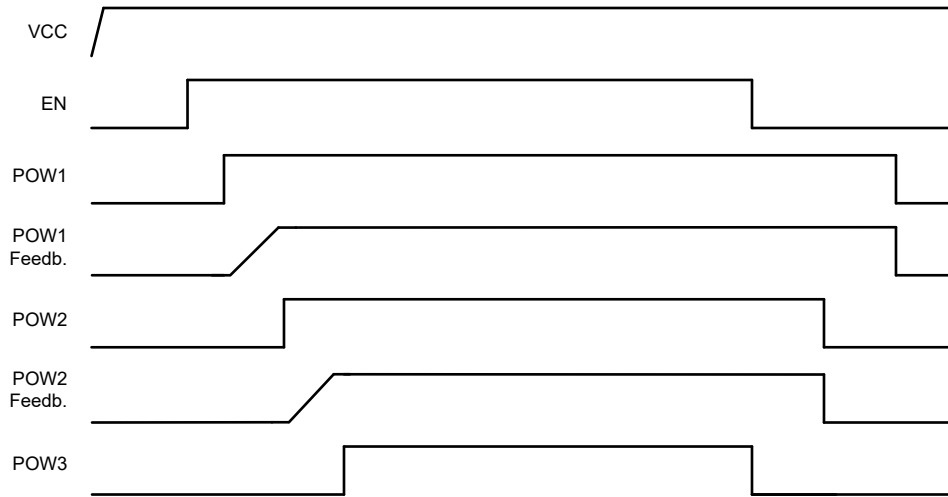


图 6. 借助反馈时序实现电源时序控制

结语

TPLD1201 是一款适用于电源时序控制应用的高效设计。TPLD1201 提供了多种可用的逻辑和模拟块。借助 I/O 引脚，可在需要大量序列输出或需要比较器反馈提供额外保护的应用中灵活使用此器件。TPLD1201 可以在单个封装中包含这些逻辑块，这意味着与分立式逻辑选项相比，TPLD1201 可以节省空间。TPLD1201 的时序块可实现电源时序控制，而无需包含单独且尺寸合适的电容器和电阻器，即可设置上电和断电所需的 RC 延迟。

参考资料

有关本文中讨论的概念的更多详细信息，请参阅以下文档：

- 德州仪器 (TI), [负载开关基础知识](#) 应用手册
- 德州仪器 (TI), [使用负载开关的电源时序控制参考设计](#) 设计指南
- 德州仪器 (TI), [负载开关时序](#) 应用手册

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司