



Siva M, Sivabalan Mohan

## 摘要

BLDC 电机控制应用的 PCB 设计是一个复杂的过程，涉及成本、外形尺寸、运行条件、可靠性、效率等多种因素。本应用手册旨在为使用 MCF831xC 系列器件进行电机控制应用的 PCB 设计提供建议，从而更大限度地缩短 PCB 设计时间。

## 备注

MCF831xC 是指 TI 最新的基于无传感器 FOC 的集成 FET BLDC 驱动器，包括 [MCF8316C-Q1](#)、[MCF8315C-Q1](#) 和 [MCF8315C](#)。

## 内容

1 引言.....	2
2 电源引脚设计建议.....	2
2.1 VM.....	2
2.2 电荷泵：CPH、CPL、CP.....	2
2.3 降压转换器：FB_BK、SW_BK、GND_BK.....	2
2.4 AVDD.....	3
2.5 DVDD.....	3
2.6 PGND、AGND、DGND.....	3
2.7 散热焊盘.....	3
3 MCF831xC 降压稳压器概述.....	4
3.1 降压稳压器运行模式.....	4
3.2 降压稳压器输出电压.....	5
3.3 降压电源时序.....	5
3.4 降压电感器选择.....	6
3.5 不使用降压稳压器的 MCF831xC 运行.....	6
4 MCF831xC IO 引脚设计建议.....	6
4.1 SPEED 引脚.....	6
4.2 BRAKE、DIR、DRVOFF 引脚.....	7
4.3 EXT_CLK、EXT_WD.....	7
4.4 ALARM.....	8
4.5 DACOUT1、DACOUT2.....	8
4.6 SDA、SCL.....	8
4.7 nFAULT 和 FG 引脚.....	9
5 MCF831xC PCB 原理图和布局建议.....	11
5.1 单个接地平面.....	11
5.2 AVDD 短接至 FB_BK 的单个接地平面.....	12
5.3 两个接地平面.....	13
6 总结.....	14
7 参考资料.....	14

## 插图清单

图 3-1. 电感器模式下的降压稳压器.....	4
图 3-2. 电阻器模式下的降压稳压器.....	4
图 3-3. 降压稳压器电源时序.....	5

图 4-1. SPEED 引脚 IO 结构.....	6
图 4-2. BRAKE、DIR 和 DRVFF IO 结构.....	7
图 4-3. EXT_CLK 和 EXT_WD IO 结构.....	7
图 4-4. ALARM IO 结构.....	8
图 4-5. DACOUT1/2 IO 结构.....	8
图 4-6. SCL、SDA IO 等效电路.....	8
图 4-7. nFAULT 和 FG IO 等效电路.....	9
图 5-1. 单个接地平面的 PCB 原理图.....	11
图 5-2. 单个接地平面的 PCB 布局.....	11
图 5-3. 单个接地平面且 FB_BK 由 AVDD 供电的 PCB 原理图.....	12
图 5-4. 单个接地平面且 FB_BK 由 AVDD 供电的 PCB 布局.....	12
图 5-5. 两个接地平面 ( AGND 和 PGND ) 的 PCB 原理图.....	13
图 5-6. 两个接地平面 ( AGND 和 PGND ) 的 PCB 布局.....	13

## 表格清单

表 2-1. MCF831xC 电源部分元件.....	3
表 3-1. 电阻器功率计算.....	4
表 3-2. 取决于外部负载的降压稳压器配置.....	4
表 3-3. 降压稳压器 SEL 配置汇总.....	5
表 3-4. 将电感器规格映射到 MCF831xC 降压稳压器规格.....	6
表 4-1. SPEED 引脚干扰滤波器设置与干扰宽度.....	7
表 4-2. I2C 引脚驱动强度.....	9
表 4-3. MCF831xC IO 引脚建议.....	10

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

MCF831xC 是一款一体式 BLDC 驱动器，它将电机控制逻辑、栅极驱动器和 FET 逆变器集成在单个 IC 中，实现完整的小型 BLDC 驱动器设计，适用于高达 40V 的工业和汽车应用。因此，基于 MCF831xC 的电机控制 PCB 设计包括电源和信号/GPIO 域。电源域部分提供了去耦电容器、降压转换器设计选项（以优化成本与效率）和接地连接等建议。信号/GPIO 域说明了每个 GPIO 的建议连接以及详细的内部 IO 焊盘结构，以帮助最终用户为其终端应用选择正确的设计。电源和信号域建议整理为 PCB 原理图和布局的三个示例，具有不同的接地平面和电源管理选项。

## 2 电源引脚设计建议

MCF831xC 至少需要五个电容器才能运行：VM-PGND、CPH-CPL、CP-VM、AVDD-AGND 和 DVDD-DGND。以下各节包含电源引脚的详细设计建议。

### 2.1 VM

VM 是 MCF831xC 器件的主要电源，除了为驱动 BLDC 电机的三相逆变器供电外，还为电荷泵、降压转换器和 AVDD LDO 供电。通常，在 VM 和 PGND 引脚之间添加一个大容量电容器，其大小范围为几十  $\mu\text{F}$  到几百  $\mu\text{F}$ ，具体取决于允许的纹波、电机相电流、开关频率（由最终用户系统要求决定）。VM 大容量电容器的额定电压需要至少是 VM 电压的两倍。

### 2.2 电荷泵：CPH、CPL、CP

MCF831xC 器件具有集成电荷泵，可驱动高侧 (HS) FET。电荷泵需要两个外部电容器——一个是在 CPH 和 CPL 引脚之间的飞跨电容器，额定电容为 47nF（VM 电压的两倍），另一个是在 CP 和 VM 引脚之间的飞跨电容器，额定值为 1  $\mu\text{F}$ 、16V。电荷泵输出 (CP) 仅用于内部电路，无法驱动任何外部负载（如用于反向阻断的高侧导通 FET 等）。

### 2.3 降压转换器：FB\_BK、SW\_BK、GND\_BK

MCF831xC 具有集成降压稳压器，可在用户可配置的电压（3.3、4、5 或 5.7V）下提供高达 170mA 的外部负载电流。根据外部负载电流要求，降压稳压器可在电感器或电阻器模式下运行，从而根据负载电流能力来优化成本。

为了进一步优化成本，可以通过将 EEPROM 中的 BUCK\_DIS 位设置为 1b 并将 FB\_BK 连接到 AVDD 来禁用降压稳压器。有关更多详细信息，请参阅节 3.5。

## 2.4 AVDD

MCF831xC 具有集成 LDO，可在 3.3V 下提供高达 20mA 的外部负载电流。AVDD LDO 输入可以是 VM 或 FB\_BK — 使用 FB\_BK 作为 AVDD LDO 输入可降低内部功率损耗并提高 MCF831xC 的热性能。通过将 BUCK\_PS\_DIS 设置为 0b 并将 BUCK\_SEL 设置为 01b (5V) 或 11 (5.7V)，降压稳压器可以用作 AVDD LDO 输入。AVDD 需要在 AVDD 和 AGND 引脚之间连接一个额定值为 1  $\mu$ F、10V 的去耦电容器。

## 2.5 DVDD

MCF831xC 具有一个集成式 LDO，可在 1.5V 电压下为内部数字电路供电。DVDD LDO 输入来自 FB\_BK。DVDD 需要在 DVDD 和 DGND 引脚之间连接一个额定值为 1  $\mu$ F、10V 的去耦电容器。

## 2.6 PGND、AGND、DGND

PGND 指电源地，是 VM 电源的返回路径。AGND 和 DGND 分别是 AVDD 和 DVDD 的低压信号地和返回路径。TI 建议采用两个接地平面布局，一个用于 PGND，另一个用于 GND\_BK、AGND、DGND，从而实现更好的噪声性能，如图 5-6 所示。不过，为了优化 PCB 成本，可以使用如图 5-2 所示的单一接地平面布局。

## 2.7 散热焊盘

MCF831xC 器件具有散热焊盘，可实现更好的散热。该散热焊盘需要连接到 AGND 以及终端应用 PCB 上尽可能大的覆铜平面，以最大限度地提高散热效果。

表 2-1. MCF831xC 电源部分元件

PIN1	PIN2	元件值			单位	不同工作条件下的变化百分比	建议的额定值
		最小值	典型值	最大值			
VM	PGND	10			$\mu$ F	不适用	VM 电压的两倍
CP	VM	32.9	47	61.1	nF	30	VM 电压的两倍
CPH	CPL	0.7	1	1.3	$\mu$ F	30	16V
AVDD	AGND	0.7	1	1.3	$\mu$ F	30	10V
DVDD	DGND	0.7	1	1.3	$\mu$ F	30	10V
FB_BK	GND_BK	15.4	22	28.6	$\mu$ F	30	10V
SW_BK	FB_BK	37.6	47	56.4	$\mu$ H	20	对于 BUCK_CL = 0, $I_{sat} \geq 1.0A$
		17.6	22	26.4	$\mu$ H	20	对于 BUCK_CL = 1, $I_{sat} \geq 0.5A$
		20.9	22	23.1	$\Omega$	5	1W

### 3 MCF831xC 降压稳压器概述

#### 3.1 降压稳压器运行模式

MCF831xC 具有集成降压稳压器，可为低压 ( $\leq 5V$ ) 内部和外部电路供电。根据外部负载的不同，降压稳压器可以采用电感器模式或电阻器模式运行，如图 3-1 和图 3-2 所示。如果外部负载  $> 10mA$ ，则降压稳压器需要在电感器模式下运行，如果外部负载  $\leq 10mA$ ，则降压稳压器可以在电阻器模式下运行，以降低 BOM 成本

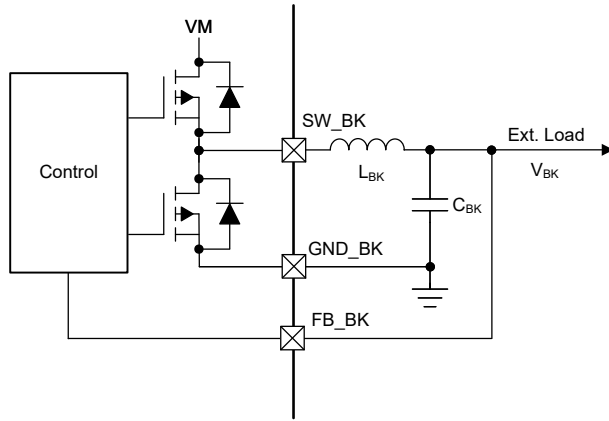


图 3-1. 电感器模式下的降压稳压器

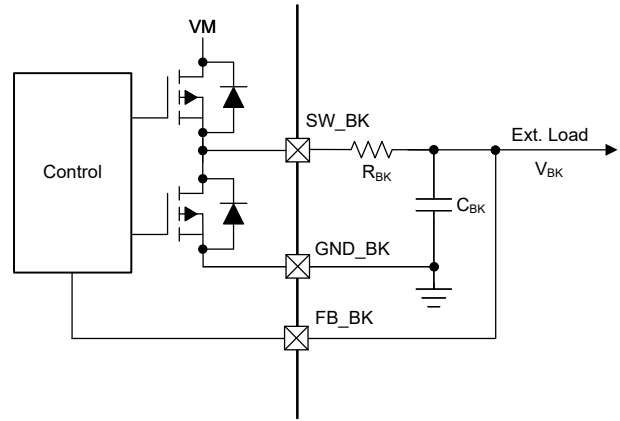


图 3-2. 电阻器模式下的降压稳压器

在电感器模式下，降压稳压器作为传统的开关稳压器运行，可提供高效率。在电感器模式下，有两个电感器选项可在成本和性能之间进行优化。对于  $\leq 20mA$  的外部负载，可以使用  $22\mu H$  电感器来降低 BOM 成本；对于  $> 20mA$  的外部负载，需要使用  $47\mu H$  电感器。

在电阻器模式下，降压稳压器作为伪 LDO 运行，其中大部分损耗都在外部电阻器中耗散，而不是在 MCF831xC 内耗散，从而向 BLDC 电机提供更高的功率。电阻器功率取决于 VM 电压。有关电阻器功率计算，请参阅表 3-1。

表 3-1. 电阻器功率计算

VM	12	24	35	V
降压稳压器电压, $V_{BK}$	5	5	5	V
来自内部电路的降压稳压器负载, (BUCK_PS_DIS = 0b, $I_{BK\_EXT} = 0mA$ )	30	30	30	mA
额定功率	0.21	0.57	0.90	W

在这两种模式下，都需要在降压稳压器输出 (FB\_BK 和 GND\_BK) 之间连接一个  $22\mu F$  电容器，以将峰峰值电压纹波保持在  $200mV$  以内。有关降压稳压器电感器/电阻器和电容器的详细规格，请参阅表 3-2。

表 3-2. 取决于外部负载的降压稳压器配置

降压稳压器输出上的外部负载 (mA)	运行模式	降压稳压器电流限制, BUCK_CL (mA)
$0 \leq I_{BK\_EXT} \leq 10$	电阻器, $22\Omega$	150 (BUCK_CL = 1b)
$10 < I_{BK\_EXT} \leq 20$	电感器, $22\mu H$	150 (BUCK_CL = 1b)
$20 < I_{BK\_EXT} \leq 170$	电感器, $47\mu H$	600 (BUCK_CL = 0b)

### 3.2 降压稳压器输出电压

降压稳压器具有四个用户可配置的输出电压电平，可通过 BUCK\_SEL 配置。表 3-3 汇总了可用的配置和用例。

表 3-3. 降压稳压器 SEL 配置汇总

BUCK_SEL	降压稳压器电压, V	用例
00b	3.3	直接驱动额定电压为 3.3V 的外部微控制器
01b	5.0	直接驱动额定电压为 5.0V 的外部微控制器
10b	4.0	为外部 LDO 供电以支持额定电压为 3.3V 的微控制器
11b	5.7	为外部 LDO 供电以支持额定电压为 5.0V 的微控制器

### 3.3 降压电源时序

MCF831xC 可以选择使用降压稳压器而不是 VM 为 AVDD LDO 供电，以减少 IC 内部的功率损耗并提高热性能。可以通过将 BUCK\_PS\_DIS 设置为 0b 来启用此选项，如图 3-3 所示。仅当降压稳压器输出电压设置为 5V 或 5.7V (BUCK\_SEL = 01b 或 11b) 时，降压电源时序才可用。

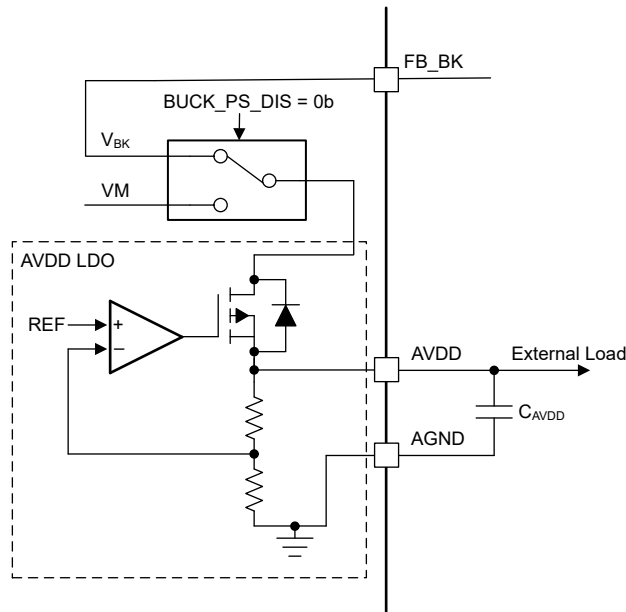


图 3-3. 降压稳压器电源时序

### 3.4 降压电感器选择

**表 3-4. 将电感器规格映射到 MCF831xC 降压稳压器规格**

说明	电感器规格	MCF831xC 降压稳压器规格
值	47 $\mu$ H (对于 BUCK_CL = 0b) 22 $\mu$ H (对于 BUCK_CL = 1b)	47 $\mu$ H $\pm$ 20% 容差 (对于 BUCK_CL = 0b) 22 $\mu$ H $\pm$ 20% 容差 (对于 BUCK_CL = 1b)
$I_{sat}$ 时的电感	取决于供应商	MCF831xC 降压稳压器采用峰值电流模式控制实施脉冲频率调制 (PFM) 方案 — 当电感器电流达到 BUCK_CL 限制时, 降压稳压器中的高侧 FET 关断。由于内部电路延迟, 当 BUCK_CL = 1b (典型值: 150mA) 时, 电感器峰值电流最高可达 0.5A, 当 BUCK_CL = 0b (典型值: 600mA) 时, 电感器峰值电流最高可达 1A。 $I_{sat}$ 时的容差规格取决于供应商, 预期范围为 10% 至 50%。以下是给定 BUCK_CL 设置所需的最小电感和 $I_{sat}$ 。 BUCK_CL = 1b 时, $I_{sat} = 0.5A$ 时的电感 = 17.6 $\mu$ H BUCK_CL = 0b 时, $I_{sat} = 1A$ 时的电感 = 37.6 $\mu$ H
DCR	直流电阻	最大直流电阻 (在工作条件下) 需要小于 1 $\Omega$
$I_{RMS}$	典型工作 RMS 电流	需要大于或等于最大直流负载

#### 备注

建议使用具有磁屏蔽的封装, 以获得更好的 EMI/EMC 性能。

### 3.5 不使用降压稳压器的 MCF831xC 运行

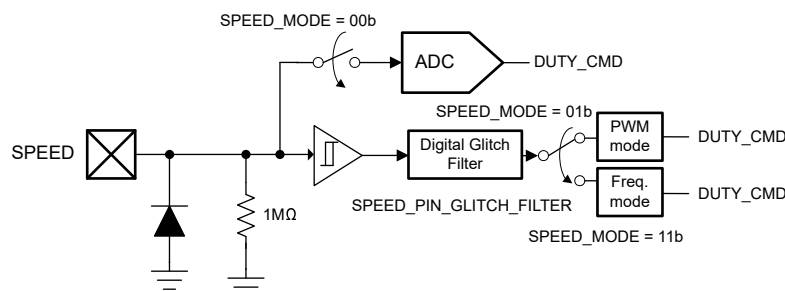
可以通过移除降压稳压器元件 (电感器/电阻器和电容器) 并通过将 BUCK\_DIS 设置为 1b 以及将 BUCK\_SEL 设置为 00b (3.3V) 来禁用降压稳压器, 从而进一步降低 BOM 成本。DVDD LDO 输入来自 FB\_BK (降压稳压器输出) 引脚, 因此当禁用降压稳压器时, FB\_BK 需要连接至 AVDD (在 PCB 外部) 以使器件正常运行。在这种情况下, 为 DVDD LDO 供电而不是为降压稳压器供电的 AVDD LDO 中存在  $((V_M - AVDD) \times 0.02)W$  的额外功率损耗。这种额外的功率损耗导致 MCF831xC 的供电能力降低。或者, 可以将外部 3.3V 或 5V 电源连接到 FB\_BK (而不是 AVDD) 来为 DVDD LDO 供电, 并消除 AVDD LDO 中的额外功率损耗。

## 4 MCF831xC IO 引脚设计建议

MCF831xC 具有数字和模拟 IO 引脚。SPEED (PWM/频率模式)、FG、SCL、SDA、EXT\_WD、EXT\_CLK、DIR、BRAKE、DRVOFF、nFAULT 和 ALARM 引脚为数字 IO 引脚, 而 SPEED (模拟模式)、DACOUT1/2 和 SOX 引脚为模拟 IO 引脚。以下各节详细介绍了每个引脚的内部 IO 结构和连接建议。

### 4.1 SPEED 引脚

图 4-1 显示了 SPEED 引脚的 IO 结构。SPEED 引脚具有双重功能, 既可以用作模拟输入 (SPEED\_MODE = 00b), 也可以用作数字输入 (SPEED\_MODE = 01b 或 11b)。SPEED 引脚具有 1M $\Omega$  内部下拉电阻器, 用于抗噪 — 可以添加外部下拉电阻器以增强抗噪能力。


**图 4-1. SPEED 引脚 IO 结构**

在模拟模式下，SPEED 输入连接到其中一个 ADC 通道，以将参考输入转换为 DUTY\_CMD。在数字模式下，SPEED 输入经过数字缓冲器，然后经过用户可配置的干扰滤波器（使用 SPEED\_PIN\_GLITCH\_FILTER 消除高达 1μs 的干扰），然后转换为 DUTY\_CMD。

表 4-1. SPEED 引脚干扰滤波器设置与干扰宽度

SPEED_PIN_GLITCH_FILTER	干扰脉冲 (μs)
00b	无干扰滤波器
01b	0.2
10b	0.5
11b	1

使用时，SPEED 引脚（模拟或数字）需要直接连接到输入源。

未使用时，SPEED 引脚需要直接连接到 AGND。

## 4.2 BRAKE、DIR、DRVOFF 引脚

BRAKE、DIR、DRVOFF 为带 IO 结构的数字输入引脚，如图 4-2 所示。这些引脚具有用于抗噪的 100kΩ 内部下拉电阻器。

- BRAKE 引脚（高电平有效）用于通过施加制动（所有低侧 FET 均导通）来快速停止电机。
- DIR 引脚用于设置旋转方向。逻辑低电平提供 A->C->B，而逻辑高电平提供 A->B->C。
- DRVOFF（高电平有效）用于通过将 FET 置于 Hi-Z 状态来立即停止为电机供电。

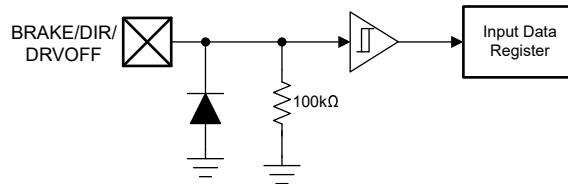


图 4-2. BRAKE、DIR 和 DRVOFF IO 结构

使用时，这些引脚需要直接连接到输入源。

未使用时，这些引脚需要直接连接到 AGND。

## 4.3 EXT\_CLK、EXT\_WD

EXT\_CLK、EXT\_WD 是带 IO 结构的数字输入引脚，如图 4-3 所示。这些引脚具有带迟滞功能的内部缓冲器。

- EXT\_CLK 是可选的外部时钟输入，用于提高整个温度范围内的速度精度。默认情况下，MCF831xC 使用内部振荡器并提供 3% 的速度精度——仅当需要更好的速度精度（误差 < 3%）时才使用 EXT\_CLK。
- EXT\_WD 是可选的看门狗输入，用于监控外部 MCU 的运行状况。

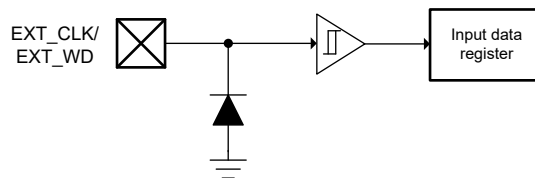


图 4-3. EXT\_CLK 和 EXT\_WD IO 结构

使用时，这些引脚需要通过外部 100kΩ 下拉电阻器直接连接到输入源。

未使用时，这些引脚需要直接连接到 AGND。



#### 4.4 ALARM

ALARM 是一个带 IO 结构的数字输出引脚，如图 4-4 所示。这是一个推挽输出，可将故障状态指示为高电平有效信号。

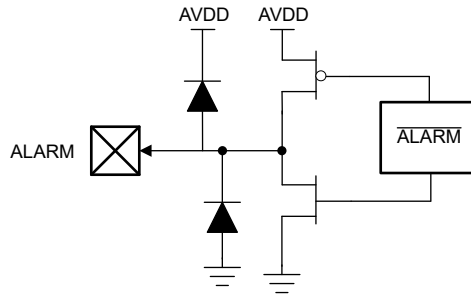


图 4-4. ALARM IO 结构

使用时，ALARM 引脚需要直接连接到读取 ALARM 状态的外部 MCU/电路。

未使用时，ALARM 引脚需要悬空。

#### 4.5 DACOUT1、DACOUT2

DACOUT1/2 是带 IO 结构的模拟输出引脚，如图 4-5 所示。DACOUT 引脚通过 DAC\_ENABLE 启用。这些引脚用于监控内部变量和系统参数，例如直流总线电流、电压、电机转速等，模拟电压范围为 (0-3)V。

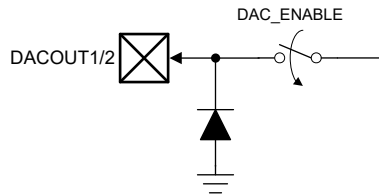


图 4-5. DACOUT1/2 IO 结构

使用时，DACOUT1/2 引脚需要连接到高阻抗电路，因为信号是没有缓冲的。可以在外部添加可选的 R-C 滤波器以滤除噪声。

未使用时，DACOUT1/2 引脚需要悬空。

#### 4.6 SDA、SCL

SDA 和 SCL 是带 IO 结构的数字输入 ( SDA 为双功能，它还具有输出功能 ) 引脚，如图 4-6 所示。输入路径有一个带迟滞功能的缓冲器，后跟一个 50ns 干扰滤波器来抑制噪声。

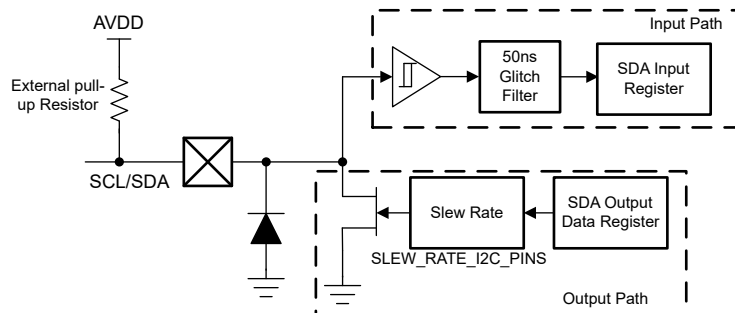


图 4-6. SCL、SDA IO 等效电路

输出路径为漏极开路，需要一个外部上拉电阻器连接到 AVDD 以实现 I2C 通信。下拉驱动强度 ( 压摆率 ) 可以使用 SLEW\_RATE\_I2C\_PINS 进行配置，以在时序要求、EMI 和串扰之间进行优化。默认下拉驱动强度为 4.8mA，



可驱动高达 400pF 的总线电容。如果系统具有较低的总线电容，则可以选择较低的下拉驱动强度。上拉电阻器取决于 I2C 时钟频率和总线电容 [2]。

表 4-2. I2C 引脚驱动强度

SLEW_RATE_I2C_PINS	下拉驱动强度 (mA)
00b	4.8
01b	3.9
10b	1.86
11b	30.8

使用时，这些引脚需要通过连接到 AVDD 的外部上拉电阻器直接连接到外部 MCU。

未使用时，这些引脚需要悬空。

#### 4.7 nFAULT 和 FG 引脚

nFAULT 和 FG 是带 IO 结构的数字输出引脚，如图 4-7 所示。这些是漏极开路引脚，需要上拉电阻器才能正常运行。MCF831xC 提供了一个连接到 AVDD 的内部上拉电阻器选项，可以通过将 PULLUP\_ENABLE 设置为 1b 来启用该选项。如果 FG、nFAULT 信号需要 3.3V 以外的逻辑电平（MCU IO 电源轨），则需要将 PULLUP\_ENABLE 设置为 0b，并需要连接一个外部上拉电阻器以上拉到所需的电压电平。

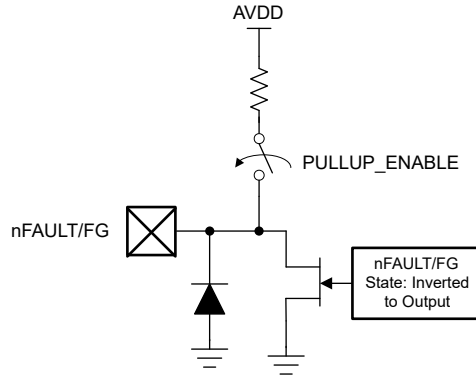


图 4-7. nFAULT 和 FG IO 等效电路

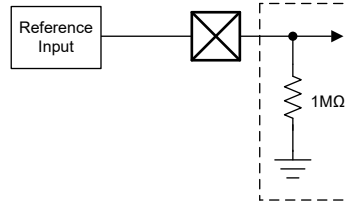
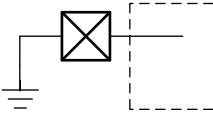
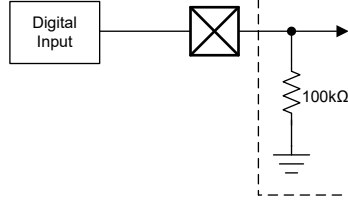
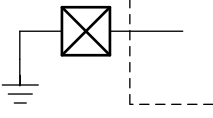
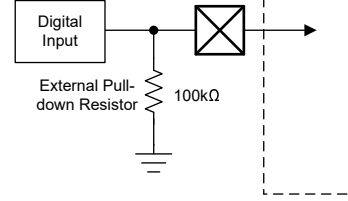
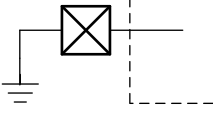
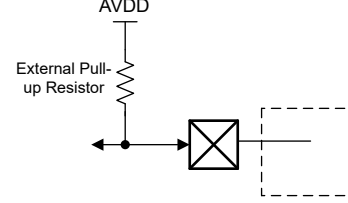
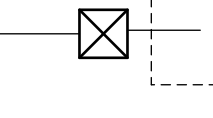
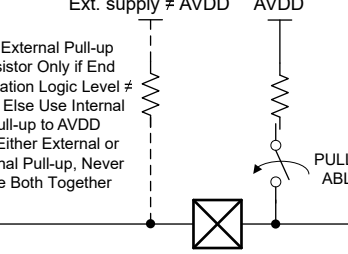
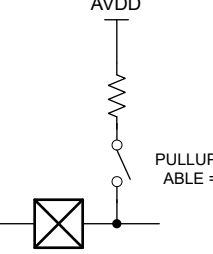
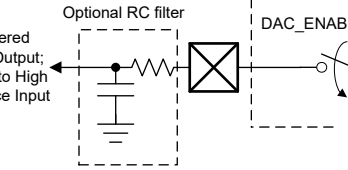
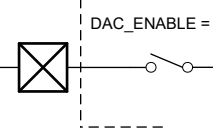
使用时，这些引脚需要上拉（内部或外部）至所需的逻辑电平。

未使用时，这些引脚需要悬空。

**备注**

FG、nFAULT 的内部上拉电阻器仅在 MCF831xC 中提供，在 MCF831xA 中不提供。在 MCF831xA 中，FG 需要外部上拉至 AVDD (即使未使用) 才能正常运行。

**表 4-3. MCF831xC IO 引脚建议**

引脚	使用时的建议	未使用时的建议
SPEED		
BRAKE , DIR , DRVOFF		
EXT_WD , EXT_CLK		
SCL , SDA		
nFAULT , FG	<p>Ext. supply ≠ AVDD      AVDD</p> <ul style="list-style-type: none"> <li>• Use External Pull-up Resistor Only if End Application Logic Level ≠ 3.3V, Else Use Internal Pull-up to AVDD</li> <li>• Use Either External or Internal Pull-up, Never Use Both Together</li> </ul> 	
DACOUT		

## 5 MCF831xC PCB 原理图和布局建议

### 5.1 单个接地平面

对于低成本应用（其中电源地和信号地之间的开关噪声耦合不严重），请将所有接地引脚短接在一起。有关单个接地平面 PCB 的示例原理图和布局，请参阅图 5-1 和图 5-2。

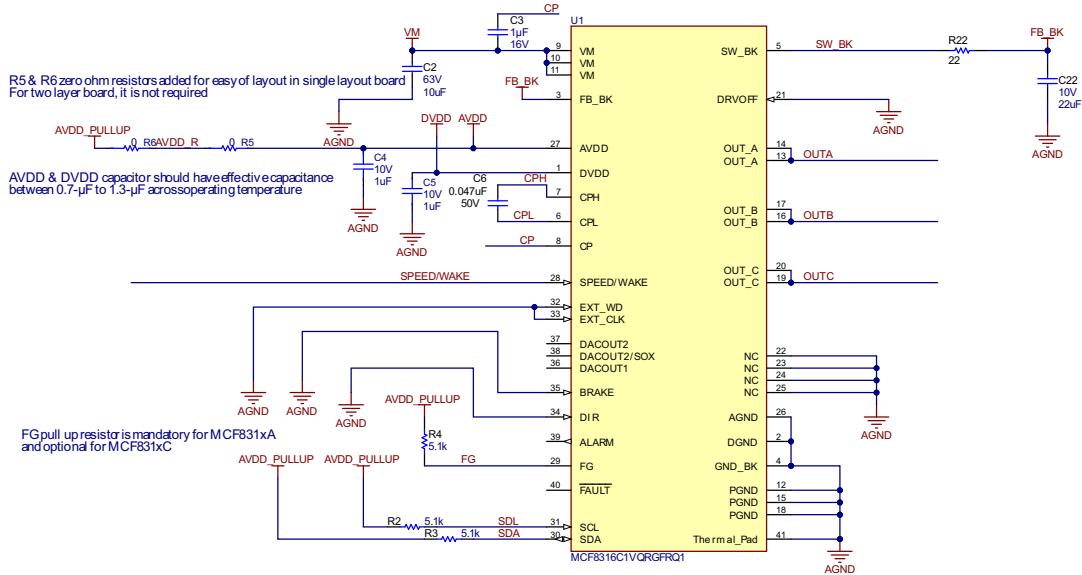


图 5-1. 单个接地平面的 PCB 原理图

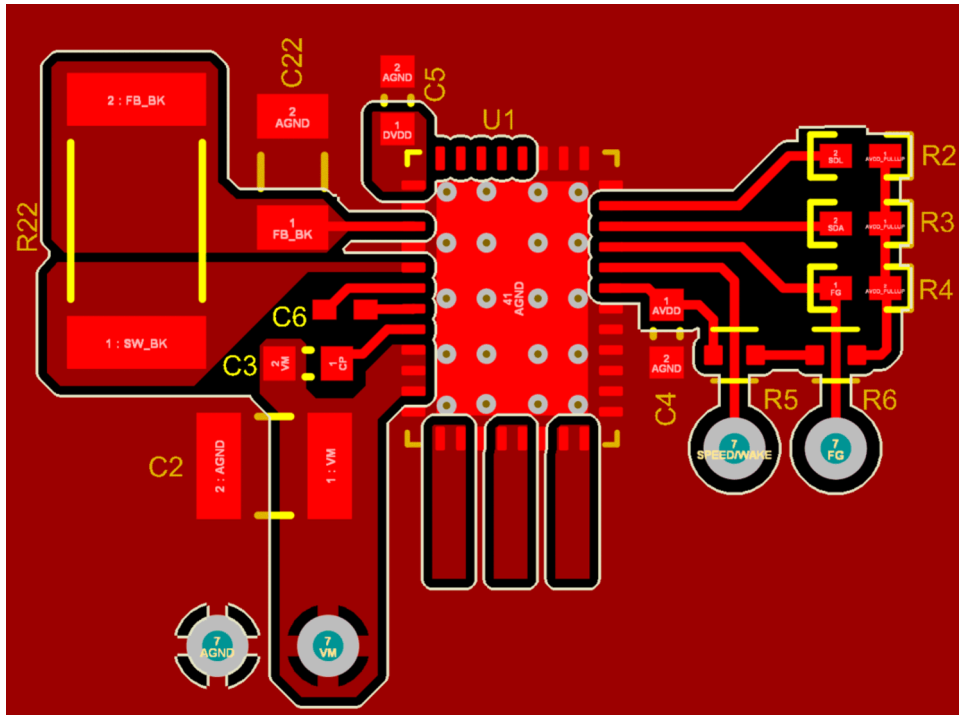


图 5-2. 单个接地平面的 PCB 布局

## 5.2 AVDD 短接至 FB\_BK 的单个接地平面

如节 4.7 所示，对于禁用降压稳压器的低功耗/低成本应用，建议在电路板上从外部连接 FB\_BK 和 AVDD。有关单个接地平面 PCB 的示例原理图和布局，请参阅图 5-3 和图 5-4。由于从 AVDD 到 FB\_BK 的布线较长，在 FB\_BK 附近增加了一个额外的 1  $\mu$ F (C7) 电容器。

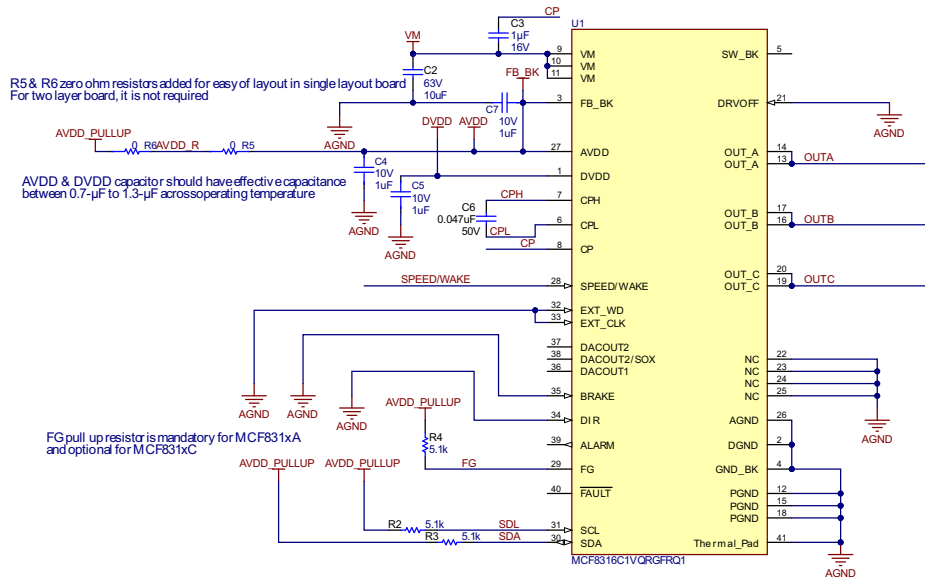


图 5-3. 单个接地平面且 FB\_BK 由 AVDD 供电的 PCB 原理图

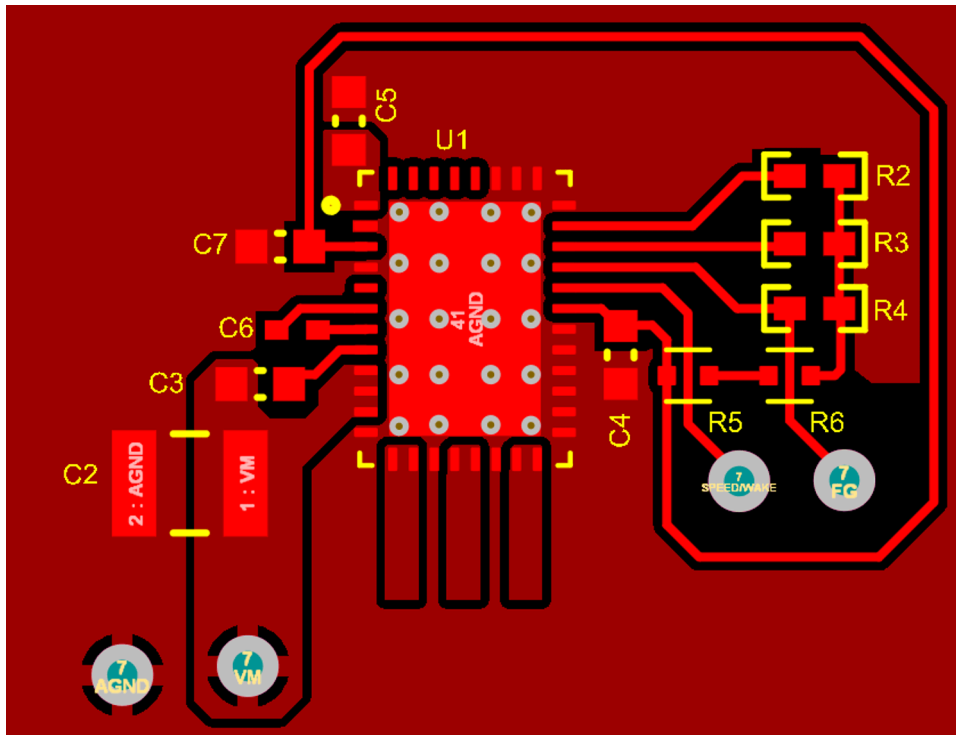


图 5-4. 单个接地平面且 FB\_BK 由 AVDD 供电的 PCB 布局

### 5.3 两个接地平面

对于高性能应用，为了避免电源地和信号地之间的噪声耦合，可以使用两个接地平面。一个接地平面用于 AGND、DGND 和 GND\_BK，另一个接地平面用于 PGND。有关单个接地平面 PCB 的示例原理图和布局，请参阅图 5-5 和图 5-6。

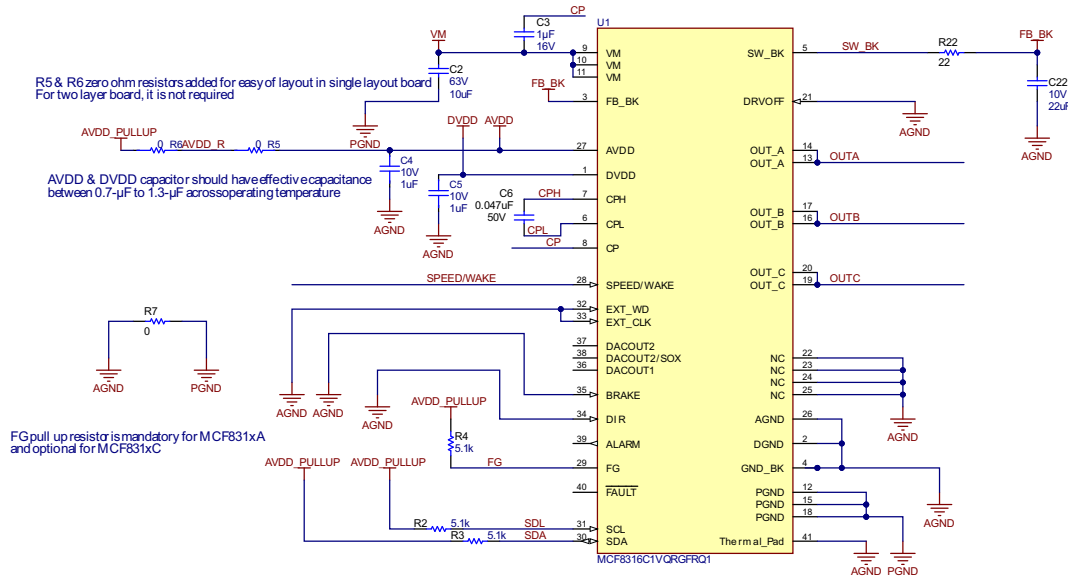


图 5-5. 两个接地平面 ( AGND 和 PGND ) 的 PCB 原理图

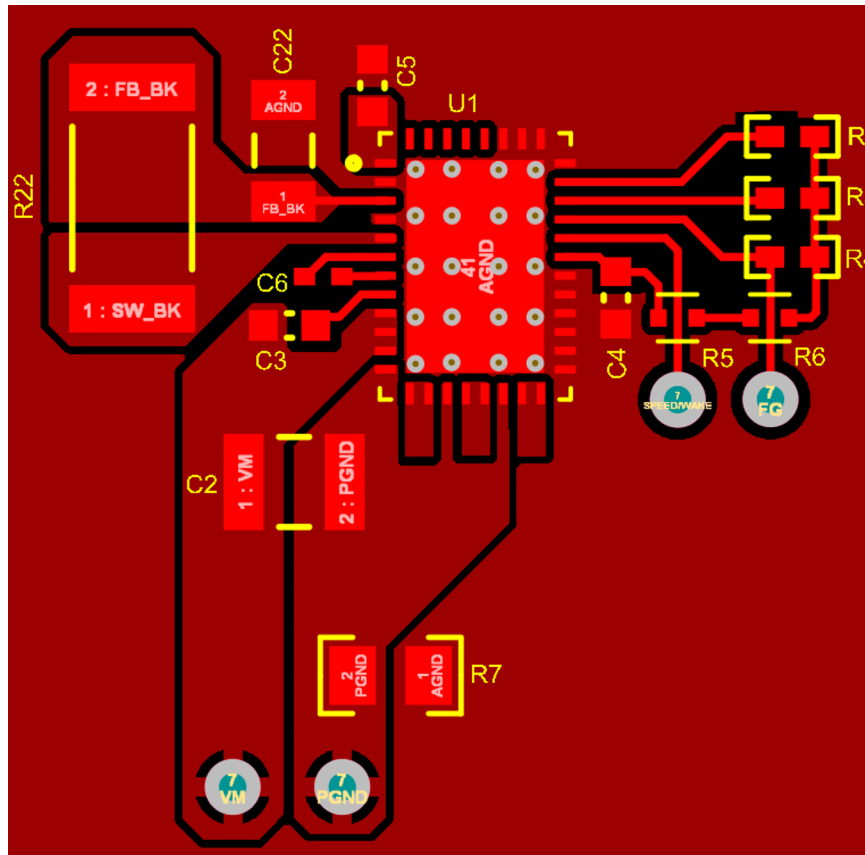


图 5-6. 两个接地平面 ( AGND 和 PGND ) 的 PCB 布局

## 6 总结

本应用手册提供了使用 MCF831xC 器件设计 PCB 的指南，这些指南旨在帮助最终用户加快 PCB 设计过程。元件规格建议依据 MCF831xC 的设计和特性，最终用户必须确保在电压、温度、过程等各种运行条件下满足或超出规格建议，以实现可靠运行。提供的布局建议作为示例，用于帮助最终用户开始针对不同的电源和接地架构进行 PCB 设计 — 最终的 PCB 设计取决于最终用户在不同工作条件下进行的系统级综合测试。

## 7 参考资料

1. 德州仪器 (TI), [CMOS 输入缓慢或悬空的影响](#), 应用手册。
2. 德州仪器 (TI), [I2C 总线上拉电阻器计算](#), 应用手册。
3. Mouser, [Selecting the Optimal Inductor for Power Converter Applications](#), white paper.
4. Coil Craft, [Selecting the Best Inductor for Your DC-DC Converter](#), application note.
5. MuRata, [The voltage characteristics of electrostatic capacitance](#), capacitor guide article.
6. Murata, [What is the temperature characteristics of ceramic capacitors](#), capacitor guide article.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司